

SoC软硬件协同技术的FPGA芯片测试新方法

李平, 廖永波, 阮爱武, 李威, 李文昌

(电子科技大学电子薄膜与集成器件国家重点实验室 成都 610054)

【摘要】针对传统的基于纯硬件平台的FPGA芯片测试方法所存在的种种问题,提出并验证了一种基于软硬件协同技术的FPGA芯片测试方法。该方法引入了软件的灵活性与可观测性等软件技术优势,具有存储深度大、可测I/O管脚数目多、自动完成配置下载(不需人工干预)和自动定位FPGA中的错误等优点,提高了FPGA的测试速度和可靠性,并降低了测试成本,与传统的自动测试仪(ATE)相比有较高的性价比。采用软硬件协同方式针对Xilinx 4010的I/O单元进行了测试,实现了对FPGA芯片的自动反复配置、测试和错误定位。

关键词 配置; 可编辑门阵列; 软硬件协同; 片上系统; 测试

中图分类号 TP206+.1

文献标识码 A

doi:10.3969/j.issn.1001-0548.2009.05.034

Novel Approach to Test Field Programmable Gate Array Based on SoC HW/SW Co-Verification Technology

LI Ping, LIAO Yong-bo, RUAN Ai-wu, LI Wei, and LI Wen-chang

(State Key Laboratory of Electronic Thin Films and Integrated Devices, University of Electronic Science and Technology of China Chengdu 610054)

Abstract Traditional field programmable gate array (FPGA) test schemes confront many problems, such as memory depth not large enough to meet requirement of configuration of many times, I/O pin counts usually less than needed, manual configuration generation and download, no position of fault sites, etc. A new approach to test FPGA based on SoC HW/SW co-verification technology is proposed and verified in the paper. This test scheme has taken advantage of flexibility and observability of software in conjunction with high-speed simulation of hardware. As a result, efficiency and reliability of the test can be enhanced without manual work. In the experiment, the proposed test approach has been applied to a Xilinx 4010 FPGA to implement automatic configuration, test as well as location of fault sites.

Key words configuration; FPGA; HW/SW co-verification; system on chip; test

1 介绍

由于现场可编程门阵列(FPGA)器件的应用呈日渐增加之势,FPGA器件的设计、生产技术受到了国家有关部门的高度重视。在国家重大专项中,已经安排了FPGA芯片研制项目。FPGA测试技术是FPGA研发和生产中必须解决的关键技术之一。

目前,对FPGA的测试仍沿用对ASIC的测试方法,即采用自动测试设备(ATE)。如惠瑞捷公司的93000系列,代表了ATE能够达到的最高测试水平,其缺省配置为存储器深度2 Mb,测试用I/O管脚64个。然而,FPGA的管脚数目,少则上百,多则上千,FPGA测试具有其自身的特殊困难。

FPGA与ASIC的不同在于FPGA是一种“事先”

无功能的器件,它包含大量重复的IOB(输入输出模块)、CLB(可配置逻辑块)和布线信道等并不复杂的基本单元^[1]。采用ATE测试FPGA,完成对FPGA内部资源的完整测试,需要多次下载配置图形。完成一次FPGA配置,FPGA就具有了一定的功能,然后需要对该功能进行测试。因此多种配置图形需要多次下载配置,反复施加激励和回收测试响应,以及通过对响应数据的分析来诊断FPGA芯片的故障。

另外,通用ATE在完成测试步骤中的配置功能时,需要以人工或电脑多次反复地专门编程修改配置数据,以生成测试系统可执行的测试激励形式进行配置^[2]。如果配置数据较多,需要占用较多的存储器资源。即使可以使用ATE设备厂商提供的数字卡扩展存储器深度和I/O数目,每扩展一个I/O的价格也需要600美元。

收稿日期: 2009-05-26

基金项目: 部级预研基金

作者简介: 李平(1957-),男,教授,博士生导师,主要从事FDGA芯片设计、红外读出电路芯片设计等方面的研究。

FPGA芯片的测试时间花费是FPGA芯片成本的重要组成部分。人们一直努力减少FPGA芯片的测试时间,迄今,关于FPGA测试的文献主要致力于减少FPGA配置次数的算法研究^[3-5]。另外,传统的FPGA配置需要人工干预,而人工干预会造成测试时间的大幅延长。FPGA配置所需时间往往决定了FPGA的测试时间。

随着FPGA的规模增大,FPGA配置次数会呈几何指数增加。对FPGA内部资源的遍历测试,极其耗时,虽然在理论上能够完成,但是难以在生产测试中应用。为解决此问题,有人在FPGA的测试中采用ASIC设计中的扫描嵌入(scan insertion)技术,在FPGA结构中设置专用的扫描寄存器(scan register)^[6]。即使采用该技术,不同的FPGA也需要设计不同的扫描寄存器。而扫描寄存器本身会占用芯片面积,增加芯片成本。

作为全球最大FPGA生产厂商的Xilinx公司,开发了FPGA的测试工具JBits开发包。该工具可以动态构建FPGA内部的内建自测试(BIST)电路结构,并且每一次下载的位流仅对FPGA的对应部分单元起作用^[3]。JBits与FPGA EDA专用工具ISE相比,不仅能够做到动态的局部配置,而且配置文件的生成和下载速度都要快得多。但这个开发包仅能测试Xilinx的部分型号的FPGA。由于缺乏相关的软硬件信息,国内FPGA研发单位无法应用该技术。

为了解决上述FPGA测试的困难,本文提出一种基于软硬件协同技术的FPGA芯片测试方法^[7-12]。该方法综合了软件的灵活性、易观测性和硬件的快速性,具有PC提供的存储深度、满足用户要求的I/O管脚数目等优点。该方法还可自动定位FPGA中的错误单元,提高FPGA的测试速度和可靠性、降低测试成本,与传统的自动测试仪(ATE)相比有较高的性价比。而且,采用软硬件协同技术,可以解决传统的FPGA测试中配置时需要人工干预造成的测试时间过长的难题。

2 基于软硬件协同技术的FPGA芯片测试方法

2.1 测试方法概述

使用通用的ATE完成FPGA的测试,由于ATE不会提供专门的FPGA配置功能,需要专门制作FPGA测试板。在该测试板上,除了有被测FPGA外,还配有专门的配置芯片。传统的FPGA测试步骤如下:

(1) 由计算机将配置数据下载到专门的配置存储器

芯片中。(2) 将该测试板安装到ATE上。(3) 上电之后由该存储器芯片对FPGA进行配置。

由于FPGA的测试需要多次配置才能完成,所以完成一次配置测试后,需要将FPGA测试板关电后拔下,再使用PC把配置数据再次下载到被测FPGA的配置存储器芯片。为了完成FPGA测试,需要多次反复地重复上述过程和人工干预,无法实现自动配置下载。

本文提出的FPGA芯片测试方法的基础是SoC软硬件协同仿效技术。软硬件协同仿效平台由工作在PC上的软件仿真器和由FPGA构成的硬件加速器所组成。在进行SoC验证时,通过把需要验证的用户设计中的部分模块下载到FPGA中进行实时运行提高仿效速度,而其余模块则利用软件仿真器进行仿真,软硬件通过PCI总线进行通信^[13]。传统的SoC验证平台主要使用软硬件协同技术实现SoC仿效,即为被测试的对象施加激励信号和收集响应信号。

本文提出的软硬件协同FPGA芯片测试方法原理如图1所示。

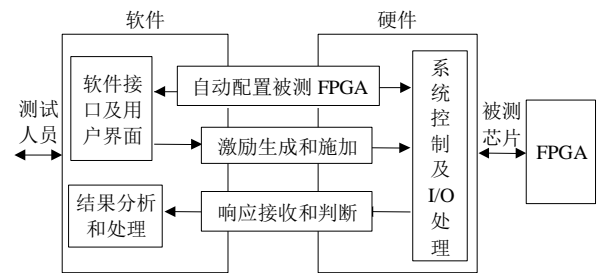


图1 本文FPGA芯片测试方法原理示意图

该测试方法在传统的SoC验证平台的基础上,增加了自动配置FPGA芯片,其作用类似于传统ATE测试中的专用存储器。如前所述,传统ATE测试专用存储器中的配置信息的更新是困难的。通过PCI通道从PC机获取FPGA配置信息,使得配置信息可随时更新,是本文的FPGA测试方法可反复、自动配置被测FPGA的关键。本文的FPGA测试方法利用软硬件协同技术,实现了对被测对象自动施加激励并收集其响应,从而完成自动配置被测FPGA芯片、激励施加、响应接收/判断等3项FPGA芯片测试主要步骤。

对本文FPGA芯片测试方法详细说明如下:

(1) 当系统启动后,首先需要对被测FPGA进行数据配置,由软件向配置FPGA发送配置开始指令,配置FPGA接受指令后对被测FPGA产生配置开始的时序,被测FPGA准备接受配置数据。(2) 当软件查询到配置FPGA中的状态寄存器值为“ready”时,开

始发送配置数据，配置数据发送完成后，软件通过读取配置FPGA的状态寄存器值判断配置是否成功，决定是否开始测试。(3) 如果配置成功，软件就开始向被测FPGA发送测试激励数据并读回测试响应保存在电脑中，由软件对测试响应进行分析决定是否需要进行下一次配置并开始新的测试流程。如果需要进行下一次配置和测试流程，在一定的延时之后，软硬件将回复初始状态并选择新的配置数据和测试数据，开始新一轮的配置和测试流程。

2.2 完备测试算法

本文以IOB的测试为例说明软硬件协同技术的FPGA测试方法，对于FPGA其他资源的测试也可以采取类似的方法。IOB是数据进出FPGA的通道，因此对FPGA进行测试应该首先测试其IOB。而对于IOB的测试，需要包含测试其输入输出功能和其内部的寄存器资源。由于每个IOB均包含输入寄存器和输出寄存器资源，所以测试过程中需把IOB分成输入寄存器测试和输出寄存器测试两组进行，因此，完成整个测试需要两次配置和测试。由于寄存器测试需要时钟和复位输入，所以对提供时钟和复位信号输入的IOB将单独测试。与传统方法相比，本文的测试方法不但实现了测试IOB的输入输出功能，还对每个IOB包含的输入寄存器、输出寄存器资源实现了错误定位测试。针对IOB的完备测试，本文采用的测试方法如下。

假设FPGA内部包含有 $2n$ 个IOB单元，为了使测试能覆盖它们，测试步骤为：

(1) 第一次图形配置，除去一个时钟输入IOB和一个复位输入IOB，将剩下的 $(2n-2)$ 个IOB的一半IOB配置成带一个D触发器的输入端口，另一半端口配置为带一个D触发器的输出端口。将一个输入IOB和一个输出IOB连接起来组成一个IOB单元测试对。这样，从每个输入端到输出端就会经过两个D触发器的寄存，配置图形如图2所示

(2) 将配置好的配置图形烧入被测FPGA中。

(3) 编写testbench，为了方便编写，将除首尾两个端口外的所有输入输出对串行连接起来形成一个环绕着芯片的移位寄存器链，如图3所示。图中的虚线表示testbench中所描述的连线，实线表示芯片内部的连线。只需要输入 $n-1$ 位测试初始信号“000...0001”，然后每经过一个时钟上升沿将输入信号进行脉冲的移位“000...0010”，“000...0100”...，直到移位信号为“1000...000”时结束，避免了对 $n-1$ 个输入IOB的每个输入信号都要进行赋值

的繁琐操作。

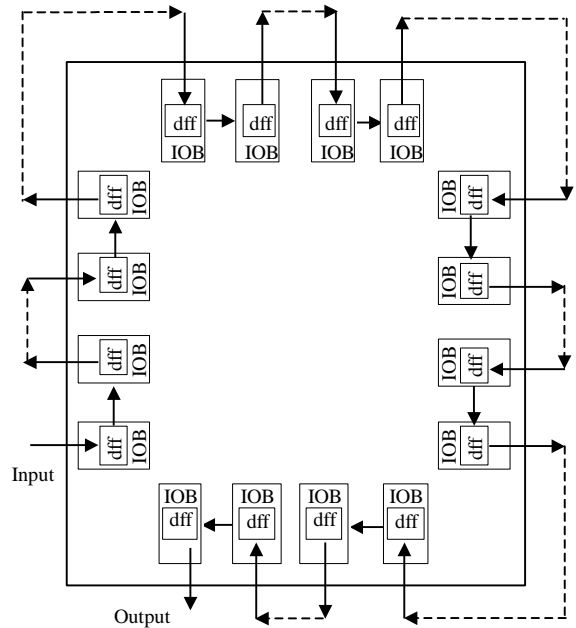


图2 IOB测试方法结构图

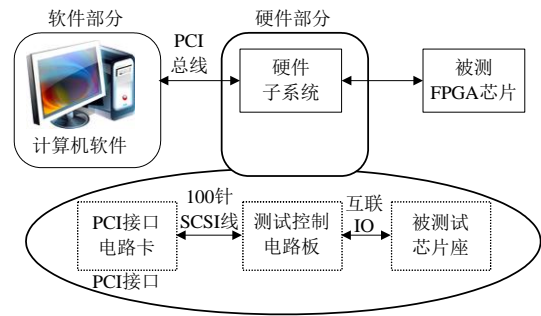


图3 FPGA测试系统顶层结构视图

(4) 使用modelsim观测仿真的输出波形。

(5) 错误定位时。正确的输出应该是与输入相对应移位脉冲输出，如果被测FPGA中存在有故障的IOB单元，则其相对应的输出信号会出现错误的输出结果，根据出现错误的输出信号，便可以很容易地判断有故障的IOB单元。

(6) 根据出错单元的引脚号码可以定位发生错误的IOB在FPGA中的位置。

(7) 第二次配置图形配置。只需将第一次配置中的输入输出IOB单元对调，并且使用IOB中另一个未配置的D触发器，其他不变；

(8) 重复3次上面的第(2)~(5)步操作，便可以实现对IOB单元块的全测试。

3 FPGA测试系统建立及实验结果

3.1 FPGA芯片测试系统的建立

为了验证本文提出的FPGA测试方法，根据图1

的FPGA测试方法原理设计了一个FPGA芯片测试系统,如图3所示。该测试系统采用软硬件协同技术实现了对FPGA芯片的全自动测试,包括对被测FPGA自动配置、测试向量的自动生成和施加、测试响应的自动接收和判断、测试结果的自动分析和处理等。

在图3中,硬件子系统代表图1中的硬件部分,主要负责3个功能:(1)实现软硬件通信的硬件部分,包括物理层PCI接口以及传输层协议具体实现等。(2)将测试激励转化为被测芯片的输入信号,采样被测芯片输出信号并转化为输出响应,对被测芯片的I/O进行控制。(3)实现整个硬件部分的系统控制功能。被测FPGA芯片置于专门为测试设计的测试板上,通过插座可以安装或卸取被测试的FPGA芯片。

计算机软件代表图1中的软件部分。其中包括:

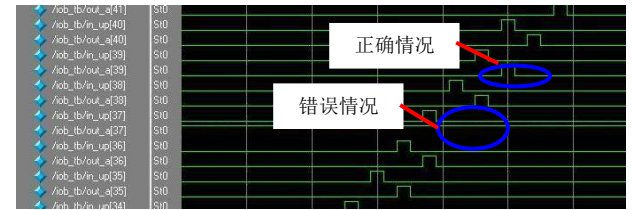
- (1) Xilinx公司的ISE软件,主要用于产生被测FPGA芯片的测试配置比特流。
- (2) 自动配置软件主要用于控制被测试FPGA配置的程序。
- (3) MVP(module verification platform)软件主要用于产生虚拟DUT文件。
- (4) Mentor公司的ModelSim软件作为协同测试模式的软件仿真器。
- (5) 自动分析软件主要用于对测试结果的分析和处理功能以及不同软件间的接口程序等。

3.2 FPGA芯片测试实验与结果

在图3建立的FPGA测试系统上,以Xilinx 4010中的IOB单元为例进行测试实验。芯片Xilinx 4010有160个通用IOB,由于时钟信号和复位信号要占用两个IOB,所以先对其中的158个IOB进行测试,将它们配置为79个输入引脚和79个输出管脚对。为了完备性,在对这158个IOB的测试完成后,单独对时钟信号和复位信号所占用的两个IOB进行测试。该实验是在FPGA测试系统上实现本文所述的IOB测试算法,具体操作过程如下:(1)在软件部分的ModelSim软件中用Verilog语言编写烧写到Xilinx 4010中的配置图形。(2)在Xilinx ISE中建立Verilog代码的工程。(3)对FPGA中的被测试基本单元,主要是移位寄存器进行布局。(4)在已布局的FPGA基本单元间实现布线,从ISE内置的FPGA Editor观察配置后FPGA中的连线,如图2所示。(5)通过ISE内置的iMPACT烧写上述配置图形生成的配置位流到Xilinx 4010中。(6)编写Testbench测试文件。(7)运行批处理文件,完成图1的自动配置和自动测试流程,实现FPGA测试系统测试操作的全自动化。

实验结果如图4所示。在ModelSim的波形窗口中发现 out_array输出异常,信号一直为高电平,表

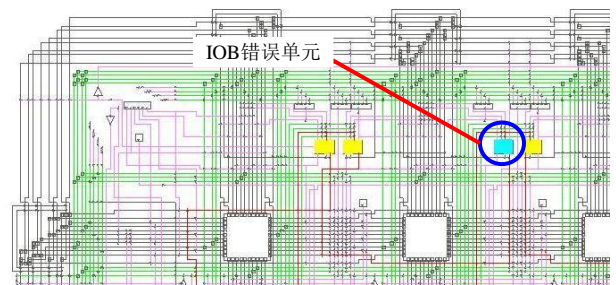
明有固定为1的错误,如图4a所示。打开FPGA Editor并查看out_array引脚约束,如图4b所示,可以定位出固定为1的错误发生在B2这个引脚,并且可以查出B2口所对应的IOB的位置,如图4c所示。对IOB进行3次自动重复地配置与测试,就实现了该芯片IOB的全测试。



a. 输入输出对的测试波形

```
comp "out_array[33]", site "T3", bonded type = IOB, pad name = P00A0, pin name = T3 (RPN grid X23Y65).
comp "out_array[37]", site "B2", bonded type = IOB, pad name = P001, pin name = B2 (RPN grid X4Y66).
```

b. 出错信号out_array[37]对应的IOB名字为B2



c. 出错IOB在整个FPGA中的位置

图4 定位IOB中错误单元的实验结果

本文提出的FPGA芯片测试方法并不局限于IOB测试。对CLB、IR(Interconnect Resource)的测试也可采用类似方法,限于篇幅,将另文讨论。

本文提出的FPGA芯片测试方法,实现了自动地多次配置及测试,最终实现了遍历测试FPGA芯片的内部单元。该测试方法有以下4项主要优势:(1)由于该测试系统是基于FPGA设计的系统,所以拥有丰富的测试端口,可轻易实现超过1 000个通道的同时测试,而且扩展通道数的成本低。(2)由于该系统是基于软硬件协同技术,所以具有很好的开放性。(3)在软件方面,测试者可以通过开放的接口函数,开发更好的FPGA测试激励和相应数据处理,以及人机界面,并且有利于设计者完成FPGA的测试工作。(4)在硬件方面,测试者可以通过开放的接口模块,增加可测试通道的数量。

4 结论

实验表明,与纯硬件的FPGA芯片的测试方法相比,本文提出的基于软硬件协同技术的FPGA芯片测试系统能自动地对FPGA进行配置,自动地施加测试

向量和收集测试响应,并对测试结果自动进行统计分析。可以对FPGA的每一个IOB、CLB、布线信道进行自动、重复、穷尽地测试,并自动定位FPGA中的错误单元。该基于SoC软硬件协同技术的FPGA芯片测试新方法,可以广泛应用于FPGA芯片研发和生产测试。

参 考 文 献

- [1] TOUTOUNCHI S, LAI A. FPGA test and overage[C]// Proceedings IEEE International Test Conference 2002, Baltimore, MD, USA: IEEE, 2002: 599-607.
- [2] 吉国凡, 赵智昊, 杨 嵩. 基于ATE的FPGA测试方法[J]. 电子测试, 2007, (12): 43-46.
JI Guo-fan, ZHAO Zhi-hao, YANG Song. ATE-Based FPGA Test Approach[J]. Electronic Test, 2007, (1): 43-46.
- [3] NIAMAT M Y, ATTRAVANAM K M, ALAM M. Testing FPGAs using JBits RTP cores[C]//48th IEEE International Midwest Symposium on Circuits and Systems. Cincinnati, Ohio: IEEE, 2005: 1131-1134.
- [4] 唐恒标, 冯建华, 冯建科. 基于测试系统的FPGA逻辑资源的测试[J]. 微电子学, 2006, 36(3): 292-296.
TANG Heng-biao, FENG Jian-hua, FEN GJian-ke. Fault detection for FPGA's logic resources on test system[J]. Microelectronics, 2006, 36(3): 292-296.
- [5] 杨 硕, 张海滨, 宋文涛. 通用FPGA算法测试平台[J]. 微计算机信息(嵌入式与SoC), 2006, 22(7-2): 219-222.
YANG Shuo, ZHANG Hai-bin, SONG Wen-tao. A universal FPGA algorithm testing platform[J]. Microcomputer Information, 2006, 22(7-2): 219-222.
- [6] RENOVELL M, FAURE P, PORTAL J, et al. IS-FPGA: a new symmetric FPGA architecture with implicit[C]// Proceedings IEEE International Test Conference 2001. Baltimore, MD, USA: IEEE, 2001: 924-931.
- [7] LIAO Yong-bo, LI Ping, RUAN Ai-wu, et al. A HW/SW co-verification technique for field programmable gate array (FPGA) test[C]//2009 IEEE Circuits and Systems International Conference on Testing and Diagnosis (ICTD '09). Chengdu, Sichuan: Province, IEEE, 2009:1-4
- [8] LIAO Yong-bo, LI Ping, RUAN Ai-wu, et al. Hierarchy communication channel in transaction-level hardware/software co-emulation system test[C]//MTV '08: 9th International Workshop on Microprocessor Test and Verification. Austin (TX), USA: IEEE, 2008: 94-99.
- [9] LI Ping, LIAO Yong-bo, RUAN Ai-wu, et al. Hardware and software Co-test method for FPGA[P]. US patent App. No. 12238674.
- [10] 李 平, 廖永波. SoC软硬件一体化设计验证方法: 中国, 200610021608.8[P]. 2009.5.13.
LI Ping, LIAO Yong-bo. SoC Hardware/software Co-design and co-verification methodology: China, 200610021608.8[P]. 2009.5.13.
- [11] 李 平, 廖永波. 软硬件协同仿真通信方法: 中国, 200610021609.2 [P]. 2008.11.12.
LI Ping, LIAO Yong-bo. communication methodology for SOC hardware/software co-emulation: China, 200610021609.2 [P].2008.11.12.
- [12] TASHINKAR P, PATERSON P, SINGH L. System-on-a-chip verification, methodology and techniques[M]. Boston, MA: Kluwer Academic Publshers, 2002.

编 辑 熊思亮



李 平, 教授。1987年在电子科技大学获硕士学位, 1989~1992年在加拿大多伦多大学作访问学者、访问研究员。现为电子科技大学微电子与固体电子学院教授、博士生导师和四川省有突出贡献优秀专家、学术和技术带头人, 主要从事FPGA芯片设计、红外读出电路芯片设计、铁电存储器芯片设计、SoC系统设计与评测、数电等方面的研究, 在IEEE Trans ED、IEEE BCTM、IEEE EDL、ISPSD等国际学术刊物(或会议)发表论文40多篇, 曾获国家科技进步三等奖1项, 信产部科技进步二等奖2项, 信产部科技进步三等奖1项; 获中国发明专利授权4项; 目前, 主持“高密度FPGA”、“红外读出电路VLSI芯片设计”、“可编程逻辑器件VLSI芯片设计”、“高质量IP的验证与评测关键技术”和“SiGe源漏区MOS器件与集成电路”等多项国家级科研项目。