

# 高速数字解调中的并行处理算法

陈 晖<sup>1,2</sup>, 易克初<sup>1</sup>, 李文铎<sup>2</sup>

(1. 西安电子科技大学综合业务网国家重点实验室 西安 710071; 2. 中国电子科技集团公司第54研究所 石家庄 050081)

**【摘要】**在分析频域并行FIR滤波性能特点的基础上,提出了一种时域并行FIR滤波处理方案,该方案能以较低复杂度实现600 Mb/s以上数字调制信号的解调。还提出了一种基于多相滤波器组和并行处理的高精度符号同步方法,可以在不提高接收信号采样率和几乎不增加硬件复杂度的条件下,使符号同步精度提高一倍。最后给出了基于以上方法设计的原理样机的测试结果。

**关键词** 高速解调; 并行载波恢复; 并行FIR滤波; 并行符号同步

中图分类号 TN918

文献标识码 A

doi:10.3969/j.issn.1001-0548.2010.03.003

## Parallel Processing Algorithms in High Rate Digital Demodulation

CHEN Hui<sup>1,2</sup>, YI Ke-chu<sup>1</sup>, and LI Wen-duo<sup>2</sup>

(1. State Key Lab. of Integrated Service Networks, Xidian University Xi'an 710071;

2. The 54-th Research Institute of China Electronics Technology Group Corporation Shijiazhuang 050081)

**Abstract** Some useful parallel processing algorithms for the demodulator in a high rate data communication system are presented, including parallel FIR filter, parallel symbol synchronization, and parallel carrier recovery. After analyzing the characteristics of frequency domain parallel FIR filtering, a time domain parallel processing scheme is proposed, which can implement a demodulator for 600 Mb/s digital modulation signal with quite low hardware complexity. The paper proposes a scheme of high precise symbol synchronization loop based on parallel processing and multi-phase filter, which can remarkably improve the synchronization accuracy without sampling rate increasing and almost with no extra complexity. Finally, some testing results of a prototype of high rate data communication system based on the above algorithms are given.

**Key words** high rate demodulation; parallel carrier recovery; parallel FIR filter; parallel symbol synchronization

随着技术的发展和应用需求的增加,未来无线通信将需要数百兆比特每秒的数据传输速率。对于通常的全数字QPSK解调方案<sup>[1-4]</sup>,由于大规模CMOS器件处理速度的限制,以目前最快的时钟速度为500 MHz的FPGA器件实现的设备,最高也只能处理50 Mb/s左右的数据速率,因此对更高速率数据传输的解调处理需要采用并行处理算法<sup>[5]</sup>。并行处理算法在满足处理速度要求的同时,也使硬件实现(通常是FPGA实现)的复杂度大幅提高,如何改进算法和实现结构,以便能以较低的硬件代价达到尽可能高的指标,是一个重要研究课题。本文研究并行处理算法的改进和高效实现的方法,主要讨论并行FIR滤波、并行位定时恢复、并行载波恢复等内容。

## 1 并行FIR滤波

### 1.1 频域并行FIR滤波

FIR滤波器并行实现的方法很多,图1所示为一种频域并行实现方法<sup>[6-7]</sup>。并行处理结构利用傅里叶变换的卷积定理,采用FFT实现输入信号与FIR滤波器单位冲击响应序列的快速卷积运算。每次从输入信号样点序列中截取一段进行离散傅里叶变换(DFT)变换到频域,然后将各个频谱值乘以滤波器频率响应系数,最后再进行逆DFT变换返回到时域,得到滤波结果。

利用卷积定理实现快速卷积运算,每次只能实现两个有限长序列的循环卷积,要实现一个无限长

收稿日期: 2008-10-20; 修回日期: 2010-03-26

基金项目: 国家自然科学基金(60572148)

作者简介: 陈 晖(1978-),男,博士生,主要从事卫星通信技术、高速数据传输技术、卫星有效载荷技术等方面的研究。

序列与FIR滤波系数序列的线性卷积, 需要将分段实现的循环卷积结果进行重叠相加或重叠删去处理。

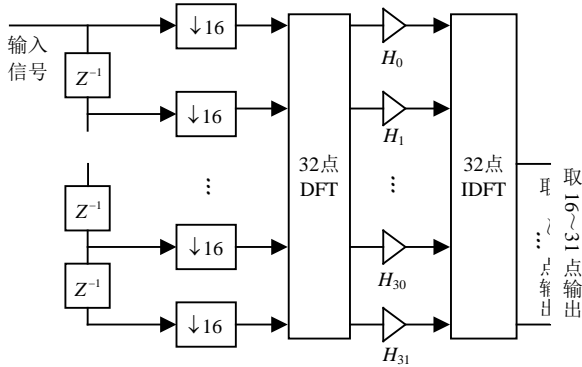


图1 频域并行处理FIR匹配滤波器

设  $\{h(n)\}$  为一个  $N$  点长的FIR滤波器的单位冲击响应,  $\{x_M(n)\}$  为从无限长的输入信号样点序列  $\{x(n)\}$  中截得的一个  $M$  个样点的序列, 借助  $L$  点FFT进行二者的快速卷积计算。  $L$  的选择有两种取法, 对于重叠相加法来说, 取  $L \geq N + M - 1$ , 此时, 用FFT法实现的循环卷积等价于它们的线性卷积, 每次  $M$  个输入信号样点, 可得到  $L$  个样点的卷积值, 其中有  $N+1$  个值与下一段的计算结果重叠相加, 逐段这样进行就可以实现任意长输入序列的FIR滤波。对于重叠删去法, 每次截取  $M$  个样点, 并取  $L=M>N$ , 用  $L$  点FFT实现循环卷积, 所得  $M$  个循环卷积值中有  $M-N$  个与线性卷积值不等价, 必须删去, 因此下一次从输入信号中截取  $M$  个样点时, 应该与前一次截取的至少重复  $M-N$  个样点, 各段留下的  $N$  个卷积值相继

排列, 即可实现任意长输入序列的FIR滤波, 该法也称为重叠保留法<sup>[8-10]</sup>。

上述快速卷积算法比直接进行卷积计算可减少许多的乘、加运算, 因为直接计算一段信号的滤波卷积, 需要进行的乘加运算次数为  $MN$  的数量级, 而采用基于  $L$  点FFT的快速卷积法, 所需的乘、加运算次数的数量级为  $2L \log_2 L$ 。重叠删去法的复杂度明显低于重叠相加法, 运算次数的大幅度减少相当于硬件复杂度大幅度降低。

如果输入信号的采样率为  $f_s$ , 滤波器长度为  $N$ , 那么与采用直接法硬件实现FIR滤波相比, 重叠删去法的乘法器加法器的时钟就可以降低  $N$  倍。尽管DFT和逆DFT运算会带来处理时延, 但是其中的乘、加运算单元的时钟也只需采用  $f_s/N$  的时钟, 就可以使整个滤波器实现实时处理。当然, 此处实时处理的含义是连续地对接收信号进行处理而不会积压数据。

但是, 当并行路数要求不是很多时, 采用频域并行处理算法并不是最优, 因此本文提出一种更为简便的时域并行处理实现方案。

### 1.2 时域并行FIR滤波

当处理过程中出现一些互不相关的运算时, 就可以考虑时域并行处理运算。并行处理的实质, 是对某些单元资源的复制。以一个8阶FIR滤波器为例, 图2为其串行处理的直接型结构图。

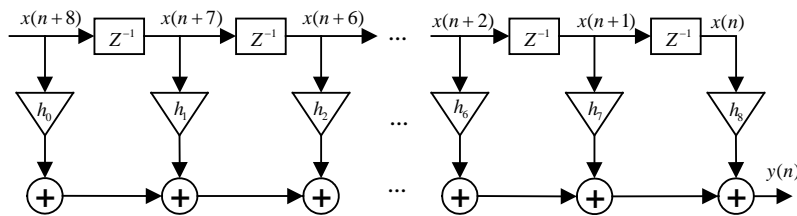


图2 8阶FIR滤波器直接型结构图

输入序列  $x(n)$  通过滤波器系统  $h(n)$  后的输出为:

$$y(n) = \sum_{i=0}^8 h_i x(n+8-i) \quad (1)$$

由于线性相移FIR滤波器的系数有对称性, 即  $h_0 = h_8, h_1 = h_7, h_2 = h_6, h_3 = h_5$ , 所以式(1)可以写为:

$$y(n) = \sum_{i=0}^3 h_i [x(n+i) + x(n+8-i)] + h_4 x(n+4) \quad (2)$$

若将输入信号进行4路并行处理, 并采用一些延时单元(其原理示意如图3所示), 可以同时获得

$x(n) \sim x(n+11)$  共12个数据, 且根据式(2)可以同时获得4个输出:

$$\begin{cases} y(n) = \sum_{i=0}^3 h_i [x(n+i) + x(n+8-i)] + h_4 x(n+4) \\ y(n+1) = \sum_{i=0}^3 h_i [x(n+1+i) + x(n+9-i)] + h_4 x(n+5) \\ y(n+2) = \sum_{i=0}^3 h_i [x(n+2+i) + x(n+10-i)] + h_4 x(n+6) \\ y(n+3) = \sum_{i=0}^3 h_i [x(n+3+i) + x(n+11-i)] + h_4 x(n+7) \end{cases} \quad (3)$$

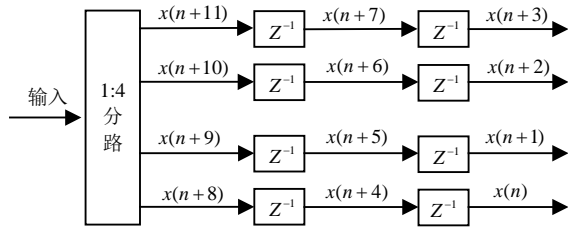


图3 4路并行处理示意图

由此可见, 时域并行处理也可以降低输入信号样点的速率, 使滤波运算在较低的时钟频率上工作。这种并行处理实质上是对信号样点与滤波器系数相乘运算单元的复制, 反映到实际硬件上就是对乘法器资源的复制。

上述时域并行处理FIR滤波器的原理, 可以推广到更高阶数和更多并行路数。设滤波器阶数为 $N$ , 并行路数为 $L$ ,  $N$ 、 $L$ 均为2的幂次数, 则可将式(3)写为一般式:

$$y(n+k) = \sum_{i=0}^{(N-2)/2} h_i [x(n+k+i) + x(n+N+k-i)] + \frac{h_N}{2} x(n+k + \frac{N}{2})$$

$$k = 0, 1, 2, \dots, L-1 \quad (4)$$

对于数字调制信号解调这类应用, 并行FIR滤波所需要的乘法器资源还与输入信号的采样率有关。达到同样性能的FIR滤波器, 所需长度与采样率超出奈奎斯特采样率的倍数成正比。因此应尽可能使输入信号的采样率降低到最低限度, FIR匹配滤波器的长度也就可以短到最低限度。如果无论滤波前的采样率是多少, 滤波后都将采样率降为奈奎斯特采样率, 即2样点/码元, 那么在各种采样率情况下, 采用不同实现方式实现同样性能的FIR滤波器所需乘法器资源如表1所示。

表1 FIR滤波器不同实现方式下乘法器资源占用对比

输入信号 采样率	滤波器 长度	FIR滤波实现方式				
		直 接	2路时域 并行	4路时域 并行	8路时域 并行	频域 并行
2样点/码元	16	9	18	36	72	16
4样点/码元	32	17	17	34	68	32
8样点/码元	64	33	33	33	66	64
16样点/码元	128	65	65	65	65	128
32样点/码元	256	129	129	129	129	256

目前FPGA内部的硬件乘法器可以在10 ns以内完成18 bit×18 bit的乘法运算, 因此采用8路并行FIR

滤波就可以完成接近800 Mb/s的采样信号处理, 并不需要高度并行, 采用时域并行算法更加简洁直观。

## 2 并行符号同步

符号同步电路的性能对解调器的性能具有决定性的影响。对于500 Mb/s以上的高速数字调制信号的解调, 码元同步的精度要求很高, 因为码元周期很短, 时钟抖动超过1/4个码元, 就会对其误码率特性产生明显影响。

符号同步算法有很多种, 如平方环算法、早迟门算法、Mueller-Muller算法等, 本文采用适用于带限PSK信号并独立于载波恢复, 又有较好性能的Gardner算法。假定 $nT_s$ 为最佳采样位置,  $\tau$ 为偏离最佳采样位置的定时偏差, 则Gardner符号同步误差估计为:

$$\varepsilon_i(\tau) = [I(n-1+\tau) - I(n+\tau)] \times I\left(n - \frac{1}{2} + \tau\right) + [Q(n-1+\tau) - Q(n+\tau)] \times Q\left(n - \frac{1}{2} + \tau\right) \quad (5)$$

对于低速率串行处理方式, 在获得时钟误差信号并进行滤波平滑后, 用于控制时钟发生器。而对于高速数据要采用并行处理的方式, 先将各信号处理器得到的同步误差信号进行叠加, 再进行累加和滤波, 然后再去控制VCO以使同步误差减小, 逐步逼近正确的同步位置。

由于数字调制的频带效率总是小于1 bit/Hz, 因此接收信号的最低采样率应为2样点/码元。在没有噪声干扰时该采样率下码元峰值位置的定位精度可达到1/4个码元。实际上, 因存在噪声干扰, 即使有环路滤波减小噪声影响, 同步误差也常常会超过1/4个码元, 使解调译码器的误码特性变坏。并行符号同步环路结构如图4所示, 采用并行处理估计同步定时误差, 各个支路 $\varepsilon_I^n$ ,  $\varepsilon_Q^n$ ...根据当前认定的码元峰值位置估计出一个定时同步误差值, 进行统计平均得到当前码元总的峰值定时误差估值:

$$\varepsilon_t = \frac{1}{8} \left\{ \sum_{n=1}^8 \varepsilon_I^n + \sum_{n=1}^8 \varepsilon_Q^n \right\} \quad (6)$$

其单位都以接收信号采样间隔为单位。当 $\varepsilon_t$ 的绝对值大于半个码元间隔时, 则将下一个码元峰值的预计位置向前或向后调整一个样点间隔, 否则不作该调整, 而继续保持原来的峰值位置预定的规则向前推进。为了防止因噪声干扰或载波相位突变引入同步误差估计引起码元峰值预定位置的错误调整, 引入一个环路滤波器, 以便平滑同步定时误差估值,

避免因噪声干扰引起误调整动作。设平滑之后的误差估值为 $\varepsilon_t$ ，该同步环路可以基本保证最大同步定时误差不超过一个采样间隔，即半个码元。

要完全避免码元同步误差对解调器误码特性的

影响，需要获得更高的同步精度。而进一步提高同步精度，通常需提高接收信号的采样速率才能实现，但提高接收信号采样率有可能给高速时钟下的A/D变换和并行处理单元的实现带来很大困难。

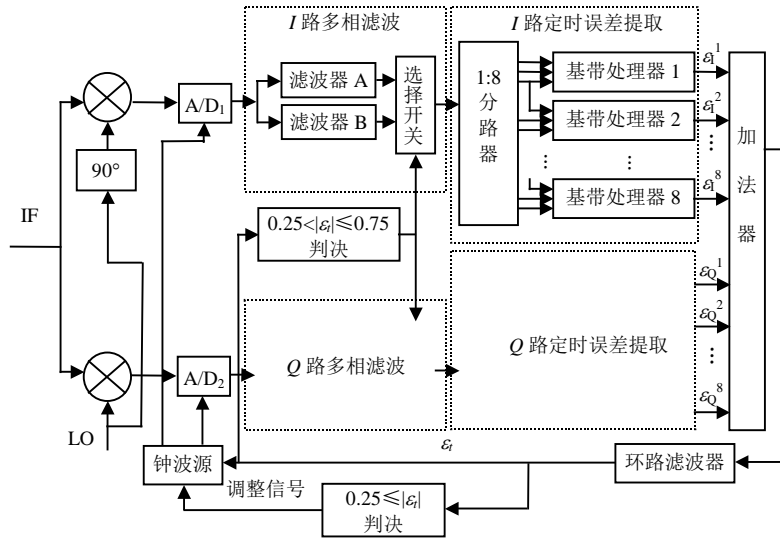


图4 并行处理定时恢复原理框图

本文提出了解决该问题的有效办法——多相滤波器法<sup>[11-12]</sup>，即利用分数样点群延迟FIR滤波器实现信号波形重新采样的特性降低同步误差。如希望同步精度提高一倍，则可以另外设计一个备用的FIR匹配滤波器，其幅频特性与原来的FIR滤波器完全相同，而其群延迟特性比原来的滞后0.5个样点间隔。原来使用一个滤波器时，同步点的调节只能加1或减1，在没有噪声干扰的条件下可将最大剩余同步偏差控制在0.5以内。本文有两个群延迟相差0.5的滤波器，调节同步点有4种可能，即 $1\pm 0.5$ 、 $-1\pm 0.5$ 。在运行过程中每一步按照式(5)估计出同步误差大小，然后根据该误差估值大小适当更换所用的滤波器，并相应调节同步点，在没有噪声干扰时可以使同步误差的最大值不超过0.25，相当于1/8个码元。即使存在噪声干扰，采用环路滤波器后达到1/4码元的同步精度也是有保证的。

改进的码元同步环路的基本结构如图4所示。将输入信号的每一个码的同步误差估计出来后，再经环路滤波器平滑得到更加稳定的估计，然后根据同步误差估值落在哪一个区间，再决定下一步是否调节同步点和是否更换滤波器。如果同步误差落在区间 $(-0.25, 0.25)$ 中，则保持原状不作任何调整；如果落在区间 $(0.25, 0.75)$ 或 $(-0.75, -0.25)$ 中，则更换FIR滤波器，并将同步点位置调整一个样点间隔；如果落在区间 $(0.75, 1.00)$ 或 $(-1.00, -0.75)$ 中，则不更换FIR滤波器，只调整一个样点间隔的同步点位置。这

样下一个码元的同步误差就会小于0.25。

采用该方法实现码元同步，不需要提高输入信号的采样率，也基本上不增加硬件复杂度，就可使码元同步的精度提高一倍。如果必要的话，多设计几个多相滤波器，同步精度还可以进一步提高。

在实际工程中采用两个滤波器构成的多相滤波电路，经过对比测试，未采用多相滤波时， $E_b/N_0$ 的损失约为3 dB；采用多相滤波后， $E_b/N_0$ 的损失降为2 dB，可见效果是很明显的。

### 3 并行载波恢复

载波恢复电路性能的好坏，也对解调器误码特性起决定性的作用<sup>[13-14]</sup>。在高速数据传输系统中，由于基带信号的带宽很宽，必须在微波频段完成调制和解调，此时载波恢复很容易带来较大的相位抖动。要将载波相位抖动控制在可以接受的范围内，则需要对载波恢复电路进行精心而合理的设计。

本文采用判决反馈式载波恢复电路，将模拟正交下变频器的本振信号的频率锁定在接收信号载波频率上，于是其输出信号就是没有频偏的基带复包络信号，经过A/D变换后得到两路相互正交的样点序列为：

$$\begin{aligned} I(n) &= a(n)\cos\Delta\phi - b(n)\sin\Delta\phi + n_1 \\ Q(n) &= b(n)\cos\Delta\phi + a(n)\sin\Delta\phi + n_2 \end{aligned} \quad (7)$$

式中  $\Delta\phi$ 表示载波恢复锁相环的剩余相差。当锁相环路特性较好时，解调器本振频率与载波频率非常

接近, 剩余相差 $\Delta\phi$ 可以做到非常小, 此时 $I(n)$ 、 $Q(n)$ 就是QPSK解调器的同相支路和正交支路用于信息判决的估值, 而其中的 $b(n)\sin\Delta\phi$ 和 $a(n)\sin\Delta\phi$ 两项则是因剩余相差 $\Delta\phi$ 而引起的二者之间的相互干扰。采用判决反馈载波误差提取算法, 每个码元判决后都可以得到一个可大体上反映该剩余相差 $\Delta\phi$ 的估计量:

$$\varepsilon_c = Q(n) \times \text{SGN}[I(n)] - I(n) \times \text{SGN}[Q(n)] \quad (8)$$

由于采用了并行处理结构, 在本文方案中要对式(8)进行必要的修改。并行处理载波恢复原理框图如图5所示。

由图5可见,  $I$ 路和 $Q$ 路数据按顺序对应地送入相应的基带处理器进行处理, 在每个处理器中, 根据式(8)获得各自的相位误差信号 $\varepsilon_c^i$ 后, 再通过式(9)得到最终的误差信号:

$$\varepsilon_c = \frac{1}{8} \sum_{i=1}^8 \varepsilon_c^i \quad (9)$$

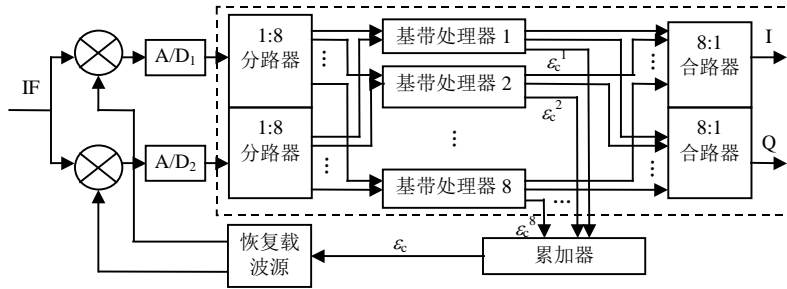


图5 并行处理载波恢复原理框图

实际上, 信号处理器除了完成载波相位误差信号的提取外, 还要完成AGC信号提取、数据码元检测等功能。

仿真和实验都证明, 上述并行处理载波恢复方案是可行的, 但是随着并行路数的增加, 环路的捕获带宽有所减小。表2是单路载波恢复环与多路并行载波恢复环的捕获带宽和捕获时间的对比实验结果。

表2 单路与多路并行载波恢复环参数对比

对比参数	单路	4路并行	8路并行
捕获带宽	符号速率的3.4%	符号速率的1.6%	符号速率的1%
捕获时间	2 000个符号周期	1 500个符号周期	1 500个符号周期

虽然因并行处理使载波恢复环的捕获或跟踪的频偏范围有所减小, 但传输信息的码元速率很高时, 允许的绝对频偏值已经足够大了, 因此没有必要采用扩大频偏捕获范围的其他手段。如300 Mb/s码元速率允许存在1%频偏(3 MHz), 而任何频段的射频接收都不可能产生如此大的频偏。

### 4 实验结果

采用并行数字信号处理方法研制成功了码速率高达620 Mb/s的高速调制解调器原理样机, 实物照片如图6所示。该设备除采用了以上介绍的3种并行处理方法之外, 还有并行成形滤波、并行均衡、并行纠错编译码等算法。采用 IESS-308 标准和 SSOG-308标准推荐的测试方法进行性能测试, 该系

统达到的主要技术指标如表3所示。



图6 600 Mb/s高速解调器实物照片

表3 600 Mb/s高速解调器达到的技术指标

参数	技术指标
码速率/ Mb/s	30~620
输入电平范围/ dBm	-17~-47
载波捕获范围/ MHz	±1.3
时钟捕获范围/ kHz	≥±30
捕获时间/ s	≤1
误码率性能	$E_b/N_0$ 偏离理论值 ≤2 dB

### 5 结论

采用并行处理方法, 一方面可以利用大规模CMOS集成电路的优点, 又可以避免其速度受限的缺点, 因此在高速信号处理方面获得了广泛的应用。本文介绍了高速数据传输系统解调器的3种最重要的并行处理方法, 在工程样机的应用中得到实际验

证, 达到了比较理想的性能, 具有推广应用价值。

### 参 考 文 献

- [1] HEEGARD C, HELLER J A, VITERBI A J. A microprocessor-based PSK modem for packet transmission over satellite channels[J]. IEEE Trans Commun, 1978, 26(5): 552-564.
- [2] SARI H, MORIDI S. New phase and frequency detectors for carrier recovery in PSK and QAM systems[J]. IEEE Trans Commun, 1988, 36(9): 1035-1043.
- [3] CHEN Zhi-zhang(David), WILCOX R, SAMPSON A, et al. The implementation of a new all-digital phase-locked loop on an FPGA and its testing in a complete wireless transceiver architecture[C]// Seventh Annual Communications Networks and Services Research Conference. Moncton, Canada: CNSR, 2009: 238-244.
- [4] 王俊胜. 全数字BPSK/QPSK解调器原理和应用[J]. 无线电通信技术, 1992, 18(4): 255-263.  
WANG Jun-sheng. Principle and application of all digital BPSK/QPSK demodulator[J]. Radio Communications Technology, 1992, 18(4): 255-263.
- [5] SHIHONG D, YAMU H, SAWAN M. A high data rate QPSK demodulator for inductively powered electronics implants[C]//IEEE International Symposium on Circuits and Systems Island of Kos. Greece: IEEE, 2006: 2577-2580.
- [6] SRINIVASAN M, CHEN C, GREBOWSDY G, et al. An all-digital, high data-rate parallel receiver[C]//JPL TDA Progress Report. California: Jet Propulsion Laboratory, 1997: 42-131.
- [7] 陈大夫, 朱 江, 时信华, 等. 全数字宽带接收机的并行结构[J]. 飞行器测控学报, 2003, 22(1): 54-59.  
CHEN Da-fu, ZHU Jiang, SHI Xin-hua, et al. An parallel architecture for fully digital broadband receivers[J]. Journal of Spacecraft TT&C Technology, 2003, 22(1): 54-59.
- [8] SHARMA S, KULKARNI S, PUJARI V K, et al. High data rate filter design for satellite communication[C]// 3rd International Conference on Recent Advances in Space Technologies, 2007(RAST'07). [S.l.]: IEEE Press, 2007.
- [9] 蒋宗明, 唐 斌, 吴 伟. 基于DFT滤波器组的多信号高效数字下变频[J]. 电子科技大学学报, 2005, 34(6): 743-746.  
JIANG Zong-ming, TANG Bin, WU Wei. An efficient structure of wideband digital down converter based on DFT filter banks[J]. Journal of University of Electronic Science and Technology of China, 2005, 34(6): 743-746.
- [10] 丁玉美, 高西全. 数字信号处理[M]. 2版. 西安: 西安电子科技大学出版社, 2002  
DING Yu-mei, GAO Xi-quan. Digital signal processing[M]. 2nd ed. Xi'an: Xidian University Press, 2002.
- [11] 易鸿锋, 谷春燕, 易克初, 等. 一种高精度的符号定时同步方法[J]. 西安电子科技大学学报(自然科学版), 2005, 32(6): 915-919.  
YI Hong-feng, GU Chun-yan, YI Ke-chu, et al. A high precise method for symbol timing synchronization[J]. Journal of Xidian University (Natural Science), 2005, 32(6): 915-919.
- [12] 王 薇, 陈 晖. 高速数据传输载波恢复的原理与仿真[J]. 无线电工程, 2005, 35(5): 43-44.  
WANG Wei, CHEN Hui. Principle and simulation of carrier recovery for high rate data transmission[J]. Radio Engineering of China, 2005, 35(5): 43-44.
- [13] HELWIG A P, HU Bin. High rate Ka-band downlink digital receiver for MUOS[C]// IEEE Military Communications Conference, 2007. Orlando, Florida, USA: IEEE, 2007: 1-7.
- [14] SACCHI C, De NATALE F G B, MUSSO M, et al. An efficient carrier recovery scheme for high-bit-rate W-band satellite communication systems[C]//IEEE Conference on Aerospace. [S.l.]: IEEE Press, 2005: 1-12.

编辑 张 俊