

# 新颖的余数系统到二进制系统转换方法

马 上, 胡剑浩

(电子科技大学通信抗干扰技术国家级重点实验室 成都 610054)

**【摘要】**传统的余数系统(RNS)到二进制系统(R/B)转换电路中的大位宽操作削弱了RNS的并行特性。针对这一问题,提出了基于数值缩放(Scaling)的R/B转换算法和余数系统 $2^k$ 缩放并行实现的方法。同常见余数基R/B转换算法的比较分析结果表明,所提出的算法使R/B转换中的最大运算位宽限制在最大余数基位宽内,从而消除了R/B转换中可能带来的系统并行度损失;此外,该转换算法可实现有符号RNS到二进制补码系统(TCS)的转换,且不限于具体余数基形式,具有一定的通用性。

**关键词** 数字运算; 余数系统到二进制系统转换; 余数系统; 数值缩放; 超大规模集成电路  
**中图分类号** TP338.6 **文献标识码** A **doi**:10.3969/j.issn.1001-0548.2010.04.009

## New Method for Residue-to-Binary Conversion

MA Shang and HU Jian-hao

(National Key Laboratory of Science and Technology on Communications, University of Electronic Science and Technology of China Chengdu 610000)

**Abstract** The operations with large bit-width in residue to binary (R/B) conversion impairs the parallelism degree of residue number system (RNS). In this paper an scaling based R/B conversion algorithm and an RNS power of two scaling method are proposed. The analysis results show that the operation bit-width in the proposed R/B conversion is smaller than the maximum bit-width of radix in moduli set. Furthermore, the conversion results can be mapped into Tow's complement system (TCS) directly with arbitrary moduli set. As a result, the proposed R/B conversion algorithm can reduce the critical path in very large scale Integration (VLSI) circuits and improve the performance of VLSI.

**Key words** digital arithmetic; R/B conversion; RNS; scaling; VLSI circuits

余数系统在进行乘法、加法运算时具有良好的并行特性,各余数通道运算之间无进位或借位产生,缩短了其VLSI实现的关键路径长度,从而提高了运行速率,并具有低功耗优势,特别适合应用于乘加密集型的DSP(digital signal processing)系统中<sup>[1-2]</sup>。通常,余数系统与权重系统间的转换指余数系统同二进制、十进制或其他权重系统之间的转换。由于目前绝大多数的VLSI实现均基于二进制系统,因此余数系统的转换电路一般指余数系统与二进制系统之间的转换,包括二进制系统到余数系统(B/R)转换和余数系统到二进制系统(R/B)转换。B/R转换即为模运算,而R/B转换则相对复杂,是有关RNS检测、基扩展等问题的基础,得到了广泛研究,本文主要探讨R/B问题<sup>[3]</sup>。

中国剩余定理(Chinese remainder theorem, CRT)和混合基转换(mixed radix conversion, MRC)是R/B转换研究的理论基础,结合具体余数基进行优化设计是其主要的研究方法。由于在基于二进制逻辑的

VLSI实现中,  $2^n$  和  $2^n \pm 1$  形式的余数基所构成的余数系统其模乘法和模加法具有简单高效的实现方法,因此该类余数基的转换电路得到了深入研究。如文献[4-8]就分别给出了由  $2^n$  和  $2^n \pm 1$  形式所构成的3通道及3通道以上余数基的R/B转换电路及实现方法。这些实现方法主要关注如何减小CRT的模运算大小或MRC的迭代复杂度,但R/B转换中的运算位宽仍随着动态范围的增加而增加,且不同余数基的转换电路差异很大,通用性较差。

另一方面,二进制补码系统的动态范围为  $2^n$ ,而在构建余数系统时,很难满足其动态范围具有  $2^n$  或  $2^n - 1$  的形式。因此,为了将RNS的数值表示范围同DSP运算中常用的二进制补码系统数值表示范围对应,通常需要对R/B转换得到的数值进行调整,使之在TCS的正确表示范围内,当动态范围较大时将涉及大位宽的加法操作,而这一点在一般的R/B转换电路设计中较少考虑。

以上问题都在一定程度上削弱了RNS的并行特

性,可能重新成为系统处理速度瓶颈。为此,本文提出了基于余数系统 $2^k$ 数值缩放(scaling)的R/B转换算法及VLSI实现结构。该方法利用RNS数值缩放逐步转换出对应的二进制比特,借助适当的流水线结构将逐次转换出的二进制比特直接由低至高排列即可得到整个二进制信息。本文并基于此给出了在有符号表示情况下余数系统到二进制补码系统的转换方法,而不是对R/B转换的结果进行调整得到。另外,本文还给出了一种余数系统 $2^k$ 并行缩放实现方法。由于最大运算位宽是决定RNS并行度的主要因素,因此本文最后主要从这一角度给出了同常见余数基R/B转换的性能比较,结果表明本文所提出的算法在R/B转换中的最大运算位宽被限制在最大余数基位宽内,消除了R/B转换中可能带来的RNS并行度减小的问题。

## 1 余数系统定义与R/B转换基本理论

一个余数系统由一组互质的余数基 $\{p_1, p_2, \dots, p_n\}$ 定义 $n > 1$ ,  $\text{GCD}(p_i, p_j) = 1$ ,  $i, j = 1, 2, \dots, n$ , 它所能表示的整数 $X$ 的动态范围为 $[0, P)$ , 其中 $P = p_1 p_2 \dots p_n$ 。通过模运算, 整数 $X$ 被表示成一个余数向量 $\{x_1, x_2, \dots, x_n\}$ , 其中 $x_i = X \bmod p_i = \langle X \rangle_{p_i}$ ,  $i = 1, 2, \dots, n$ 。令 $[0, P)$ 范围内的整数 $a$ 、 $b$ 、 $c$ 的RNS分别表示为 $\{a_1, a_2, \dots, a_n\}$ 、 $\{b_1, b_2, \dots, b_n\}$ 和 $\{c_1, c_2, \dots, c_n\}$ , 根据高斯模运算准则, 若 $c_i = (a_i \Delta b_i) \bmod p_i$ , 则 $C = \langle A \Delta B \rangle_p$ , 其中“ $\Delta$ ”表示加、减及乘法运算。因此在进行乘加运算时各余数分量间无进位或借位产生, 缩短了VLSI实现的关键路径长度, 从而可提高运行速率, 降低系统功耗。余数系统有符号数定义同二进制补码系统类似, 即用 $[0, P)$ 范围内的整数 $X$ 来表示有符号数 $\tilde{X}$ ,  $X < \lceil P/2 \rceil$ 时,  $\tilde{X}$ 为正,  $X \geq \lceil P/2 \rceil$ 时,  $\tilde{X}$ 为负( $\lceil \cdot \rceil$ 表示向上取整),  $\tilde{X}$ 的相反数 $-\tilde{X} = P - X$ , 若 $\tilde{X}$ 的余数系统表示为 $\{x_1, x_2, \dots, x_n\}$ , 则 $-\tilde{X}$ 的余数系统表示为 $\{\tilde{x}_1, \tilde{x}_2, \dots, \tilde{x}_n\}$ ,  $\tilde{x}_i = p_i - x_i$ 。

RNS整数 $\{x_1, x_2, \dots, x_n\}$ 与其对应的十进制整数 $X$ 可由著名的中国剩余定理计算得到:

$$X = \left\langle \sum_{i=1}^n P_i \langle a_i x_i \rangle_{p_i} \right\rangle_P = \sum_{i=1}^n P_i \langle a_i x_i \rangle_{p_i} - r_x P \quad (1)$$

式中  $P_i = P/p_i$ ;  $a_i = \langle P_i^{-1} \rangle_{p_i}$ ,  $\langle P_i^{-1} \rangle_{p_i}$ 为 $P_i$ 对 $p_i$ 的模倒数, 满足 $\langle a_i \times P_i \rangle_{p_i} = 1$ ;  $r_x$ 为一小于 $N$ 的整数。CRT是RNS中的基本理论之一, 是解决R/B转换、大小比较、数值缩放等一系列问题的理论基础。

另一种常用的余数系统到权重系统之间的转换算法称为MRC。任何一个RNS都可同一个混合基系统(mixed radix system, MRS)相关联, 它是一个权重系统, 其权重分别为 $\{p_{N-1} \dots p_2 p_1, \dots, p_2 p_1, p_1, 1\}$ 。MRS整数可表示为 $(z_N, \dots, z_2, z_1)$  ( $0 \leq z_i < p_i$ ), 同其对应的RNS具有相同的动态范围。RNS到MRS的转换即为由 $x_i$ 求解 $z_i$ 的过程, 它是一个迭代过程:  $z_i = \langle (X_{i-1} - z_{i-1}) / p_{i-1} \rangle_{p_i}$  ( $2 \leq i \leq N$ ,  $z_1 = x_1$ ,  $X_1 = X$ ,  $X_i = (X_{i-1} - z_{i-1}) / p_{i-1}$ )。

## 2 基于数据缩放的R/B转换

### 2.1 R/B转换算法

#### 2.1.1 无符号RNS整数R/B转换

当 $X$ 为无符号数时, 其RNS表示的数值同二进制系统相同, 将 $X$ 的二进制表示分为 $m$ 组, 每组比特 $k_i$  ( $i = 0, 1, \dots, m-1$ ), 即整数 $X$ 的二进制表示为 $x_{m-1, k_{m-1}} \dots x_{m-1, 0} \dots x_{1, k_1-1} \dots x_{1, 0} x_{0, k_0-1} \dots x_{0, 0}$ , 则:

$$X = \sum_{i=0}^{m-1} \sum_{j=0}^{k_i-1} x_{i,j} 2^j 2^{\sum_{t=0}^i k_t - k_i} \quad (2)$$

若要提取 $X$ 的第 $h$ 组的二进制表示, 则可先减去其第0到 $h-1$ 组的值(记为 $d_{h-1}$ ), 再除以 $2^{\sum_{t=0}^h k_t - k_h}$ , 最后对其模 $2^{k_h}$ 得到。由式(2)有:

$$X - d_{h-1} = \sum_{i=0}^{m-1} \sum_{j=0}^{k_i-1} x_{i,j} 2^j 2^{\sum_{t=0}^i k_t - k_i} - \sum_{i=0}^{h-1} \sum_{j=0}^{k_i-1} x_{i,j} 2^j 2^{\sum_{t=0}^i k_t - k_i} = \sum_{i=h}^{m-1} \sum_{j=0}^{k_i-1} x_{i,j} 2^j 2^{\sum_{t=0}^i k_t - k_i} \quad (3)$$

则:

$$\begin{aligned} (X - d_{h-1}) / 2^{\sum_{t=0}^h k_t - k_h} &= \\ \left( \sum_{j=0}^{k_h-1} x_{h,j} 2^j 2^{\sum_{t=0}^h k_t - k_h} + \sum_{i=h+1}^{m-1} \sum_{j=0}^{k_i-1} x_{i,j} 2^j 2^{\sum_{t=0}^i k_t - k_i} \right) / 2^{\sum_{t=0}^h k_t - k_h} &= \\ \sum_{j=0}^{k_h-1} x_{h,j} 2^j + \left( \sum_{i=h+1}^{m-1} \sum_{j=0}^{k_i-1} x_{i,j} 2^j * 2^{\sum_{t=0}^h k_t - k_h + \sum_{t=h+1}^i k_t - k_i + k_h} \right) / 2^{\sum_{t=0}^h k_t - k_h} &= \\ \sum_{j=0}^{k_h-1} x_{h,j} 2^j + \sum_{i=h+1}^{m-1} \sum_{j=0}^{k_i-1} x_{i,j} 2^j 2^{\sum_{t=h+1}^i k_t - k_i} 2^{k_h} & \quad (4) \end{aligned}$$

则:

$$\langle (X - d_{h-1}) / 2^{\sum_{t=0}^h k_t - k_h} \rangle_{2^{k_h}} = \sum_{j=0}^{k_h-1} x_{h,j} 2^j \quad (5)$$

显然, 式(5)的运算结果即为 $X$ 的第 $h$ 组二进制数的数值。式(3)~式(5)的推导过程表明: 可以通过逐次减去第 $i-1$  ( $i = 1, 2, \dots, m-2$ )组二进制整数的

值, 除以  $2^{k_{i-1}}$ , 然后对其模  $2^{k_i}$ , 依次求得  $X$  的第  $i$  ( $i=1, 2, \dots, m-2$ ) 组二进制表示, 第0组的值则不需要减法操作。因此, 对于RNS所表示的整数  $X \sim \{x_1, x_2, \dots, x_n\}$ , 可通过每次进行  $2^{k_i}$  缩放, 得到对应的  $k_i$  比特二进制整数。算法流程如图1a所示, 每次对RNS整数  $X$  做  $k_i$  比特数值缩放, 并将  $\langle X \rangle_{2^{k_i}}$  作为转换的输出值, 当进行  $m$  次迭代后可得到最终的转换值, 其中符号“&”表示将每次缩放的结果直接按顺序排列, 从而消除了CRT或MRC运算时最后的加法操作, 其流水实现如图1b所示, 其中  $R_i$  表示一级寄存器。

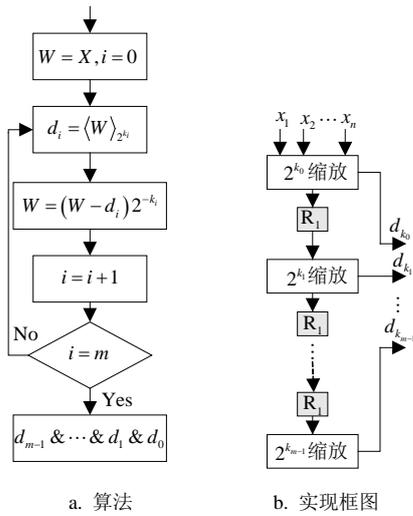


图1 基于数值缩放的R/B转换

2.1.2 有符号RNS整数R/B转换

若余数系统的动态范围为  $P$ , 则对应二进制系统表示整数需要  $M = \lceil \log_2 P \rceil$  比特, 为了保证构建余数系统时各余数基分量互质, 通常其动态范围  $P$  不等于  $2^M$ 。按照RNS有符号数定义方式,  $0 \leq X < \lceil P/2 \rceil$  时为正,  $\lceil P/2 \rceil \leq X < P$  时为负; 而在二进制补码系统中, 其定义方式类似, 即  $0 \leq X < 2^{M-1} - 1$  时为正,  $2^{M-1} \leq X < 2^M$  时为负, 如图2所示。因此, 按照TCS和RNS有符号数的定义, 在表示有符号数时RNS同二进制补码系统不能直接对应。由于  $P < 2^M$ , 实际上RNS整数未使用二进制系统  $[2^M - P - 1, 2^M - 1)$  范围内的值。

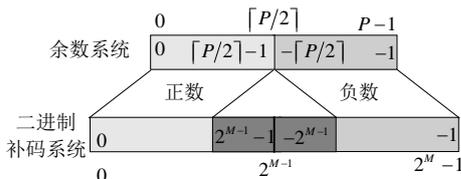


图2 余数系统与二进制补码系统对应关系

因此, 在转换过程中需要判断RNS整数的符号, 若为负, 则将转换值加上常数  $t = 2^M - P - 1$  使之映

射到二进制补码系统中的对应位置。考虑到这种情况, 采用流水结构的转换电路结构如图3所示, 其中  $t_i$  ( $i=0, 1, \dots, m-1$ ) 表示常数  $t$  对应第  $i$  组的二进制表示, 若当前转换的RNS整数为负, 则加上  $t_i$ , 否则直接将缩放结果输出。  $R_i$  表示该处放置  $i$  个寄存器。采用如图3所示的流水结构, 则经过  $m-2$  个时钟周期后可连续输出经转换后的RNS整数的二进制表示  $d_{k_{m-1}} \& \dots \& d_{k_1} \& d_{k_0}$ 。图3中的缩放模块并不需要做有符号数的缩放, 在有符号数表征情况下缩放时仍然将RNS整数视为无符号数, 仅在完成后按图3所示将其映射到二进制补码系统的负数范围内。

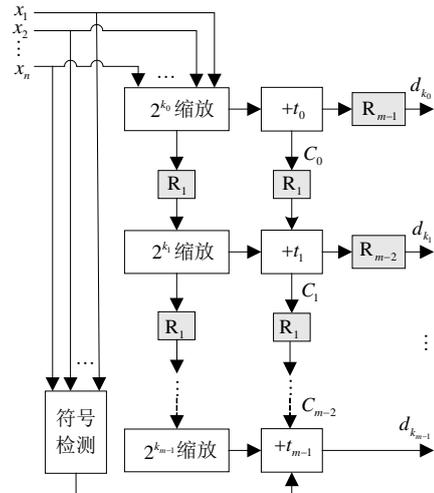


图3 基于缩放技术的RNS到TCS转换框图

2.2 余数系统  $2^k$  缩放

数值缩放即为常数除法, 该常数被称为缩放因子, 常数的选取是决定电路复杂度的重要因素之一。若缩放因子为  $S$ , 则缩放结果为:

$$Y = \left\lfloor \frac{X}{S} \right\rfloor = \frac{X - \langle X \rangle_S}{S} \quad (6)$$

式中  $\lfloor \cdot \rfloor$  表示“ $\cdot$ ”的整数部分。当  $S = 2^k$  时即为2的幂次方缩放, 类似二进制系统中的“截位”操作。文献[9]以余数系统整除定理为基础进行除2操作, 实现中考虑了有符号数情况, 并利用LUT实现RNS整数的符号判断和奇偶检测, 而文献[10]采用了类似文献[9]的结构, 不同在于使用了冗余基实现符号判断和奇偶检测。文献[9-10]在实现2的幂次方缩放时, 都采用了级联结构, 该方法的弊端是进行多比特缩放时, 级联结构会带来很大的信号延迟, 且级联方式需要更多的VSLI实现面积和功耗, 从而使得缩放效率降低, 难以满足实际系统要求。下面针对不同的余数基和缩放因子的互质关系给出其缩放操作的实现结构。

2.2.1  $GCD(2^k, P) = 1$  时  $2^k$  缩放

当  $GCD(2^k, P) = 1$  时,  $\langle(2^k)^{-1}\rangle_{p_i}$  存在, 因此可以直接对式(6)两边求模:

$$y_i = \langle Y \rangle_{p_i} = \langle \langle x_i - \langle X \rangle_{2^k} \rangle_{p_i} \langle (2^k)^{-1} \rangle_{p_i} \rangle_{p_i} \quad (7)$$

式中  $\langle X \rangle_{2^k}$  可通过基扩展求得, 且  $\langle X \rangle_{2^k}$  即为当前所求的  $X$  的某一组二进制表示。此时的缩放框图如图4所示, 图中基扩展的输出即为该次缩放操作所求的RNS整数  $X$  的二进制表示。

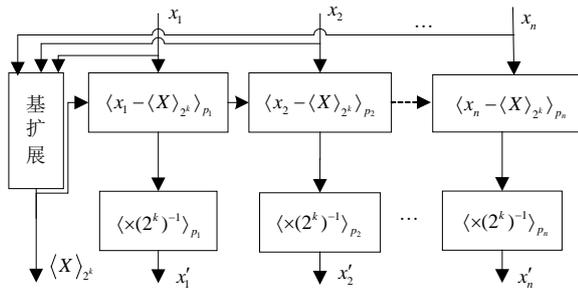


图4  $GCD(2^k, P) = 1$  时缩放框图

2.2.2  $GCD(2^k, P) \neq 1$  时  $2^k$  缩放

当  $GCD(2^k, P) \neq 1$  时, 必然有一个余数基为偶数, 通常为了简化模运算选择具有  $2^{k'}$  形式的余数基, 令该余数基为  $p_j$ , 即  $p_j = 2^{k'}$ 。为了简化缩放操作, 令  $k = k'$ , 则  $\langle X \rangle_{2^k} = x_j$ 。因此,  $\langle X \rangle_{2^k}$  是显而易见的, 并可直接输出作为当前所求的  $X$  的某一组二进制表示。

当  $i \neq j$  时,  $\langle K^{-1} \rangle_{m_i}$  存在, 直接对式(6)两边进行模运算, 可得:

$$y_i = \langle Y \rangle_{m_i} = \langle \langle x_i - \langle X \rangle_{2^k} \rangle_{m_i} \langle K^{-1} \rangle_{m_i} \rangle_{m_i} \quad (8)$$

当  $i = j$  时,  $\langle(2^k)^{-1}\rangle_{p_j}$  不存在, 不能直接对式(6)两边进行模运算, 必须用其他方法获取  $y_j$ , 供下一次缩放时使用。由于  $0 \leq X < P$ ,  $X$  经  $S = 2^k$  缩放后,  $0 \leq (X - \langle X \rangle_S) / S < (P - \langle X \rangle_S) / S$ , 令  $Y = (X - \langle X \rangle_S) / S$ , 考虑到  $(P - \langle X \rangle_S) / S = p_1 \cdots p_{j-1} p_{j+1} \cdots p_n - \langle X \rangle_S S^{-1}$ ,  $\langle X \rangle_S$  的最小值为0, 则  $0 \leq Y < p_1 \cdots p_{j-1} p_{j+1} \cdots p_n$ 。以上分析表明  $X$  经  $S = 2^k$  缩放后在  $[0, p_1 \cdots p_{j-1} p_{j+1} \cdots p_n)$  范围内, 因此可用基为  $\{p_1, \dots, p_{j-1}, p_{j+1}, \dots, p_n\}$  的余数系统表示, 而对应的RNS整数  $\{y_1, \dots, y_{j-1}, y_{j+1}, \dots, y_n\}$  可由式(8)计算得到。此时可视  $p_j$  为冗余基, 并可由  $\{y_1, \dots, y_{j-1}, y_{j+1}, \dots, y_n\}$  获得  $y_j$  的值, 因此也是一个基扩展问题。此时的缩放框图如图5所示, 图中  $x_j$  即为该次缩放操作所求的RNS整数  $X$  的二进制表示, 而基扩展模块的输出用于下一次缩放操作。

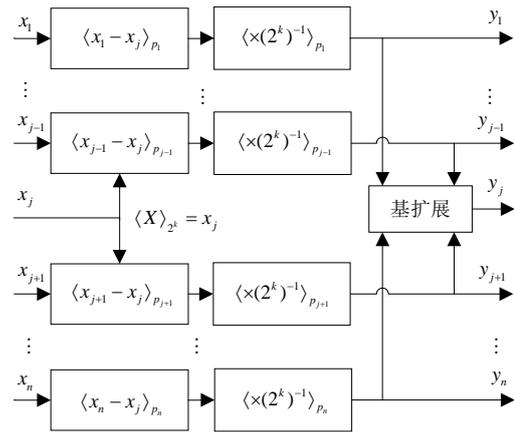


图5  $GCD(2^k, P) \neq 1$  时缩放框图

由图3~图5可知, 要实现完整的R/B转换, 还需要基扩展与符号检测, 这两部分也是RNS研究的重要内容, 文献[10-11]借助一个较小的冗余基实现RNS的基扩展和符号检测, 具有较好的VLSI实现特性, 在此不再赘述。

3 性能分析

由图1和图3可见, 本文所提出的基于缩放技术的RNS到二进制系统转换电路具有电路模块化和结构简单的特点。由于RNS的高速特性主要来自于乘加运算中关键路径长度的减小(即将大位宽整数运算划分为多个小位宽运算单元), 因此有关RNS的所有处理单元, 包括后向转换都应尽量保持这一特点, 否则将削弱其并行特性, 重新成为处理瓶颈。表1的性能分析主要关注了加法器(包括模加法器)的最大运算宽度以及实现结构是否具有通用性, 并关注在实际应用与TCS的对应问题。其中所选择的对比文献包括主要的具有优化VLSI实现的余数基形式。

如表1所示, 为了基于二进制逻辑的RNS优化实现, 绝大多数文献都选择具有  $2^n$  和  $2^n \pm 1$  形式的余数基。表1表明, 在后向转换中, 最大运算位宽随着余数基分量的增加和动态范围的扩展而增加。文献[6-7]的最大运算位宽达到动态范围位宽的一半以上, 在大动态范围情况下必然成为处理速度的瓶颈, 而文献[8]则达到最大余数基位宽的两倍, 所采用的余数基各通道不平衡, 因此在余数基通道较多时速度将显著降低。由图1b、图3~图5可知, 本文的最大运算位宽为最大余数基通道位宽。此外, 在利用冗余基实现基扩展和符号检测模块时, 其运算位宽也被限制于最大余数基通道位宽以内。因此, 本文的方法较好地保证了余数系统并行特性, 消除了大

位宽整数运算; 且并不限制于某种特殊的余数基形式, 仅要求在余数基中具有偶数分量时选择一具有  $2^k$  形式的基即可, 而这是构建该类余数基的常用方

法, 其目的是简化模运算; 由于采用了流水结构, 在推迟固定时钟周期后, 即可连续输出转换值, 同数字信号处理系统的流水特性是一致的。

表1 性能比较

方法	基形式	最大运算位宽/bit	可否直接同TCS对应	是否具有通用性
文献[4]	$\{2^n - 1, 2^n, 2^n + 1\}$	$n + 1$	否	否
文献[5]	$\{2^k, 2^k - 1, 2^{k-1} - 1\}$	$k$	否	否
文献[6]	$\{2^n - 1, 2^n, 2^n + 1, 2^{n+1} - 1\}$ $\{2^n - 1, 2^n, 2^n + 1, 2^{n-1} - 1\}$	$3n - 1$	否	否
文献[7]	$\{2^n - 1, 2^n, 2^n + 1, 2^{n+1} + 1, 2^{n-1} - 1\}$	$4n$	否	否
文献[8]	$\{2^m - 1, 2^{2^m} + 1, 2^{2^m} + 1, \dots, 2^{2^m} + 1\}$	$2^{k+1}m$	否	否
本文	余数基为奇数或包含一个 $2^k$ 基分量	$\max_{i=1,2,\dots,n} (\log_2^i)$	是	是

对于常见的基为  $\{2^n - 1, 2^n, 2^n + 1\}$  的3余数基系统无符号R/B转换, 文献[4]和文献[12]专门针对该余数基进行了优化设计。其中, 文献[12]在基于  $2n$  比特加法器构建的R/B转换器中需要  $2n$  个1比特全加器、1个1比特半加器、2个二选一选择器、1个XOR门、 $2n + 1$  个反向门和1个  $2n$  比特的二进制加法器; 其时延为  $n$  个全加器、1个反向器、1个选择器和1个  $2n$  比特加法器的时延之和。而基于本文提出的方法则需要2个模  $2^n - 1$ 、2个模  $2^n + 1$  和1个  $n$  比特无进位加法器, 无其他组合逻辑, 在不插入寄存器的情况下时延约为4个加法器级联长度。由此可见, 针对  $\{2^n - 1, 2^n, 2^n + 1\}$  这类余数基通道个数较少的余数系统, 在不插入流水线寄存器情况下, 本文方法与经过优化设计的面积和时延具有比较接近的性能, 但应注意基为  $\{2^n - 1, 2^n, 2^n + 1\}$  的余数系统是目前研究最为成熟的一组余数基, 其实现较优化。本文方法具有结构简单的特点, 不需要针对基的形式进行复杂的特殊设计, 也是基于本文方法所构建的R/B转换器除开模加法器外无其他组合逻辑的原因所在。而在设计R/B转换器时, 若直接使用CRT则需要  $k - 1$  ( $k$  为余数基通道个数) 个模  $P$  ( $P$  为动态范围) 的加法器, 直接使用MRC则需要将转换出的混合基数字再用  $k - 1$  个  $\log_2 P$  二进制加法器转换到二进制系统中, 在R/B转换设计中较少直接采用。如表1中的文献就针对几种常见余数基进行了优化设计, 其所需要的硬件资源通常较通用的方法小, 但其设计过程复杂。

### 4 结 论

传统R/B转换中, 无论采用CRT和MRC作为R/B转换的理论基础, 均会涉及大位宽运算, 在一定程

度上削弱了RNS的并行特性。多数研究均结合具体余数基进行优化以尽量减小最大运算位宽, 但设计过程复杂, 缺乏通用性。本文针对这些问题, 提出了一种结构简单、易于扩展的R/B转换方法, 该方法将转换过程中的最大运算位宽限制在最大余数基位宽内, 消除了CRT和MRC中最后的加法操作, 从而保证了RNS的并行度; 此外, 该方法的转换结果还可直接同TCS数值表示范围相对应, 在有符号表示情况下进一步提高系统性能; 由于不限于具体余数基形式, 因此本文所提出的方法具有一定的通用性。

### 参 考 文 献

- [1] WILLIAM J D, STEVE L. VLSI architecture: past, present, and future[C]//Proceedings of the 20th Anniversary Conference on Advanced Research in VLSI. Atlanta: IEEE Press, 1999: 232-241.
- [2] ADREAS L, LARS B. A low-power FIR filter using combined residue and Radix-2 signed-digit representation [C]//Proceedings of the 2005 8th Euromicro conference on Digital System Design. Porto, Portugal: IEEE Press, 2005: 42-47.
- [3] 马 上, 胡剑浩, 叶蒸龙. 以  $\{2^n - 1, 2^n, 2^n + 1\}$  为基的余数系统  $2^n$  高性能缩放[J]. 电子科技大学学报, 2010, 39(2): 306-310.  
MA Shang, HU Jian-hao, YE Yang-long. High efficient  $2^n$  scaling for RNS  $\{2^n - 1, 2^n, 2^n + 1\}$  [J]. Journal of University Electronic Science and Technology of China, 2010, 39(2): 306-310.
- [4] GALLAHER D, PETRY F. Padmini Srinivasan. The digital parallel method for fast RNS to weighted number system conversion for specific moduli  $(2^n - 1, 2^n, 2^n + 1)$  [J]. IEEE Transactions on Circuits and Systems-II, 1997, 44(1): 53-57.
- [5] WANG Wei, SWAMY M N S, AHMAD M O, et al. A high-speed residue-to-binary converters for three-moduli

- $(2^k, 2^k - 1, 2^{k-1} - 1)$  RNS and a scheme for its VLSI implementation[J]. IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing, 2000, 47(2): 1576-1581.
- [6] MOHAN P V A, PREMKUNMAR A B. RNS-to-binary converters for two four-moduli sets  $\{2^n - 1, 2^n, 2^n + 1, 2^{n+1} - 1\}$  and  $\{2^n - 1, 2^n, 2^n + 1, 2^{n-1} - 1\}$  [J]. IEEE Transactions on Circuits and Systems-I: Regular Papers, 2007, 54(6): 1245-1254.
- [7] CAO B, SRIKANTHAN T, CHANG C H. Design of residue-to-binary converter for a new 5-moduli superset residue number system[J]. IEEE Transactions on Circuits and Systems-I: Regular Papers, 2007, 54(5): 1041-1049.
- [8] WANG Wei, SWAMY M N S, AHMAD M O, et al. A parallel residue-to-binary converter for the moduli Set  $\{2^m - 1, 2^{2^m} + 1, 2^{2^m} + 1, \dots, 2^{2^m} + 1\}$  [J]. VLSI Design, 2002, 14(2): 183-191.
- [9] UWE M B, THANOS S. New power-of-2 RNS scaling scheme for cell-based IC design[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2003, 11(2) : 280-283.
- [10] CARDARILLI G C, DEL RE A, NANNARELLI A. Programmable power-of-two RNS scaler and its application to a QRNS polyphase filter[C]//IEEE International Symposium on Circuits and Systems. Kobe, Japan: IEEE Press, 2005: 1102-1105.
- [11] MA Shang, HU Jian-hao, ZHANG Lin, et al. An efficient  $2^n$  RNS scaler and its VLSI implementation[C]//2008 International Conference on Communications, Circuits and System. Xiamen: IEEE Press, 2008: 1498-1501.
- [12] WANG Y, SONG X, ABOULHAMID M, et al. Adder based residue to binary number converters for  $(2^n - 1, 2^n, 2^n + 1)$  [J]. IEEE Transactions on Signal Processing, 2002, 50(7) : 1172-1179.

编辑 张俊

(上接第504页)

### 参 考 文 献

- [1] BERROU C, GAVIEUX A, THITMASJSHIMA P. Near shannon limit error-correcting coding and decoding: Turbo-codes[C]//Proceedings of IEEE International Conference On Communication. Geneva: [s.n.], 1993: 1064- 1070.
- [2] PROAKIS J G. 数字通信[M]. 4版. 北京: 电子工业出版社, 2006: 431-452.  
PROAKIS J G. Digital communications[M]. 4ed, Beijing: Publishing House of Electronics Industry, 2006: 431-452.
- [3] 曹 蕾, 张 欣, 杨大成. 频域均衡联合干扰删除的频域实现方法[J]. 电子科技大学学报, 2008, 37(6): 818- 822.  
CAO Lei, ZHANG Xin, YANG Da-cheng. Novel frequency-domain implementation method for joint frequency domain equalization and interference cancellation [J]. Journal of University of Electronic Science and Technology of China, 2008, 37(6): 818-822.
- [4] DOUILLARD C, PICART A, DIDIER P, et al. Iterative correction of inter-symbol interference: Turbo-equalization [J]. European Trans Telecomm, 1995, 6(5): 507- 511.
- [5] MACKAY D J C, NEAL R M. Near Shannon limit performance of low density parity check codes[J]. Electronics Letters, 1996, 32 (18): 1645-1646.
- [6] DEJONGHE A, VANDENDORPE L. Turbo-equalization for multilevel modulation: an efficient low-complexity scheme [C]//Proceedings of IEEE International Conference on Communication. Singapore: [s.n.], 2002: 1863-1867.
- [7] LU B, WANG X D. Design of multilayer code modulation for nonergodic block-fading channels[J]. IEEE Trans Comm, 2007, 55(1): 205-214.
- [8] KIM S H, KIM Y S, LIM J S, et al. Design of the channel estimation algorithm for advanced terrestrial DMB system [J]. IEEE Trans on Broadcasting, 2008, 54(3): 816-820.
- [9] TUCHLER M, SINGER A C, KOETTER R. Turbo equalization: principles and new results[J]. IEEE Trans Comm, 2002, 50(3): 754-767.
- [10] TUCHLER M, SINGER A C, KOETTER R. Minimum mean squared error equalization using a priori information [J]. IEEE Trans on Signal Processing, 2002, 50(3): 673-683.
- [11] KANSANEN K, SCHNEIDER C, MATSUMOTO T, et al. Multilevel-code QAM with MIMO Turbo-equalization in broadband single-carrier signaling[J]. IEEE Trans on Vehicular Technology, 2005, 54(3): 954-966.

编辑 张俊