

小尺寸器件栅隧穿电流预测模型

吴铁峰^{1,2}, 张鹤鸣¹, 胡辉勇¹

(1. 西安电子科技大学微电子学院宽禁带半导体材料与器件重点实验室 西安 710071; 2. 佳木斯大学信息电子技术学院 佳木斯 154007)

【摘要】针对具有超薄氧化层的MOS器件, 使用积分方法, 提出了一个新的栅隧穿电流与氧化层厚度关系的理论预测模型, 在此基础上使用HSPICE对MOS器件的特性进行了详细的研究, 并定量分析了器件的工作情况, 预测了在栅隧穿电流的影响下小尺寸器件的特性变化趋势。使用BSIM 4模型进行仿真的结果与所提出的理论模型相符合。

关键词 器件仿真; 栅隧穿电流模型; 栅氧化层; 积分法; 小尺寸器件

中图分类号 TN386.1

文献标识码 A

doi:10.3969/j.issn.1001-0548.2011.02.031

Gate Tunneling Current Predicting Model for Scaled Devices

WU Tie-feng^{1,2}, ZHANG He-ming¹, and HU Hui-yong¹

(1. Key Laboratory of Wide Band-Gap Semiconductor Materials and Devices, Xidian University Xi'an 710071;

2. School of Information & Electronic Technology, Jiamusi University Jiamusi 154007)

Abstract With the scaling of MOS devices, gate tunneling current increases significantly due to thinner gate oxides, and static characteristics of devices and circuit are severely affected by the presence of gate tunneling currents. In this paper, a novel gate tunneling current predicting model using integral means is presented for ultra-thin gate oxide MOS devices that tunneling current changes with gate-oxide thickness. To analyze quantitatively the behaviors of scaled MOS devices in the effects of gate tunneling current and predict the trends, the characteristics of MOS devices are studied in detail using H-Simulation program with integrated circuit emphasis (HSPICE) simulator. The simulation results in BSIM 4 model well agree with the model proposed. The theory and experiment data are contributed to the VLSI circuit design in the future.

Key words device simulation; gate tunneling current model; gate oxides; integral means; scaled device

为了保持合理的短沟道效应, MOS器件需要更薄的栅氧化层^[1], 对栅隧穿电流的研究显得更加重要^[2]。ITRS预测, 对于100 ns以下的MOS器件, 栅氧化层厚度将小于1.4 nm, 如此薄的栅氧化层厚度必然会导致更大的栅隧穿电流^[3-4]。对于具有超薄氧化层的MOS器件, 栅流向沟道的隧穿电流会变得很大并成为晶体管静态漏电流的主要成分^[5]。从现有的国内外文献看, 隧穿电流已经广泛地被模型化, 但研究主要集中于隧穿电流的理论上, 被开发的模型也不适用于预测具有更薄氧化层的MOS器件的特性和隧穿电流变化趋势^[6-7], 而且, 开发的模型也大都做了一些假定, 如忽略PMOSFET和栅交叠区域的隧穿电流^[8-9]。

为了揭示栅隧穿电流和氧化层厚度之间的关系, 本文运用积分方法提出了一个新的简明栅隧穿

电流模型, 研究了栅隧穿电流对MOS器件静态特性的影响, 讨论了NMOSFET和PMOSFET在栅和交叠区域的隧穿电流作为整体的变化情况。模型通过ITRS(international technology roadmap for semiconductors)技术生成, 并对MOS器件的关态特性进行了仿真。仿真对0.7~1.3 nm氧化层厚度的40~90 nm栅长技术节点的I-V特性和栅、漏电流与栅氧化层厚度的关系特性进行了分析, 确定了按比例缩小的MOS器件在栅隧穿电流上的变化趋势。当氧化层厚度按比例缩小时, 所有的器件参数也要相应改变, 因此其他参数(如掺杂浓度)变化的影响也在仿真中予以考虑。仿真结果表明, 本文提出的简明栅隧穿电流预测模型能很好地与仿真结果相符合, 为将来的电路设计提供了有益的理论基础, 有助于小尺寸器件的电路设计。

收稿日期: 2009-10-21; 修回日期: 2010-06-18

基金项目: 部级预研基金

作者简介: 吴铁峰(1974-), 男, 博士生, 主要从事集成电路系统设计方面的研究。

1 栅隧穿电流预测模型

栅直接隧穿电流是由隧穿电子(或空穴)穿过栅氧势垒到达栅极所引起的, 图1揭示了这种直接隧穿现象。图1中, ϕ_{ox} 为氧化层势垒高度; V_{ox} 为穿过栅氧的电势差; E_f 为费米能级; E_c 为导带边; E_v 为价带边。体硅MOS器件主要有3种直接隧穿机制: 1) 电子从衬底的导带隧穿到栅的导带(CBET); 2) 电子从衬底的价带隧穿到栅的导带(VBET); 3) 空穴从衬底的价带隧穿到栅的价带(VBHT)。MOSFET器件栅直接隧穿电流^[10]可以模型化为:

$$J_{DT} = J_G = AE_{ox}^2 \exp \left[-BE_{ox}^{-1} \left(1 - \left(1 - \frac{V_{ox}}{\phi_{ox}} \right)^{\frac{3}{2}} \right) \right] \quad (1)$$

那么, 当 $1 - \left(1 - \frac{V_{ox}}{\phi_{ox}} \right)^{\frac{3}{2}} \approx 1$ 时, 沿 x 点处的栅隧穿电流则可近似为:

$$J_G(x) \approx AE_{ox}^2 e^{-B/E_{ox}} \approx AE_{oxs}^2 e^{-BX_{ox}/(V_{oxs}-V(x))} \equiv J_{G0} e^{-B^*V(x)} \quad (2)$$

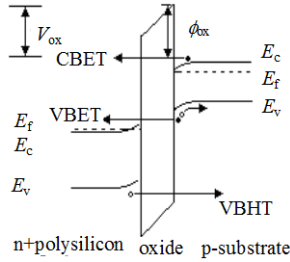


图1 隧穿电流的物理机制

式中, J_{G0} 为 $V_{DS} = 0$ 时的栅隧穿电流密度; $B^* = pBX_{ox}/V_{oxs}^2$, 其中 X_{ox} 为氧化层厚度, p 为缺省值为1的调整参数, $V_{oxs} \approx V_{GS}$ 为在 $x = 0$ 处的栅-源电压。若栅上漏电流远远小于漏极电流, 则:

$$V(x) = V_{GS} - V_{TH} - \frac{\sqrt{(V_{GS} - V_{TH})^2 - 2(V_{GS} - V_{TH} - V_{DS}/2)V_{DS}x/L} \approx (V_{GS} - V_{TH} - V_{DS}/2)V_{DS}/(V_{GS} - V_{TH})Lx \quad (3)$$

式(3)中, 为了描述小尺寸器件的特性采用了近

$$I_G = W \int_0^L J_{G0} e^{px} dx = J_{G0} W \frac{1}{p} (e^{pL} - 1) = \frac{J_{G0} W}{p} e^{pL} - \frac{J_{G0} W}{p} = \frac{J_{G0} WL(V_{TH} - V_{GS})}{B^*[(V_{GS} - V_{TH})V_{DS} - V_{DS}^2/2]} \exp \left(\frac{-B^*V_{DS}(V_{GS} - V_{TH} - V_{DS}/2)}{V_{GS} - V_{TH}} \right) + \frac{J_{G0} WL(V_{GS} - V_{TH})}{B^*[(V_{GS} - V_{TH})V_{DS} - V_{DS}^2/2]} \quad (5)$$

可简化为:

$$I_G = \frac{J_{G0} WL(V_{TH} - V_{GS})}{B^*[(V_{GS} - V_{TH})V_{DS} - V_{DS}^2/2]} e^{-B^*/C} + J_{G0} WLC/B^* \quad (6)$$

似的形式, 当 x 值很小, J_G 很大时, 该近似是正确、合理的。

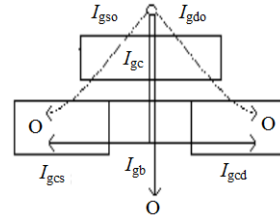


图2 栅隧穿电流组成

如图2所示, 栅隧穿电流由几部分组成: O 为隧穿粒子; I_{gb} 为栅对衬底的漏电流; I_{gso} 和 I_{gdo} 分别为穿过栅对源、漏交叠区的寄生漏电流; I_{gc} 为栅对反型沟道的隧穿电流, I_{gc} 流向源极(I_{gcs}), 而其余的则流向漏极(I_{gcd})^[11]。本文重点讨论栅隧穿电流作为一个整体在关态下所表现的特性, 即从器件的栅、源、漏各极看进去所表现的特性。特别是直接隧穿电流与氧化层厚度之间的关系特性, 并推导栅隧穿电流与氧化层厚度之间的简明关系模型。

为了更准确地表示隧穿电流, 用积分形式表示总的栅隧穿电流为:

$$I_G = W \int_0^L J_G(x) dx = WL \frac{\int_0^L J_G(x) dx}{\int_0^L dx} = WL \langle J_G(x) \rangle \quad (4)$$

根据平均值的数学意义, $\langle x \rangle = \int_0^y x dx / \int_0^y dx$, 即电流强度等于电流密度和面积的乘积。由式(4)可以得到 $I_G = \langle W \int_0^L J_G(x) dx \rangle = \langle I_G(x) \rangle$ 。对于积分求解隧穿电流的方法, 其物理意义为, 总的电流强度是栅氧界面面积(WL)与通过的界面平均电流密度($\langle J_G(x) \rangle$)的乘积, 式中 $J_G(x) = J_{G0} e^{-B^*V(x)}$ x 位置上的栅隧穿电流密度。

由式(2)、式(3)及积分公式 $I_G = W \int_0^L J_G(x) dx$, 若令 $-B^*k = p$, $k = (V_{GS} - V_{TH} - V_{DS}/2)V_{DS}/(V_{GS} - V_{TH})L$, 可以得到总的栅隧穿电流为:

式中, J_{G0} 是 J_G 在 $V_{DS} = 0$ 时的值, $C = \frac{V_{GS} - V_{TH}}{(V_{GS} - V_{TH} - V_{DS}/2)V_{DS}}$ 。式(6)也可以写为:

$$I_G \approx \frac{J_{G0}WLC}{-B^*} \exp[X_{ox}/(-V_{GS}^2C/B)] + J_{G0}WLC/B^* \quad (7)$$

$$\text{令 } y_0 = \frac{J_{G0}WLC}{B^*}, D = \frac{J_{G0}WLC}{-B^*}, t = -V_{GS}^2C/B,$$

那么, 随氧化层厚度 X_{ox} 变化而改变的栅隧穿电流可以推导为:

$$I_G \approx y_0 + D \exp(X_{ox}/t) \quad (8)$$

众所周知, 漏极电流为:

$$I_D = \mu_n C_{ox} \frac{W}{L} [(V_{GS} - V_{TH})V_{DS} - \frac{1}{2}V_{DS}^2] \quad (9)$$

I_G 和 I_D 的关系在一定条件下可表示为:

$$I_G \approx \frac{J_{G0}W^2(V_{GS} - V_{TH})\mu_n C_{ox}}{B^* I_D} [1 - \exp(X_{ox}/t)] \quad (10)$$

式(10)构成的模型表明栅极电流 I_G 与漏极电流 I_D 在一定条件下有反向的变化。

2 MOSFET静态特性仿真

电路仿真时, BSIM 4模型由于其在工业上的广泛应用显得特别重要, 为此, 本文的所有分析均采用BSIM 4模型完成。仿真工具为HSPICE, 表1给出了用于仿真NMOSFET和PMOSFET静态栅隧穿电流的对应器件结构参数。

表1 用于仿真的器件结构参数

参 数	参 数 值					
栅长/nm	90	75	65	53	45	40
沟道长度/nm	65	53	45	37	32	28
交叠区长度/nm	12.5	11.0	10.0	8.0	6.5	6.0
氧化层厚度/nm	1.3	1.2	1.1	0.9	0.8	0.7
电源电压/V	1.2	1.1	1.0	1.0	0.9	0.9
阈值电压/V	0.35	0.33	0.32	0.30	0.28	0.27
结深/nm	71.5	58.5	49.5	36.0	35.5	31.5
衬底掺杂浓度 $\times 10^{19}/\text{cm}^3$	0.4	0.6	0.8	1.1	1.4	1.6
过渡深度/nm	35	29	25	18	18	16
沟道掺杂浓度 $\times 10^{18}/\text{cm}^3$	1.15	1.15	2.0	2.0	2.0	3.0
栅掺杂浓度 $\times 10^{20}/\text{cm}^3$	0.92	0.92	1.14	1.5	1.66	1.66

为了符合MOSIS深亚微米关于最小尺寸晶体管设计规则^[12], 对于栅长为 L_d 的技术节点, NMOSFET的宽度设为 $W_N = 2.5L_d$, 本文对所有的技术节点宽度的比值 W_p/W_N 设为2.20并保持不变, 因此, PMOSFET的宽度为 $W_p = 5.5L_d$ 。表2给出了用于计算栅隧穿电流的BSIM 4 MOSFET模型参数AIGSD、BIGSD、CIGSD、AIGC、BIGC和CIGC。

表2 BSIM 4模型参数

	AIGSD	BIGSD	CIGSD	AIGC	BIGC	CIGC
NMOS	0.016	0.002	0.04	0.016 4	0.003 5	0.08
PMOS	0.011	0.001	0.08	0.011	0.001 5	0.08

仿真研究MOS器件静态特性时, 均采用SiO₂作为绝缘层介质, 主要有两方面的原因: 1) 由于操作电压、噪声容限、功耗等特性限制了电路性能, 所以为将来的集成电路设计提供理论依据, 需要定量地确定相关特性; 2) 文中所用仿真框架可以很容易地扩展到由其他介质构成绝缘体的器件中, 也可以评估采用其他介质作绝缘层时性能是否优于采用SiO₂作为绝缘层介质的器件。

采用表1、表2中的BSIM 4器件和模型参数, 对NMOSFET和PMOSFET的栅、漏极电流在一定偏置条件下利用HSPICE进行仿真, 结果如图3~图6所示。由于NMOSFET栅隧穿电流变化趋势与PMOSFET类似, 所以, 本文在进行说明时只以NMOSFET为例说明两种不同关态的栅隧穿电流变化。

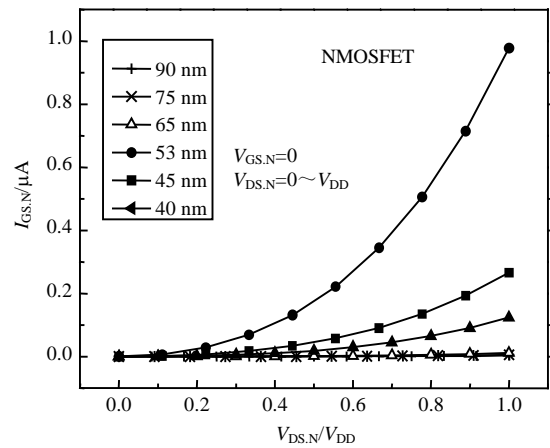


图3 $V_{GS,N}=0$ 时的栅极电流

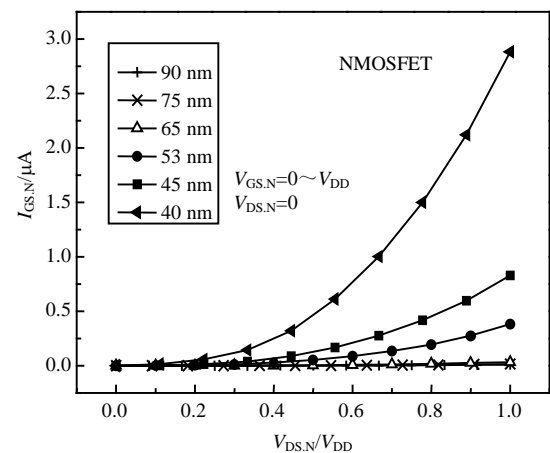


图4 $V_{DS,N}=0$ 时的栅极电流

图3显示了NMOSFET偏置在 $V_{GS,N} = 0$ 和

$V_{DS,N} = 0 \sim V_{DD}$ 时关态范围的仿真结果。从图中可以看到, 当归一化漏-源电压从 $0 \sim 1.0$ V 变化时, $90 \sim 65$ nm 栅长技术节点栅隧穿电流几乎保持不变, 而 $53 \sim 40$ nm 栅长技术节点栅隧穿电流明显迅速增加, 栅长越小, 即当氧化层厚度越薄时, 栅隧穿电流增加越快, 随着栅氧化层厚度的减小, 从 $90 \sim 40$ nm 栅长技术节点, 栅隧穿电流从 10^{-9} A 增加到了 10^{-6} A, 约3个数量级。图4显示了NMOSFET在另一种关态 $V_{DS,N} = 0, V_{GS,N} = 0 \sim V_{DD}$ 时的仿真结果, 可以得出相似的结论, 只是栅隧穿电流在 $V_{DS,N} = 0$ 时比 $V_{GS,N} = 0$ 时更大。

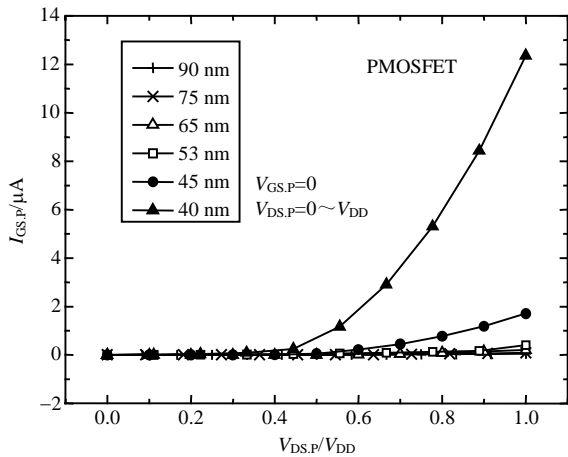


图5 $V_{GS,P}=0$ 时的栅极电流

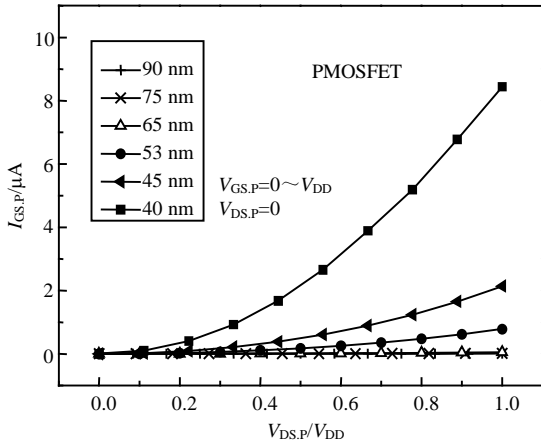


图6 $V_{DS,P}=0$ 时的栅极电流

从图3~图6中均可明显看出栅直接隧穿电流随栅氧化层厚度减小而增加, 但是却不能直接看出是以何种形式在增加。通过图7~图10可进一步说明随氧化层厚度减小, 栅直接隧穿电流增加的情况。图7中, NMOSFET偏置在关态 $V_{GS,N} = 0, V_{DS,N} = V_{DD}$ 时, 从栅电流(I_{GN})和漏极电流(I_{DN})的描点图形可以看到, 对于氧化层厚度从 $0.7 \sim 1.3$ nm 变化的所有技术节点, 在该关态下, 由于 I_{GN} 与 I_{DN} 变化情况基本相同, 漏极电流 I_{DN} 与栅极电流 I_{GN} 的大小接近相等,

故只在图中显示了矩形点表示的 I_{GN} , 实线表示的是由式(8)模型得到的指数形式理论变化曲线。图中仿真结果的变化趋势与理论计算结果一致, 呈指数形式增加, 充分证明本文所提式(8)模型的合理性和有效性。图中显示, 从 $90 \sim 40$ nm 栅长技术节点的漏极电流在栅隧穿电流影响下增加了约3个数量级, 增加的原因是由于栅隧穿电流如图3表示的栅直接隧穿电流随栅氧化层厚度减小而迅速增长。图8中, NMOSFET偏置在 $V_{GS,N} = V_{DD}, V_{DS,N} = 0.02V_{DD}$ 时, 处于线性偏置区, 仿真结果显示, 对于氧化层厚度从 $0.7 \sim 1.3$ nm 变化的所有技术节点, 圆点表示的 I_{GN} 与三角形点表示的 I_{DN} 在该偏置条件下呈反向变化, 其变化情况与式(10)模型相同。图8中的两条实线则分别显示了从式(8)模型和式(10)模型得到的理论结果, 其仿真结果的变化趋势与理论计算结果一致。特别地, 从 $90 \sim 53$ nm 栅长技术节点, 栅极电流 I_{GN} 远远小于漏极电流 I_{DN} , 在 45 nm 栅长技术节点, 栅极电流与漏极电流的值大约相等, 而在 40 nm 栅长技术节点上, I_{DN} 则小于 I_{GN} , 实验结果符合前文所推导出的模型, 从式(8)模型也可以得到类似的结论。图5、图6、图9和图10分别是PMOSFET的两种关态对应NMOSFET的实验结果, 由于其与NMOSFET结果类似, 文中不再赘述。

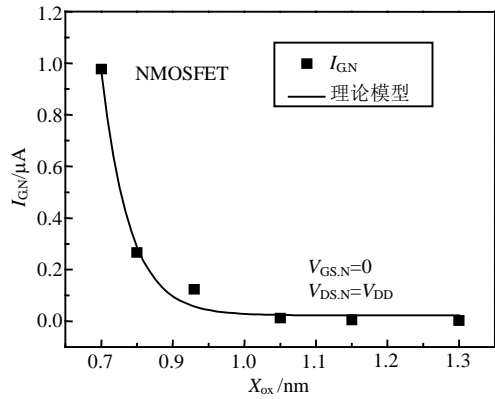


图7 $V_{GS,N}=0, V_{DS,N}=V_{DD}$ 时的栅、漏极电流变化趋势

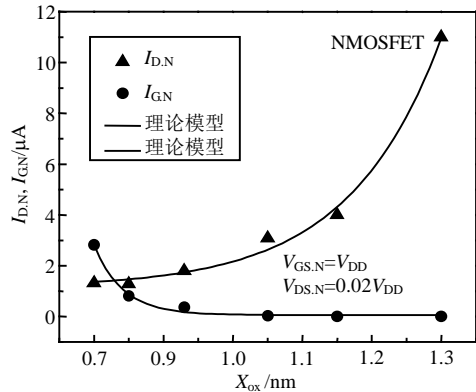


图8 $V_{GS,N}=V_{DD}, V_{DS,N}=0.02V_{DD}$ 时的栅、漏极电流变化趋势

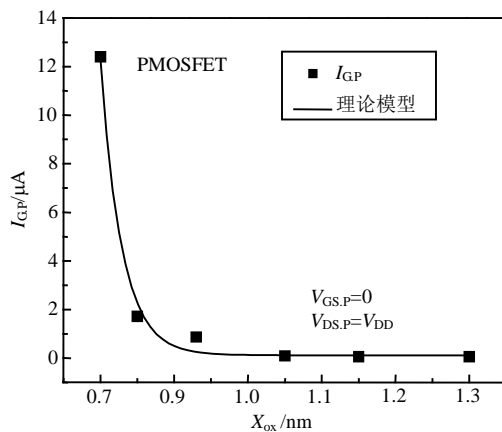


图9 $|V_{GS,P}|=0$ 、 $|V_{DS,P}|=V_{DD}$ 时的栅、漏极电流变化趋势

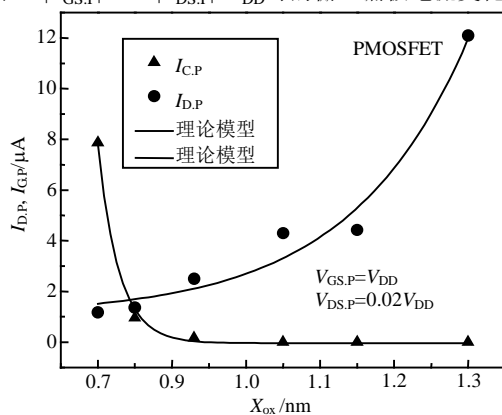


图10 $|V_{GS,P}|=V_{DD}$ 、 $|V_{DS,P}|=0.02V_{DD}$ 时的栅、漏极电流变化趋势

3 结论

本文从隧穿的物理机制出发,推导出栅直接隧穿电流和器件栅氧化层厚度之间关系理论模型,并使用BSIM 4模型通过HSPICE进行仿真,采用SiO₂作为绝缘层介质,定量地研究了不同尺寸的MOS器件在两种不同关态下,栅隧穿电流的变化情况,证明栅隧穿电流随栅氧化层厚度的减小呈指数形式增加,并且栅隧穿电流的仿真结果与理论模型显示了它们具有相同的变化趋势,仿真结果与所提出的理论预测模型相符。另外,本文中所采用的仿真框架不但可以为将来的电路设计提供理论和实验依据,而且也可以用于评估用其他介质作绝缘层时性能上的差异。

参考文献

- [1] MUKHOPADHYAY S, NEAU C, CAKICI R T. Gate leakage reduction for scaled devices using transistor stacking[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2003, 11(4):716-730.
- [2] MONDAL I, DUTTA A K. An analytical gate tunneling current model for MOSFETs having ultrathin gate oxides[J]. IEEE Transactions on Electron Devices, 2008, 55(7): 1682-1692.
- [3] ITRS. ITRS Working Group Models[EB/OL]. [2003-05-09]. <http://www.itrs.net/models.html/>.
- [4] LIN C H, KUO J B, SU K W, et al. Partitioned gate tunneling current model considering distributed effect for CMOS devices with ultra-thin (1 nm) gate oxide[J]. Electronics Letters, 2006, 42(3): 182-184.
- [5] YANG N, HENSON W K, WORTMAN J. A comparative study of gate direct tunneling and drain leakage currents in n-MOSFETs with sub-2nm gate oxides[J]. IEEE Transactions on Electron Devices, 2000, 47(8): 1634-1644.
- [6] GARIMA J, SINGH D N, THANGJAM S. Effect of temperature variation on gate tunneling currents in nanoscale MOSFETs[C]//8th IEEE Conference on Nanotechnology. Arlington, Texas: IEEE, 2008: 37-41.
- [7] CAI J, SAH C T. Gate tunneling currents in ultra-thin oxide metal-oxide-silicon transistors[J]. Appl Phys, 2001, 89(4): 2272-2285.
- [8] PAVEL A A, SHARMA A, ISLAM N. An improved model for calculating tunneling current in nanocrystal memory[J]. IEEE Electron Device Letters, 2008, 29(12): 1370-1372.
- [9] MAITRA K, BHAT N. Analytical approach to integrate the different components of direct tunneling current through ultra-thin gate oxides in n-channel metal-oxide-semiconductor field-effect transistors[J]. Appl Phys, 2003, 93(2): 1064-1068.
- [10] CAO K, LEE W C, LIU W, et al. BSIM 4 gate leakage model including source-drain partition[C]// Electron Devices Meeting in IEDM Technical Digest. San Francisco, CA, USA: [s.n.] 2000: 815-818.
- [11] IEEE. Design and Test [EB/OL]. [2008-03-11]. <http://www.mosis.org/>.

编辑 张俊