

层次化互连结构的EVMPSoC设计与实现

沈剑良, 严明, 李思昆, 刘磊

(国防科技大学计算机学院 长沙 410073)

【摘要】为满足计算密集且数据带宽大的混合多媒体应用在嵌入式系统中的实现需求, 介绍了一款采用层次化互连结构的异构多核嵌入式可视媒体处理系统芯片(EVMPSoC)的设计与实现方法。该SoC芯片由一个32位嵌入式RISC主处理器EPStar 3和两个应用定制指令集的SIMD协处理器核组成, 采用层次化高低速总线和多通道双位宽并行访存结构进行互连, 以满足混合多媒体处理应用的通信需求。该芯片在SMIC 0.13 μm LVT CMOS工艺下一次流片成功, 采用Amkor PBGA 400进行封装。芯片实测结果表明, 芯片的运行峰值频率为416 MHz, 功能正确, 效率高, 具有很高的可用性。

关键词 嵌入式可视媒体处理; 层次化高低速系统总线; 多通道访存; 多核SoC

中图分类号 TP391.72

文献标识码 A

doi:10.3969/j.issn.1001-0548.2011.06.018

Design and Implementation of Embedded Visual Media Process SoC with Hierarchy on-Chip Bus Architecture

SHEN Jian-liang, YAN Ming, LI Si-kun, and LIU Lei

(School of Computer, National University of Defense Technology Changsha 410073)

Abstract In order to meet the high demand of computation intensive and band-width exhausting media applications for embedded system, a heterogeneous multi-core embedded visual media processor, named EVMPSoC, is proposed. The chip consists of a main processor called EPStar3, which is a 32 bit RISC embedded processor, and two SIMD coprocessor, which are designed by application-specific instruction set. According to the communication characteristics of media applications, the hierachy high/low speed bus and dual band-width parallel memory access with multi-channel are used as the on-chip bus Architecture of EVMPSoC. The chip was taped out sucessful using SMIC 0.13 μm LVT CMOS technology and packaged by Amkor with PBGA 400. It runs well at peak frequency 416 MHz, and shows its high efficiency and avaliability.

Key words embedded visual media process; hierachy high/low speed system bus; memory access with multi-channel; multicore SoC

目前, 图形图像混合多媒体处理技术, 即可视媒体处理技术, 被广泛地应用于数字电视、医学成像、消费电子、检测测量、城市建模等领域, 随着人们对应用需求的不断增加, 在嵌入式系统中实现可视媒体处理是一个极具挑战的研究热点。可视媒体因融合了图形、图像和计算视觉等方面的应用, 较传统的视频流媒体和图形显示具有更复杂的媒体特征, 任务间数据交互频繁且通信量大, 因而对嵌入式系统的设计提出了更高的要求。SoC技术出现后, 被广泛应用于嵌入式系统, 推动了嵌入式系统设计技术的不断向前发展^[1]。

要在一款SoC芯片上实现复杂的应用功能, 需在SoC系统中集成更多的处理器核等硬件资源,

MPSoC已成为片上系统发展的主流, 有着越来越多的面向特定应用的系统采用硬件多核的方式来提升系统的计算能力^[2]。针对嵌入式高性能应用的SoC主要采用的结构有RISC+ASIC、RISC+DSP、RISC+RCA、RISC+CP以及RISC+ASIP。在这些结构中, 除了针对特定应用优化设计的处理核外, 还有负责操作系统运行的RISC通用处理核^[3]。ASIC针对具体的应用和算法, 虽具有高性能、低功耗的特点, 但可编程性较差; DSP通用性强, 但要获得高性能, 硬件开销较大, 具体应用中功耗也较高; RCA可重构体系结构是目前重要的一个研究方向, 但尚未出现成熟的产品和设计; CP协处理器则是最通常的设计方法, 对RISC处理器进行协处理器扩展, 可

收稿日期: 2011-06-10; 修回日期: 2011-09-24

基金项目: 国家自然科学基金(90707003, 61076020)

作者简介: 沈剑良(1982-), 男, 博士生, 主要从事嵌入式系统与SoC设计、片上网络、可重构技术等方面的研究。

增强其某一方面的运算能力, 但该方式需要对RISC处理器的编译工具链进行重新设计, 性能提升有限; ASIP应用定制指令集处理器方式则是目前应用中比较热门的一种设计, 由于对某种具体的应用采用了专有的指令集定制, 因而性能表现优越。TI公司的OMAP2^[4]、OMAP3^[5]采用的图像视频音频加速处理器(IVA2、IVA2+)以及Tensilica公司的可配置处理器核Xtensa都是已经商用化的两个ASIP方案^[6-7]。本文采用RISC+ASIP进行SoC系统的设计。

针对图形图像混合的复杂应用, 本文给出一款采用SIMD ASIP作为协处理器、具有层次化互连结构的异构多核嵌入式可视媒体处理SoC的系统芯片设计。由于使用专用处理器为具体的应用领域设计处理器系统结构和指令集, 因而可以在保持较好的可编程特性的前提下, 获得较高的性能加速比。为更好地发挥主处理器的性能及节省地址空间资源, 用wishbone协议实现高低速分离的层次化互连结构; 为支持可视媒体应用中较大数据的输入输出, 采用多通道双位宽并行访存结构对系统芯片的互连与通信进行优化设计。

2 EVMPSoC系统芯片的体系结构

随着嵌入式微处理器性能的不不断提升, 嵌入式应用的种类不断增多。复杂的应用程序对嵌入式系统设计提出了新的挑战, 异构多核SoC等新的系统结构应运而生。面向计算密集型的数据流计算应用, 如视频编解码、高解析度图像处理、3D图形等混合可视媒体应用, 需要更多的片上硬件资源支持。本文根据可视媒体应用数据计算密集、通信量大等特点, 采用异构多核的系统结构, 在主处理器上集成两个应用定制的SIMD图形、图像微处理器核, 以满足嵌入式可视媒体处理应用的需求。

2.1 系统芯片的总体结构

文献[8]的EVMPSoC为一款嵌入式异构多核SoC芯片, 主要应用于嵌入式环境对图形图像的加速, 以及可视媒体手持终端等。

EVMPSoC结构采用“1个RISC 主处理核+ 2个ASIP专用协处理核”设计。主要包含一个32位RISC处理器的主处理系统和一个含两个SIMD内核的协处理系统, 属于典型的异构多核嵌入式系统。在任务执行过程中, 操作系统运行于主处理器核上, 而计算密集型的可视媒体处理应用程序则由两个专用的ASIP协处理器核来完成, 对应用程序进行调度和划分, 采用系统调用的方式支持协处理器核工作。

2.2 主处理系统的体系结构

主处理系统主要包括: 主处理核EPStar 3, 高速系统总线及通用存储控制器(GMC)、SDRAM存储控制器(SMC), 低速外设总线与外部设备接口。主处理核是32位高性能嵌入式RISC微处理器EPStar 3。该处理器于2003年一次投片成功, 并在2004年底改进cache结构和调试接口后, 采用0.18 μm 工艺进行第二次投片^[9]。EPStar 3包含8 kB指令cache和8 kB数据cache, 在原有内核的基础上, 采用交叉开关的高速系统总线与共享的低速外设总线进行互连。为提高存储控制器效率和工作频率, 采用独立的通用存储控制器和SDRAM存储控制器设计处理器, 2008年采用0.13 μm CMOS工艺投片, 稳定运行在400 MHz左右, 并成功运行于Linux操作系统。EPStar 3外设丰富, 包括常用的串口、通用可编程IO端口、定时器、中断控制器和SPI串行接口控制器等设备^[1,8,11]。主处理系统结构图如图1所示。

在EVMPSoC系统中, 主处理器系统运行整个系统的操作系统, 负责全系统任务的调度、管理以及处理传统进程任务, 是整个SoC系统的控制核心。

2.3 协处理系统的体系结构

可视媒体处理对计算性能和存储带宽都有很高的要求, 仅靠EPStar主处理器很难得到良好的支持。图形图像及视频的混和应用具有明显的流媒体特征, 对一定大小的数据需要进行相对密集的运算过程。而且数据之间存在着良好的并行性, 协处理系统正是为满足该目标而设计的。

如图2所示, 协处理器系统采用紧耦合设计^[8], 包含两个异构的协处理核VIPE和VGPE(面向不同的图形图像混合媒体应用进行专门的指令集定制), 通过多通道访存管理单元采用Wishbone接口与主处理系统通信。针对可视媒体处理应用数据量大、计算密度高、显示相关性大等特点, 协处理系统集成了双位宽的SDRAM存储控制器和VGA/LCD显示控制单元。协处理器采用SIMD流水线设计, 128位宽的SIMD流水线, 可同时进行4个32位运算或者16个字节运算。协处理核的访存模型采用基于便签式存储器SPM作为片上存储器, 通过访问片上指令存储器和数据存储器进行运算。片上存储器内数据的流动统一由多通道访存管理单元完成, 64位宽的SDRAM存储控制器提供较大的协处理器访存带宽。VGA/LCD显示控制模块可以从外部SDRAM或者片上存储器获取显示数据。协处理系统主要完成主处理系统划分好的计算任务, 是整个SoC系统的计算核心^[10]。

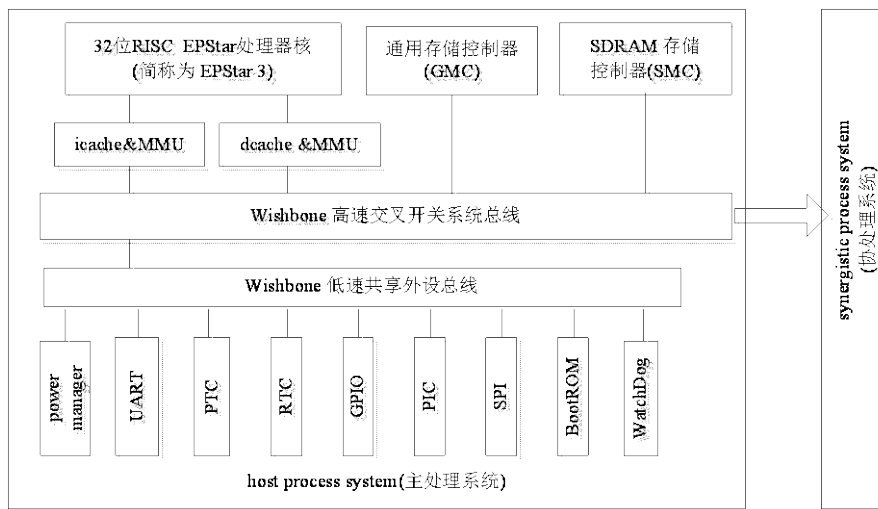


图1 EVMPSoC主处理系统的总体结构

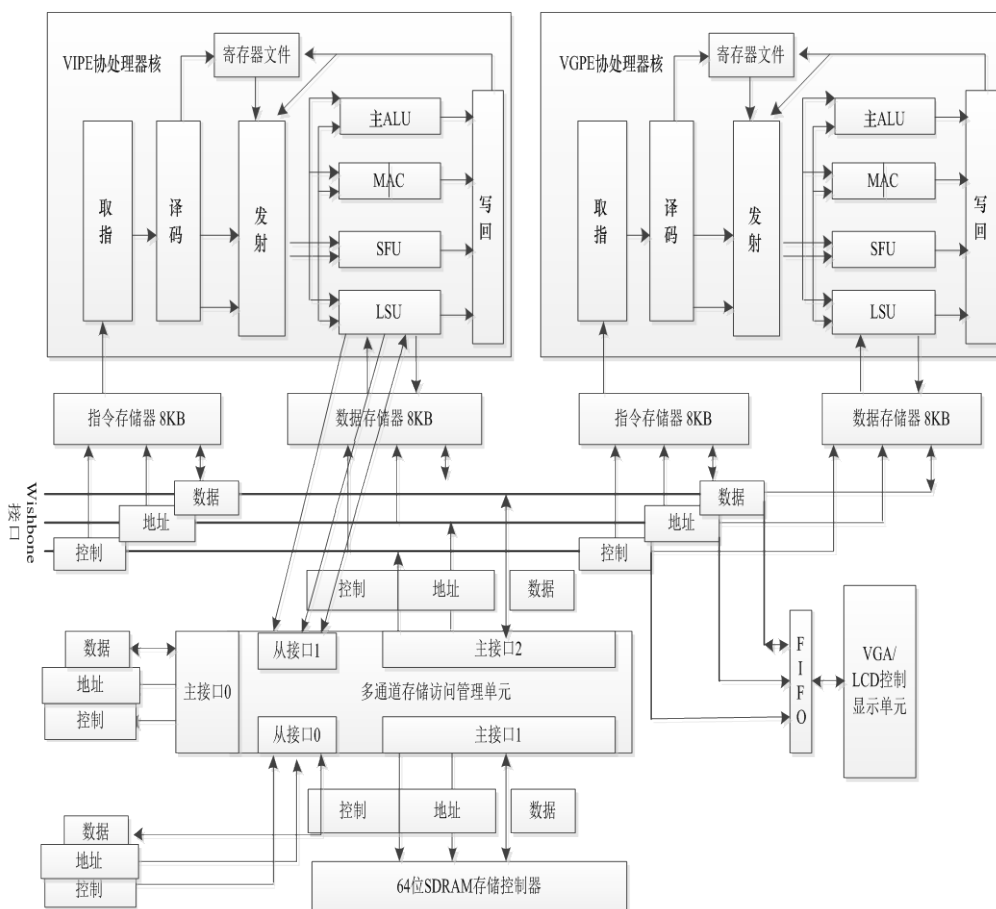


图2 协处理系统的体系结构

3 EVMPSoC系统芯片的互连结构

复杂SoC系统的互连结构是系统的骨架，对系统性能发挥有很大的制约作用。传统的系统芯片往往采用简单的总线互连方式，将加速部件挂接在主处理系统总线上，通过存储映射的方式控制协处理部件的功能寄存器，通过DMA的方式为协处理部件提供数据并取得运算结果。随着协处理部件的增

多，总线挂接将导致总线开销增大，而协处理部件大量数据的输入输出，占用系统总线，严重影响系统性能。而面向较多计算节点的片上网络通信体系结构往往面向较多计算节点构成的高性能计算芯片，网络通信的资源开销较大，对于规模相对较小的嵌入式系统芯片则不太合适。在EVMPSoC系统中，主处理器负责管理系统的全局运行，协处理器

负责进行核心计算的加速。为完成可视媒体通信量大且数据交换频繁的计算任务, 在全系统设计中采

用了层次化的高低速互连总线和多通道双位宽并行访存等互连结构。

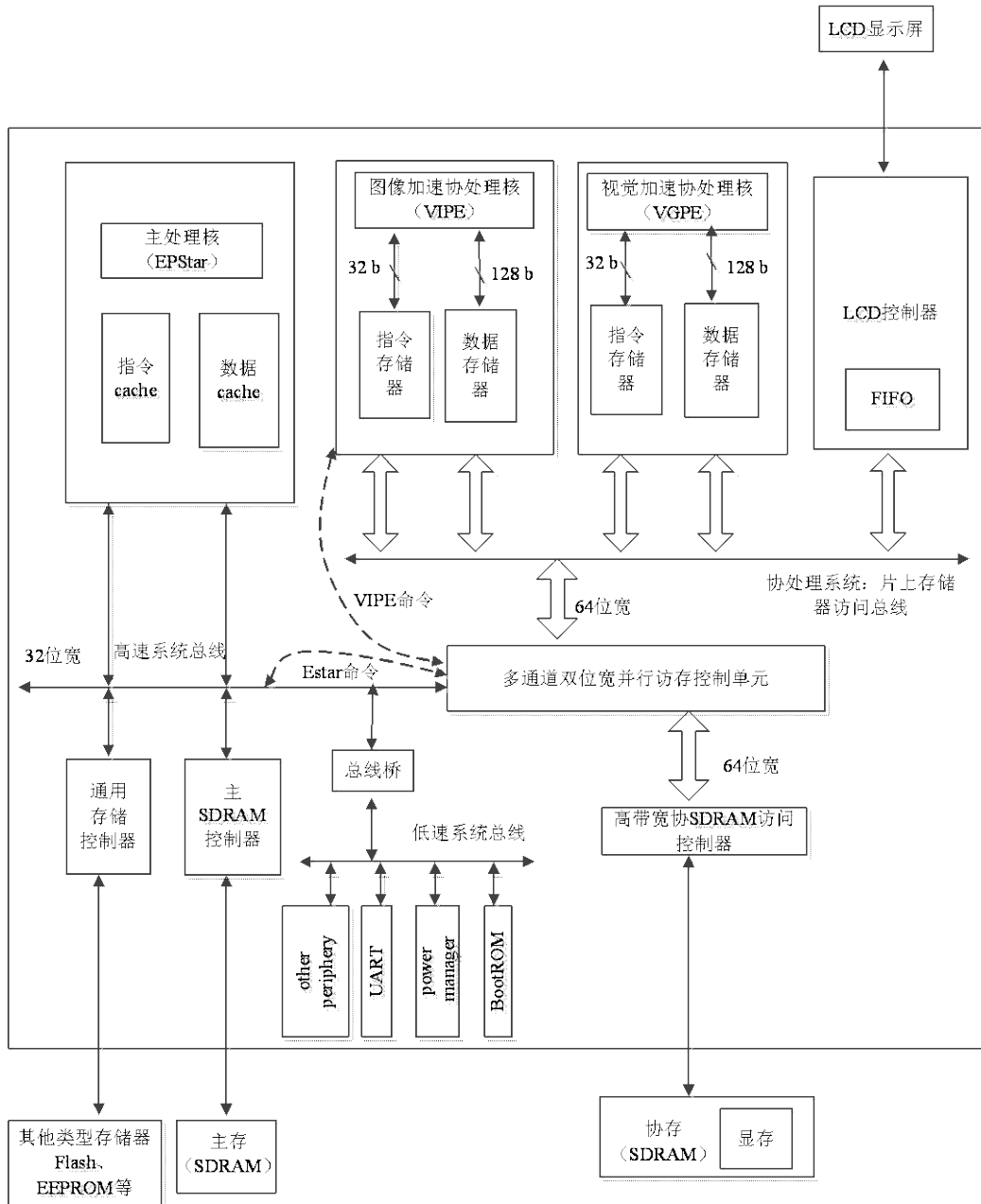


图3 EVMPSoC系统的互连结构

3.1 EVMPSoC系统的互连组织

良好的互连结构有助于提升SoC系统的整体性能, 为支持嵌入式可视媒体应用中较大的数据通信带宽和任务间频繁的通信需求, 本文对SoC系统的互连结构进行优化设计, 采用了层次化的高低速互连结构, 并设计了多通道双位宽并行访存控制单元, 在简化设计的同时, 优化了片上SoC系统的性能。EVMPSoC系统的互连组织如图3所示^[10]。

图中, EVMPSoC系统的互连结构具有以下几个

特点: 1) 主处理器EPStar 3通过一个总线从接口以存储映射的方式配置和管理协处理系统。即将协处理系统的寄存器空间和存储器空间映射至主处理器的地址空间, 协处理系统通过总线从接口接受外部配置。该存储映射的方式使得主处理器与协处理系统拥有一种较松的耦合关系, 无需对主处理器的编译系统进行修改即可直接支持应用的生成; 2) 主处理器与协处理系统之间的数据交换通过一个总线主接口实现, 以类似DMA的方式完成主处理器系统与

协处理系统之间的数据搬移; 3) 协处理系统内部采用存储地址空间映射的方法将多个协处理核连接, 协处理核仅能直接访问自己的局部存储空间, 协处理系统内部的数据搬移无需主处理器或者协处理器核的干预, 通过两个主端口实现; 4) 协处理系统因每个协处理核仅能直接访问自己的局部存储空间, 因而具有很好的扩展性。

3.2 主处理系统的层次化高低速总线系统

在主处理系统互连结构中, 采用层次化的高低速总线完成各个主从设备之间的连接。从图3中可以看出, 主处理系统采用开放的互连总线标准Wishbone协议实现高低速总线的互连。Wishbone总线简单、灵活、可移植性好, 且开源, 因而深受嵌入式系统设计师们的喜爱。高速总线是SoC的主干, 主要用于连接多个处理单元, 如EPStar 3处理器、存储访问控制器、DMA引擎等。每一个处理单元都可以被认为是总线启动数据传输进程的设备(主设备)。高速总线也挂接许多高带宽的从设备(如片上存储器等), 它们通常是主设备访问最频繁、最讲求效率的外设。由于主从设备交互频繁, 因而采用Wishbone总线交叉开关的互连方式, 同时完成多个主从部件的连接, 且高速总线的时钟也基本和主处理器内核时钟频率保持一致。低速总线用于连接一些优先级较低或是带宽受到限制的从设备, 它们通常在系统中用于实现具体的应用功能, 如图3中的UART、BootROM等。低速总线采用Wishbone总线共享总线的互连方式。由于高低速总线工作的时钟不同, 往往存在一定的倍频关系, 需要在高低速总线中添加桥接(bridge)设备。对高速总线而言, 总线桥是其交叉互连方式中的从设备, 可由内核处理器EPStar控制交换数据; 对低速总线而言, 总线桥是其共享总线方式的主设备, 所有外围设备的访问均通过总线桥完成。

采用层次化的互连结构, 一方面, 可将多个对速度要求不同的硬件资源隔离在不同的时钟域上, 以避免有些电路模块工作在较高的时钟频率上, 达到降低动态功耗的目的, 同时通过总线桥接的功能, 还可适当减少交叉开关互连总线的规模, 简化互连结构的设计。另一方面, 可减少关键路径上的总线负载。高速系统总线支持高速通信协议和块传送, 数据量大的模块(如处理器、SDRAM、FLASH和DMA控制器等)都放在其上。而挂在低速外设总线上的模块一般都是对通信要求较低的外设。所以多数

情况下, 该总线处于空闲状态, 只在有IO访问时才工作。

3.3 协处理系统多通道双位宽并行访问互连结构

EVMPSoC片上系统通过独立的大位宽存储控制器为计算密集型的协处理核提供足够的带宽, 而通过访存管理单元将主处理器系统、大位宽协处理存储控制器和片上存储器互连起来, 因此访存管理单元的功能和效能将很大程度上决定EVMPSoC的系统性能。通过对协处理系统通信及互连的优化设计, 采用多通道存储访问控制单元支持数据传输。访存互连结构如图4所示^[8]。

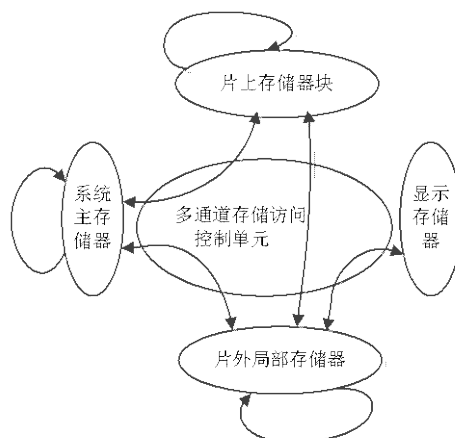


图4 多通道双位宽并行访存互连结构

图中, 多通道双位宽并行访存互连单元是实现协处理系统互连和访存的核心部件, 它包含两个独立的传输引擎, 可同时在两对数据源和目标之间进行数据传输, 要求数据源和目标之间不存在竞争冲突。片上存储器采用分块设计, 对通信控制单元则提供64位的存储读写端口。如此每个片上存储器实际上提供了128+64位的实际位宽, 而多个片上存储器通过不同通道与通信控制单元相连, 实际上大大提高了各个模块之间的通信带宽。协处理器核配置的片上存储器被划分成相同大小的瓦片, 各个瓦片可独立访问, 以便支持片上存储器的流水化操作。

4 EVMPSoC的设计实现与评测

4.1 芯片的设计实现

EVMPSoC原型芯片采用前述的系统结构进行设计实现。SoC设计全部采用Verilog HDL进行寄存器传输级(RTL)设计, 使用Synopsys公司的Design Compiler基于Artisan公司面向中芯国际SMIC的0.13 μm LVT CMOS标准单元库进行综合, 再采用Cadence公司的SoC Encounter进行后端布局布线, 最后采用Caliber进行LVS、DRC、ERC等设计规则检

查^[11]。芯片的版图布局如图5所示。

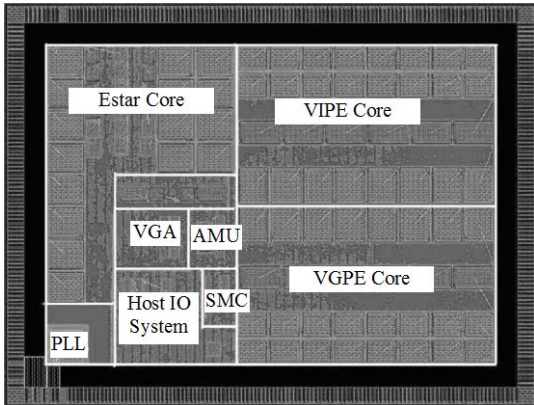


图5 EVMPSoC系统芯片的版图布局

EVMPSoC系统芯片约有5 mm×6 mm的晶圆面积, 采用Amkor的PBGA400进行封装, 封装后的EVMPSoC芯片如图6所示, 芯片实测运行峰值频率为416 MHz。

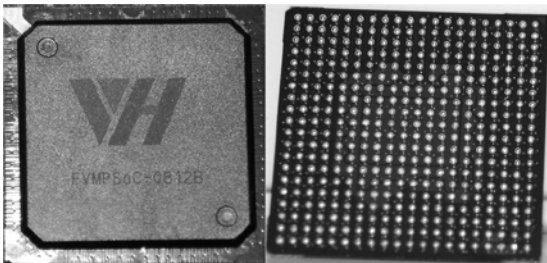


图6 采用PBGA400封装后的EVMPSoC系统原型芯片

4.2 系统芯片的性能评测

由于目前缺乏EVMPSoC的系统级编译器支持, 本文采用一些较小的应用程序内核代码块对系统芯片的性能进行了测试。因主处理器EPStar 3是与ARM966E指令集兼容的指令流水线结构, 其性能与ARM9处理器性能相当, 因此内核性能的比较主要在协处理系统和主处理器之间进行。

内核测试结果表明, 查找表方式(LUT)和数值计算方法(software)实现的正弦运算, 虽对计算量和存储容量的需求不太相同, 但因采用层次化的互连方式进行设计, 均能在主处理器上流畅的运行。同时, 实验结果表明, 数据级并行和大位宽存储访问对图形运算和图像处理内核具有良好的加速效果, 如光照计算、顶点转换计算等。

4.3 应用实例研究

为更好地验证EVMPSoC系统芯片的性能, 针对原型系统芯片, 开发了如图7所示的系统测试板, 板上配置64 MB SDRAM作为主处理器的存储器, 32 MB SDRAM作为协处理系统局部存储器, 原型芯片运行在典型频率333 MHz上。

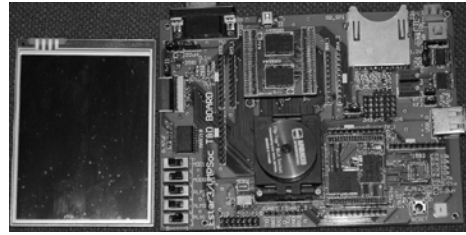


图7 EVMPSoC原型芯片测试板

本实例将一种新的基于图像的空间雕刻算法^[13]应用于该测试板和桌面计算机(配置有1.86 GHz的Intel Core2处理器)。通过将空间雕刻算法的C语言源代码手工编写成协处理系统汇编程序的方式实现该算法在协处理系统的运行。在手工编写过程中, 通过对算法的迭代计算过程进行改写, 利用EVMPSoC的体系结构特征进行代码优化, 如数据重新布局、循环展开、循环分块和链接、操作连接和向量化, 以及通过通信控制单元实现存储延迟的隐藏等等。实际测试中采用16幅640×480分辨率的图像和11幅720×480分辨率的图像分别进行实验和性能分析。

如图8所示, 运行在典型频率333 MHz上的EVMPSoC原型芯片, 利用协处理系统的两个SIMD流水线和大位宽的局部存储器进行计算过程的加速, 获得了与Intel双核1.86 GHz处理相当的性能。但由于雕刻算法在运算过程中需要读入数据量较大的图像数据, 且会产生大量的临时数据, 而EVMPSoC原型系统片上存储器容量较小, 因而尽管通过手工进行汇编代码优化, 且使用了存储片流水技术, 协处理系统的存储访问延迟仍不能被完全隐藏, 使得EVMPSoC的计算性能有所损失。

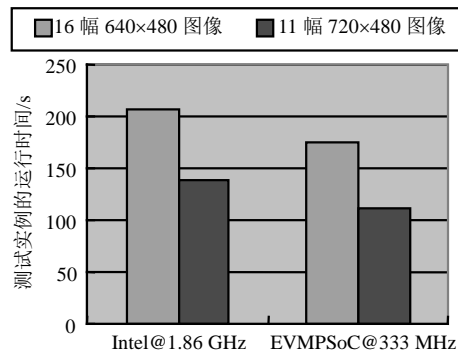


图8 应用实例在不同测试平台上的运行时间

5 结束语

本文设计实现了一款EVMPSoC的异构多核系统芯片, 针对嵌入式可视媒体处理应用程序的特点, 采用了层次化的互连结构及多通道双位宽并行访存的互连组织方式进行优化设计。因采用优化的通信和互连方式, 能很好地实现传统任务和计算任务在

主、协处理系统之间的交互,协处理系统的多通道并行访存结构使得多媒体处理时能实现数据级并行和任务级的并行。该系统芯片采用SMIC 0.13 μm CMOS标准单元库设计实现。EVMPSoC芯片一次投产成功,封装后实验测试性能良好,验证了系统芯片EVMPSoC的高效性和高可用性。

参 考 文 献

- [1] YAN Ming, LI Si-kun, SHEN Jian-liang, et al. A heterogeneous multicore SoC optimized for embedded visual media process[C]//2009 WRI International Conference on Communications and Mobile Computing. Kunming: IEEE, 2009, 1: 12-16.
- [2] HALFHILL T R. The future of multicore processors, [EB/OL]. [2007-12-31]. http://www.Tensilica.com/uploads/pdf/Multicore_Microprocessor_Rept.pdf.
- [3] BONZINI P, POZZI L. Code transformation strategies for extensible embedded processors[C]//Proceedings of the 2006 International Conference on Compilers, Architecture and Synthesis for Embedded Systems. New York, NY, USA: ACM, 2006: 242-25.
- [4] T.INSTRUMENTS. OMAP 2 Architecture: OMAP2420 Processor. [EB/OL]. [2005-11-12]. http://focus.ti.com/pdfs/wtbu/TI_omap2420.pdf.
- [5] BARON M. OMAP3 sets specs for cellphones[EB/OL]. (2011-05-02). http://www.linleygroup.com/newsletters/newsletter_detail.php?num=4276.html.
- [6] GONZALEZ R E. Xtensa: A configurable and extensible processor[J]. IEEE Micro, 2000, 20(2): 60-70.
- [7] KEN W. In conversation with tensilica CEO chris rowen[J]. Design & Test of Computers, 2008, 25: 88-95.
- [8] 严明, 李思昆, 沈剑良, 等. 一款嵌入式可视媒体处理系统芯片的设计与实现[J]. 电子学报, 2011, 39(2): 249-254. YAN Ming, LI Si-kun, SHEN Jian-liang, et al. Design and implementation of an embedded visual media process SoC[J]. Acta Electronic Sinica, 2011, 39(2): 249-254.
- [9] 马光胜, 冯刚. SoC设计与IP核重用技术[M]. 北京: 国防工业出版社, 2006. MA Guang-sheng, FENG Gang. SoC design and reuse technology of IP core[M]. National Defense Industry Press, 2006.
- [10] 刘磊. 嵌入式可视媒体处理SoC的高效访存管理技术研究[D]. 长沙: 国防科技大学, 2008. LIU Lei. On efficient management of memory access on embedded visual media process SoC[D]. Changsha: National University of Defense Technology, 2008.
- [11] 严明. 面向领域应用的异构多核SoC系统结构设计与优化[D]. 长沙: 国防科技大学, 2011. YAN Ming. Architecture design and optimization of domain-specific heterogeneous multi-core SoC[D]. Changsha: National University of Defense Technology, 2011.
- [12] YAN Ming, ZHAO Peng, SHEN Jian-liang, et al. Implementation and evaluation of a heterogeneous multicore SoC[C]//The 8th International Conference on ASIC. Changsha: IEEE, 2009, 10: 443-446.
- [13] YIN Liang-ze, WAN Guo-wei, WANG Ai-ping, et al. Image-based modeling algorithm integrating changeable-voxel and pixel-mapping[J]. Journal of System Simulation, 2008, 20(S1): 359-362.

编辑 张俊