

可编程的帧内预测器结构与实现

喻庆东¹, 周莉¹, 朱玥^{1,2}, 胡哲琨¹, 陈杰¹

(1. 中国科学院微电子研究所 北京 朝阳区 100029; 2. 中国科学技术大学物理学院 合肥 230026)

【摘要】针对超低成本超低功耗便携式移动应用, 基于可编程的思想, 提出了一种独特的适用于H.264/AVC和AVS双模解码器的帧内预测器架构。该架构利用H.264/AVC和AVS帧内预测在数据通路上的相似性, 通过定制专有的8位微指令集和高效的数据通路, 实现了一个专用可编程内核, 该内核仅包含一个16位累加器和一个16位桶形移位器。实现结果表明, 在0.18 μm工艺下, 逻辑规模仅为6.3K等效逻辑门; 电路在35 MHz工作频率下可以实时处理D1(720×480)格式30 f/s的H.264/AVC和AVS视频序列; 在1.8 V电压下功耗仅为0.53 mW, 具有面积小、功耗低、灵活性好的特点。

关键词 AVS; 双模解码器; H.264/AVC; 帧内预测; 可编程内核

中图分类号 TN47

文献标识码 A

doi:10.3969/j.issn.1001-0548.2012.04.025

Design and Implementation of a Programmable Intra Prediction Architecture

YU Qing-dong¹, ZHOU Li¹, ZHU Yue^{1,2}, HU Zhe-kun¹, and CHEN Jie¹

(1. Institute of Microelectronics, Chinese Academy of Sciences Chaoyang Beijing 100029;

2. School of Physics, University of Science and Technology of China Hefei 230026)

Abstract For low cost and low power portable mobile applications, a unique intra prediction architecture for H.264/AVC and AVS dual-mode decoder is proposed based on the idea of programmability. By analyzing the similarity of the data path of different prediction modes in H.264/AVC and AVS, a specific programmable core with customized 8 bit microcode set and efficient data path is implemented. It contains only one 16-bit accumulator and one 16-bit barrel shifter. Implementation results show that the total gates count is only about 6.3K under 0.18 μm process, and the circuit can process real-time H.264/AVC and AVS sequences at D1(720×480) 30 f/s at 35 MHz with only 0.53 mW power consumption at 1.8 V power supply.

Key words AVS; dual-mode decoder; H.264/AVC; intra prediction; programmable engine

H.264/AVC^[1]和AVS^[2]均采用了帧内预测技术降低图像的空域相关性。帧内预测利用图像中已重建相邻块的像素作为参考像素, 预测当前块的像素值, 极大地提高了帧内编码的效率。H.264/AVC的帧内预测包括9种4×4的亮度块预测模式、4种16×16的亮度块预测模式和4种8×8的色度块预测模式; AVS的帧内预测包括5种8×8的亮度块预测模式和4种8×8的色度块预测模式。3种不同大小的分块和多达26种不同的帧内预测模式, 使得H.264/AVC和AVS双模解码器中帧内预测器的计算能力需求和实现复杂度大大增加。

传统的具有超长指令字(VLIW)、SIMD指令和多媒体指令扩展的可编程DSP解决方案^[3-5], 灵活性较好, 但包含了大量运算单元, 资源利用率较低, 同时由于其功耗高, 并不适合于便携式移动应用。

在ASIC和FPGA实现方案中, 文献[6-10]提出了专门针对H.264/AVC的高效帧内预测插值电路, 均采用多通道并行的电路结构, 吞吐率高, 但包含大量高位宽的数据选择器和控制逻辑, 面积大, 且仅支持一种标准, 灵活性受限。本文基于可编程的思想, 结合二者的优点, 提出了一种独特的适用于H.264/AVC和AVS双模解码器的帧内预测器架构, 并设计实现了一个专用可编程内核, 该内核仅包含一个16位累加器和一个16位桶形移位器。与传统的可编程DSP解决方案相比, 提高了资源利用率, 降低了功耗; 与文献[6-10]相比, 灵活性好, 减小了面积。

1 算法分析

在H.264/AVC编码标准中, 亮度块支持4×4分块帧内预测和以16×16大小的宏块整体预测。4×4预测

收稿日期: 2010-09-10; 修回日期: 2011-11-25

基金项目: 国家863项目(2009AA011700)

作者简介: 喻庆东(1984-), 男, 博士生, 主要从事视频编解码和集成电路设计方面的研究。

共有9种帧内预测模式，如图1a所示，需要相邻块的13个参考像素，除DC模式中所有像素的预测值都相等外，其余8种预测模式均带有方向性。16×16预测共有4种帧内预测模式，需要用到相邻块的33个参考像素，其中，平面模式通过整数计算逼近双线性插值，运算相对比较复杂。色度块支持4种帧内预测模式，以8×8分块为单位，需要17个参考像素，除分块不同外，其余与亮度块16×16帧内预测非常相似。

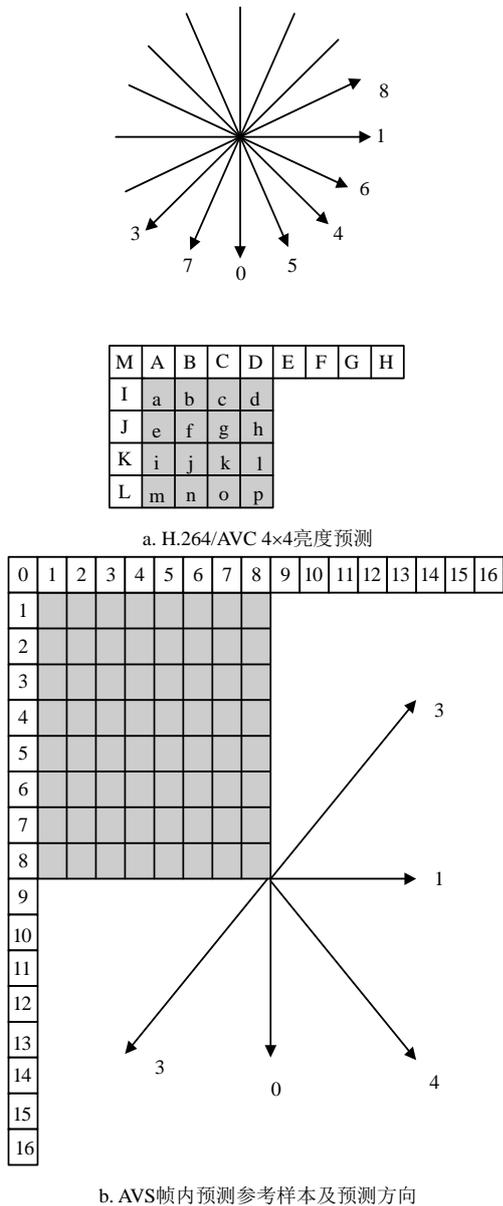


图1 H.264/AVC和AVS帧内预测

在AVS编码标准中，亮度块和色度块均以8×8分块为单位进行帧内预测。亮度块支持5种模式的帧内预测，如图1b所示，需要相邻块的33个参考像素。色度块支持4种帧内预测模式，需要17个参考像素。

H.264/AVC中16×16预测模式下亮度块平面模式的帧内预测插值公式为：

$$\text{pred}_L[x, y] = \text{clip1}((a + b(x - 7) + c(y - 7) + 16) \gg 5) \tag{1}$$

其中，

$$\begin{aligned} a &= 16(p[-1, 15] + p[15, -1]) \\ b &= (5H + 32) \gg 6 \\ c &= (5V + 32) \gg 6 \\ x, y &= 0..15 \end{aligned}$$

$$\begin{aligned} H &= \sum_{x'=0}^7 (x'+1)(p[8+x', -1] - p[6-x', -1]) \\ V &= \sum_{y'=0}^7 (y'+1)(p[-1, 8+y'] - p[-1, 6-y']) \end{aligned}$$

式中， $p[-1, y']$ 和 $p[x', -1]$ 表示参考像素； $\text{clip1}(x)$ 表示饱和限幅操作。其余各预测模式的具体插值过程可参考文献[1-2]，此处不再赘述。

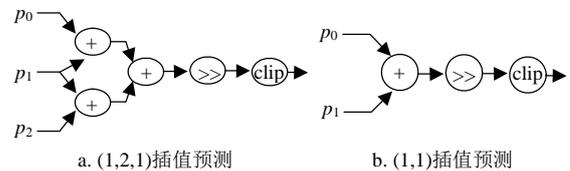


图2 基本插值单元

两种标准中，不同预测模式之间具有极大相似性：1) 均以相邻块作为参考块，参考像素为相邻块中最后一行(或列)的像素。2) 对于不可用参考像素的处理方式类似，当左上角、右上或左下参考像素不可用时，可继承最邻近的可用参考像素值。3) 除平面模式外，其余各模式均采用如图2所示的基本插值单元。4) 插值过程均为累加、移位和限幅的过程。

2 硬件架构

帧内预测插值通路由串行的参考像素加载和插值预测过程构成。前者进行访存和控制操作，后者进行插值运算操作。为解耦合访存控制和运算操作，本文采用了两个可编程模块(PCE和PPE)分别实现参考像素加载和预测插值过程。帧内预测器的硬件架构如图3所示，其架构由可编程控制单元(PCE)、可编程处理单元(PPE)和重建单元(Recon)组成。

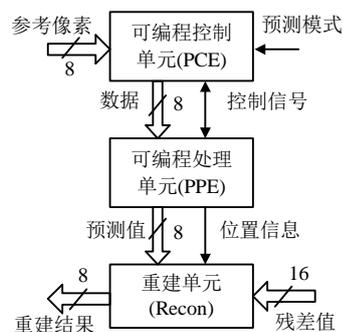


图3 帧内预测器硬件架构

2.1 可编程控制单元

可编程控制单元确定相邻块的可用性, 并负责加载参考像素, 对插值预测过程进行控制。其工作流程如图4所示。

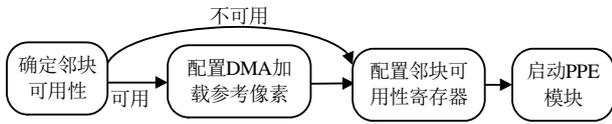


图4 PCE模块工作流程图

PCE模块根据其功能共定制4类指令, 如表1所示。ALU类仅包含与操作, 用于判断相邻块可用性; 跳转类包含条件跳转和无条件跳转, 用于在相邻块可用性确定之后的分支操作; DMA类用于参考像素的快速加载; 控制类用于控制PPE模块的运行。

表1 PCE模块微指令集

类别	指令	功能
ALU	AND _x	与操作(x=1,2,4,8)
跳转	JZ/JMP	条件跳转/无条件跳转
DMA	LOADREF	启动DMA加载一行/列参考像素
	LOADPIX	启动DMA加载左上角的参考像素
控制	BCLRALL	将相邻块可用性寄存器BEDGE清零
	BSET _x	将BEDG相应bit位置1(x=0..3)

2.2 可编程处理单元

可编程处理单元为可编程帧内预测器的核心模块, 主要负责像素的插值运算。

如上所述, 除平面模式外, H.264/AVC和AVS帧内预测中其余各预测模式均可提取为图2所示的基本插值单元(系数为(1,2,1)或(1,1)的滤波操作)。但在不同标准中、同一标准不同预测模式下以及同一预测模式不同位置下的参考像素选择和插值单元各不相同。这导致传统的ASIC和FPGA帧内预测器实现方案中^[6-10]通常包含了大量高位宽的数据选择器、加法器、移位器和控制逻辑, 并额外需要平面模式预处理电路。

为节省平面模式预处理电路, 本文将平面模式的乘累加过程按式(2)~式(5)转化为累加和移位的过程。首先采用累加的方式计算中间结果H、V、a、b和c, 同时暂存中间结果b、c; 计算并暂存式(3)中的A(0,y); 最终由累加器逐次累加完成式(4)中同一行像素的插值预测。

$$A(0,0) = a - [(b+c) \ll 3] - (b+c) \quad (2)$$

$$A(0,y) = A(0,y-1) + c \quad (3)$$

$$A(x,y) = A(x-1,y) + b \quad (x,y = 0..15) \quad (4)$$

$$\text{pred}_L(x,y) = \text{clip}_1((A(x,y) + 16) \gg 5) \quad (5)$$

PPE模块硬件结构如图5所示。寄存器文件存储参考像素并暂存临时变量, 其中GPR寄存器堆既可重构为9个8 bit的SGPR寄存器, 也可重构为4个16 bit的LGPR寄存器, 后者用于在平面模式下暂存较宽

的中间变量; ALU单元由一个16位的累加器和一个16位的桶形移位器构成, 主要负责进行像素的插值预测; 输出单元负责将预测结果限幅, 并将预测值和位置信息输出给重建模块。

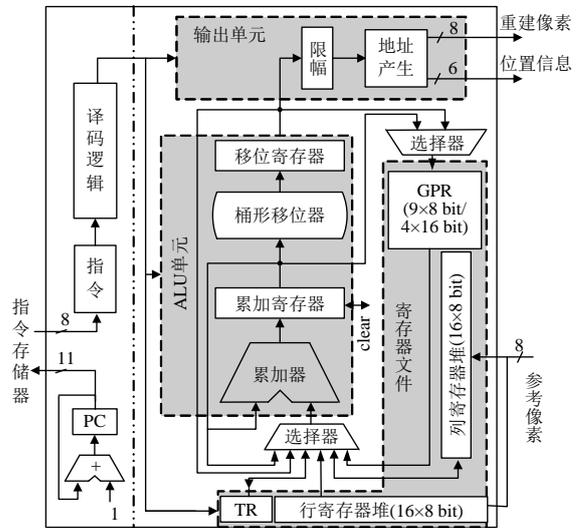


图5 PPE模块硬件结构图

该结构通过提取各帧内预测模式下的最小可复用单元(累加和移位操作), 采用可编程的方式实现不同模式下数据通路的灵活重构。针对累加和移位操作, 分别定制了专有的高效微指令集, 以提高预测插值的效率, PPE模块微指令集如表2所示。PPE微指令等长编码为8 bit, 且均为单操作数指令。

基本插值单元的插值过程依照图2进行。通常, PPE进行插值的一般流程为: 数据经由累加器处理后存入累加寄存器, 而后由移位器处理后存至移位寄存器; 最后由限幅器将处理结果输出。由于基本插值单元中移位位数已固定, 本文通过定制专有的数据通路(参见ACCS1和SACSET指令), 将插值操作中最后一步的累加结果右移相应的比特位, 并将结果直接存放至移位寄存器, 将延迟由3个周期降低至2个, 从而减少30%的处理延迟。

表2 PPE模块微指令集

指令	功能
ACC	源操作数与累加寄存器作累加
SAC	源操作数左移1位与累加寄存器相加
SHL _x /ASR _x	算术左移/算术右移(移位位数x=0..7)
SRR _x /SRC _x	算术舍入右移, SRC _x 同时清零累加寄存器
ACCS1	将ACC操作结果右移1位存入移位寄存器
ACCCLR	清零累加寄存器
SACSET	将SACSA标志位置1, SAC结果将舍入右移两位存入移位寄存器, 并清零累加寄存器
SACCLR	将SACSA清零, SAC操作将不做特殊处理
NEG	指示累加器作相反操作(加→减/减→加)
MSTSR	将移位寄存器的值移动到SGPR寄存器
MATLR	将累加寄存器的值移动到LGPR寄存器
MSTLR	将移位寄存器的值移动到LGPR寄存器
STR _x	将预测值限幅并输出(位置信息x=0..63)

2.3 重建单元

重建单元主要负责进行像素的重建。该模块接收PPE模块产生的预测值及当前预测像素在当前块中的位置信息,取出对应残差值,与预测值相加形成重建像素。

2.4 程序存储管理

采用本文帧内预测器完成H.264/AVC和AVS的帧内预测的过程,所占程序空间分别为956 Byte和1 328 Byte,因此至少需要分配一个大小为1 328 Byte的程序存储区。通过分析程序中指令的特点发现:

1) 除跳转指令外,所有指令均不改变程序流;2) 跳转指令为前向跳转,偏移空间8 Byte,且仅出现于程序的起始位置,并不超过2条。因此可近似认为程序为依次前向顺序执行,同时在视频解码器系统中,在作帧内预测时,帧间预测器的闲置极大地降低了外存的带宽负载。结合这些特点,本文将程序存储区分配在片外存储器中,并采用两个片上指令缓存,以解决与外存的速度匹配问题,每个缓存大小为16×32 bit。帧内预测器通过直接访问片上缓存获取指令,两个缓存之间进行快速切换,在从一个缓存中获取指令的同时,系统向另一个缓存填充指令。指令缓存以4:1的写入和读出速率比保证了指令流的连续供应,而不致使帧内预测器发生因指令缺失而停顿的现象。

3 实现结果及性能分析

3.1 吞吐率分析

本文的帧内预测器采用Verilog HDL硬件描述语言实现,微指令流以汇编方式编写(微指令以宏定

义声明),采用VCS进行功能仿真。在H.264和AVS标准中,本文帧内预测器电路处理各预测模式所需的插值周期数如表3和表4所示,其中表4中AVS亮度块和色度块的DC模式各有3种结果,分别对应左右邻块均可用、仅一个邻块可用和无邻块可用的情形。每个宏块的平均插值周期数 C_{MB} 等于宏块中各预测模式的插值周期数 C_{pmode} 与各预测模式出现概率 P_{pmode} 的加权和,即:

$$C_{MB} = \sum_{pmode} C_{pmode} \times P_{pmode} \quad (6)$$

已知各预测模式的插值周期数,每个宏块的平均插值周期数取决于各预测模式出现的概率。为精确统计不同标准下各预测模式出现的概率,本实验选择了Coastguard(s1)、Container(s2)、Football(s3)、Foreman(s4)、Hall_monitor(s5)和Garden(s6)共6种复杂度不同的典型的CIF格式测试序列。序列长度均为300帧,由H.264参考软件JM8.4和AVS参考软件rm52j_r1分别进行压缩编码,量化参数设为30,禁用RDO,每帧编码为5个Slice,不采用B帧。而后统计各预测模式出现的概率,统计结果如表5和表6所示,其中表6中亮度块和色度块的DC模式与表4类似,分别对应3种测试结果。在H.264标准下,各测试序列中亮度块出现16×16帧内预测的概率分别为20.1%、54.0%、20.5%、24.6%、13.8%和43.7%。根据典型测试序列中各预测模式的出现概率,并结合式(6),在典型情况下,H.264和AVS帧内预测中每个宏块的插值周期数平均分别需要约717和842个周期,在35 MHz的工作频率下完全满足D1格式30 f/s的实时处理需求。

表3 H.264标准中各帧内预测模式的插值周期数

		亮度块(4×4)								亮度块(16×16)				色度块(8×8)				
模式	周期	0	1	2	3	4	5	6	7	8	0	1	2	3	0	1	2	3
		26	26	28	39	39	47	47	46	38	288	288	291	798	83	84	84	292

单位: 时钟周期

表4 AVS标准中各帧内预测模式的插值周期数

		亮度块(8×8)				色度块(8×8)								
模式	周期	0	1	2	3	4	0	1	2	3				
		84	84	269	90	71	202	112	269	90	71	84	84	292

单位: 时钟周期

表5 H.264标准中各帧内预测模式出现概率的统计结果

		亮度块(4×4)								亮度块(16×16)				色度块(8×8)				
模式	均	0	1	2	3	4	5	6	7	8	0	1	2	3	0	1	2	3
s1	9.8	52.2	9.8	2.8	3.8	2.1	7.3	1.9	10.1	9.3	32.4	41.7	16.6	48.9	33.4	8.0	9.8	
s2	16.6	41.4	14.4	2.6	3.6	2.5	8.8	2.0	8.3	13.5	36.7	21.7	28.1	40.8	36.2	12.9	10.1	
s3	13.6	21.9	15.2	6.5	7.6	7.7	10.0	6.8	10.8	3.1	7.6	75.5	13.9	36.9	29.5	21.1	12.5	
s4	20.2	16.3	17.7	4.9	13.1	6.1	9.7	4.2	7.9	23.4	22.2	31.8	22.7	38.3	24.9	23.5	13.3	
s5	11.9	18.2	16.5	7.8	6.4	5.7	11.1	6.6	15.7	15.4	27.7	16.0	41.0	44.1	24.4	11.7	19.8	
s6	36.3	27.2	10.7	5.6	4.8	3.0	3.3	3.0	6.2	31.8	21.2	10.4	36.6	35.0	24.9	21.0	19.2	
均值	18.1	29.5	14.1	5.0	6.6	4.5	8.4	4.1	9.8	16.1	24.6	32.9	26.5	40.7	28.9	16.4	14.1	

单位: %

表6 AVS标准中各帧内预测模式出现概率(%)统计结果

模式	亮度块(8×8)						色度块(8×8)						单位: %
	0	1	2		3	4	0		1	2	3		
	s1	10.2	49.9	16.7	12.0	0.3	7.2	3.7	27.3	18.1	1.0	28.3	
s2	17.9	41.3	15.6	11.8	0.3	8.8	4.3	23.5	17.1	1.0	30.4	17.7	10.3
s3	16.5	23.0	20.2	13.0	0.3	10.4	16.6	19.2	15.3	1.0	28.0	23.7	12.8
s4	21.1	18.2	17.0	12.3	0.3	12.4	18.7	17.8	17.1	1.0	25.5	25.1	13.5
s5	35.8	28.1	11.4	8.8	0.3	10.0	5.6	20.6	18.7	1.0	24.3	22.9	12.5
s6	16.6	18.8	21.5	14.2	0.3	11.6	17.0	18.8	14.7	1.0	27.2	24.1	14.2
均值	19.7	29.9	17.0	12.1	0.3	10.0	11.0	21.2	16.8	1.0	27.3	21.8	11.9

3.2 综合结果与功耗分析

本文电路采用Design Compiler进行逻辑综合, 在Dongbu 0.18 μm工艺下, 关键路径最大延迟为3.56 ns。在100 MHz时钟约束下, 逻辑规模仅为6.3K等效逻辑门。表7给出了各模块的逻辑规模分布情况, 其中PPE模块由于有相对较多的运算单元和寄存器资源, 占用了总逻辑规模的76%。

为进一步分析帧内预测器电路的功耗情况, 通过提取后端布局布线后的门级网表和电路精确的寄生参数信息, 结合针对门级网表进行后仿真所得到的VCD文件, 使用PrimeTime PX进行功耗分析。功耗分析结果如表8所示。

表7 各模块逻辑规模分布(综合结果)

功能模块	逻辑规模/NAND2
PCE	1 207
PPE	4 812
Recon	329
总计	6 348

分析结果显示, H.264帧内预测的平均功耗与AVS基本相当, 说明两种标准的帧内预测算法在解码端的运算复杂度基本相同, 这与AVS帧内预测采用了相对较多的参考像素和较复杂的DC预测模式, 而H.264采用了更小的4×4分块的帧内预测和宏块级16×16分块的帧内预测相结合的情形相吻合。在D1分辨率下, H.264较AVS减少了10%的功耗, 这与H.264在大尺寸分辨率下更倾向于使用16×16分块的帧内预测有关。

表8 平均功耗分析结果

分辨率	H.264/AVC			AVS		
	D1	CIF	QCIF	D1	CIF	QCIF
工作频率/MHz	35	10	2.5	35	10	2.5
动态功耗/mW	0.48	0.13	0.035	0.53	0.14	0.033
静态功耗/μW	1.26	1.26	1.23	1.28	1.25	1.25
总计/mW	0.48	0.13	0.036	0.53	0.14	0.034

3.3 实现结果及性能对比

本文插值电路仅包含1个加法器、1个选择器、1个移位器和1个限幅器, 省掉了文献[6]和文献[9-10]中的平面模式预处理电路。与文献[7]相比, 节约了

5个加法器、11个选择器、5个移位器和1个限幅器; 与文献[8]相比, 节约了24个加法器、12个选择器; 与文献[9]相比, 节约了14个加法器、19个选择器、4个移位器和4个限幅器。

由于电路规模和性能之间存在相互制约的关系, 进行性能比较的一个比较公平合理的方式是比较单位电路规模所获得的吞吐率^[12], 即效率因子:

$$E = R_T / A_{Si} \tag{7}$$

式中, R_T 为吞吐率; A_{Si} 为电路规模。式(7)中吞吐率定义为单位时间内处理的宏块数, 即处理单位宏块所需周期数 T_{cycle} 的倒数; 电路规模(包含逻辑规模和片上存储器面积)定义为二输入与非门的等效逻辑门数。效率因子反映了同等电路规模下电路的处理能力。根据上文所述, 本文设计指令缓存仅需两片16×32 bit的片上存储器, 每个片上存储器由地址译码器、存储阵列和读写控制电路构成, 假设每比特存储单元采用基本的6管单元, 而一个二输入与非门由4个晶体管构成, 那么两块存储阵列的面积大约为1 536个(2×16×32×6/4)等效二输入与非门, 而一个4:16的地址译码器需要大约30个门单元, 因此片上存储器的面积不超过1.7K等效二输入与非门。

表9给出了本文设计与各参考设计的逻辑规模、性能和功耗对比情况(其中文献[7]的逻辑规模是根据文献[8]中的FPGA资源对比估计出的), 与其他设计相比, 本文设计以一定的实时性能损失为代价, 通过可编程的方式达到了最好的灵活性, 极大地降低了面积和功耗, 并可同时支持H.264/AVC和AVS编码标准。相比于文献[7]和文献[10]设计, 本文设计分别节约了70%和66%的硬件资源, 同时保持了相对较高的效率因子; 相比于文献[10-11]设计, 功耗分别降低了43%和76%。

采用该帧内预测器的具有完全自主知识产权的原型解码芯片在Dongbu 0.18 μm CMOS 1P6M工艺下已成功流片, 芯片版图和原型演示系统如图6所示。实测结果表明, 在35 MHz工作频率下, 该原型系统可以实现D1格式30 f/s的H.264和AVS测试码流

的实时解码和演示，芯片内核电流仅为16 mA。

表9 逻辑规模、性能和功耗比较

	文献[7]	文献[10]	文献[11]	本文设计
工艺/ μm	—	0.18	0.18	0.18
FPGA资源占用量 (Vertex II FPGA)	1517CLBs 3034FGs 342DFFs	—	—	—
逻辑规模	>22K	18.8K	—	6.3K
综合结果/NAND2 处理单位宏块所需的 周期数/cycle	574	500	—	710~ 840
效率因子($E \times 10^7$)	<0.79	1.06	—	1.5~1.76
工作频率/MHz	@VGA 70	@QCIF 1.5	—	@D1 35
支持的标准	H.264	H.264	H.264	H.264/ AVS
内核电压/V	—	1.8	1.8	1.8
功耗(仿真 结果)/mW	176×144 352×288 720×480	— 59×10 ⁻³ —	— 0.5 2	36×10 ⁻³ 0.14 0.53

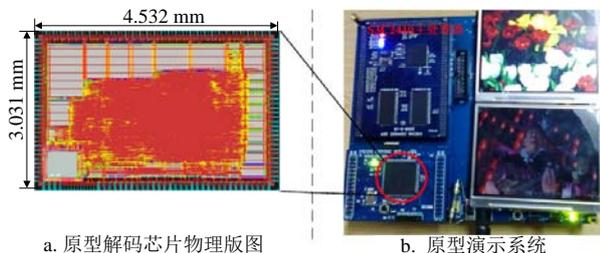


图6 原型解码芯片物理版图和演示系统

4 结论

本文提出了一种独特的可编程的适用于H.264和AVS双模解码器的帧内预测器架构。该架构采用可编程的方式实现不同标准不同预测模式下数据通路的灵活重构和参考像素的灵活加载。实现结果表明，该架构在35 MHz工作频率下可实现D1格式30 f/s的H.264和AVS实时解码，功耗仅为0.53 mW。

参考文献

- [1] ISO/IEC. 14496-10, Information technology – coding of audio-visual objects – Part 10: Advanced Video Coding [S]. Joint Technical Committee ISO/IEC JTC 1. Switzerland: ISO/IEC, 2009.
- [2] AVS工作组. 信息技术先进音视频编码第2部分: 视频[M]. 北京: 中国标准出版社, 2006.

AVS Workgroup. Information technology—Advanced coding of audio and video—Part 2: Video[M]. Beijing: Standards Press of China, 2006.

- [3] RATHNAM S, SLAVENBURG G. An architecture overview of the programmable multimedia processor, TM-1[C]// Proceedings of the 41st IEEE International Computer Conference. Santa Clara: IEEE, 1996: 319-326.
- [4] HU Yu-hen. Programmable digital signal processors: architecture, programming, and applications[M]. New York: Marcel Dekker, 2002.
- [5] 沈征, 孙义和. 一种支持同时多线程的VLIW DSP架构[J]. 电子学报, 2010, 38(2): 352-358.
- [6] SHEN Zheng and SUN Yi-he. Architecture design of simultaneous multithreading VLIW DSP[J]. Acta Electronica Sinica, 2010, 38(2): 352-358.
- [7] HUANG Y, HSIEH B, CHEN T, et al. Analysis, fast algorithm, and VLSI architecture design for H.264/AVC intra frame coder[J]. IEEE Trans on Circuits and Systems for Video Technology, 2005, 15(3): 378-401.
- [8] SAHIN E, HAMZAOGLU I. An efficient intra prediction hardware architecture for H.264 video decoding[C]// Proceedings of the 10th Euromicro Conference on Digital System Design Architectures, Methods and Tools. Lubeck: IEEE, 2007: 448-454.
- [9] HE Xun, ZHOU Da-jing, ZHOU Jin-jia, et al. A new architecture for high performance intra prediction in H.264 decoder[C]//2009 International Symposium on Intelligent Signal Processing and Communication Systems. Kanazawa: IEEE, 2009: 41-44.
- [10] WANG Xi, CUI Xiao-xin, YU Dun-shan. A parallel intra prediction architecture for H.264 video decoding[C]//IEEE 8th International Conference on ASIC. Changsha: IEEE, 2009: 859-862.
- [11] XU Ke, CHOY C. A power-efficient and self-adaptive prediction engine for H.264/AVC decoding[J]. IEEE transactions on VLSI Systems, 2008, 16(3): 302-313.
- [12] LIN Ting-an, LIU Tsu-ming, LEE Chen-yi et al. A low-power H.264/AVC decoder[C]//2005 IEEE International Symposium on VLSI Design, Automation and Test. Hsinchu, China: IEEE, 2005: 283-286.
- [13] PIRSCH P, GEHRKE W. VLSI architectures for video compression[C]//1995 IEEE International Symposium on Signals, Systems and Electronics. San Francisco: IEEE, 1995: 25-27.

编辑 张俊