

增益恒定的数控振荡器设计

陈鑫, 黄辉, 吴宁

(南京航空航天大学电子信息工程学院 南京 210016)

【摘要】针对驱动能力可调的数控振荡器在输出频率范围内增益变化较大的问题,提出了一种电路设计方法,通过该方法设计出的数控振荡器结构具有增益恒定的特点。在SMIC 0.18 μm logic 1P6M CMOS工艺下设计并实现了一个采用该振荡器结构的数控锁相环,数控振荡器的面积为 0.025 mm^2 。实测数据表明,该数控振荡器输出的频率范围为76~208 MHz。当锁相环输出208 MHz高频时钟时,四分频后的峰峰值抖动为110 ps,均方根抖动为14.82 ps,数控振荡器的功耗为1.512 mW。

关键词 延迟时间; 数控振荡器; 数控锁相环; 增益; 抖动

中图分类号 TN402

文献标识码 A

doi:10.3969/j.issn.1001-0548.2012.05.014

Design of Constant-Gain Digitally Controlled Oscillator

CHEN Xin, HUANG Hui, and WU Ning

(College of Electronic and Information Engineering, Nanjing University of Aeronautics & Astronautics Nanjing 210016)

Abstract The gain of the driven-adjustable digitally controlled oscillator (DCO) varies largely in the output frequency range. To solve the problem, a circuit design method is presented to keep the DCO gain invariant in time-domain. To verify the proposed design method, a digitally controlled phase-locked loop (DCPLL) with the DCO is implemented by SMIC 0.18 μm logic 1P6M CMOS technology. The area of the DCO is 0.025 mm^2 . The measured results show that the frequency range of the DCO is from 76 MHz to 208 MHz. When the frequency of the DCO is 208 MHz, the measured peak-to-peak jitter and cycle jitter of the corresponding four-divided clock are 110 ps and 14.82 ps, respectively. The corresponding power of the DCO is 1.512 mW.

Key words delay time; digitally controlled oscillator; digitally controlled phase-locked loop; gain; jitter

最近几年,数控锁相环^[1]广泛应用于嵌入式芯片的时钟产生电路。与传统的电荷泵锁相环相比,数控锁相环用时间-数字转换器替代了电荷泵^[2],数字滤波器替代了由电容组成的模拟滤波器^[3],数控振荡器取代了压控振荡器^[4]。因此,在数控锁相环中,从时间-数字转换器^[5]的输出到数控振荡器的输入,传递的都是数字信号,提高了信号对数字切换噪声的抗干扰能力。此外,由于不使用模拟滤波器,也大幅减少了锁相环的面积。

众所周知,数控振荡器是数控锁相环的核心模块。数控振荡器根据输入的控制字,产生对应频率的时钟信号。数控锁相环的诸多性能如功耗、面积、频率范围等都与数控振荡器的性能息息相关。因此,数控振荡器是数控锁相环设计中最为重要的模块。

单端环形数控振荡器由于其结构简单,容易控制,而且面积小,功耗低,在数控锁相环电路中得

到广泛的应用。数控单端环形振荡器的实现方式有以下3种形式。1) 高频振荡器和分频器构成的数控振荡器,通过调整分频系数调整输出频率^[6]。2) 环路中延迟单元的驱动能力不变,通过调整环路中延迟单元数目调整输出频率^[7-8]。3) 环路中延迟单元数目不变,通过调整每级延迟单元的驱动能力以改变输出频率^[9-10]。该数控振荡器结构具有面积小、输出频率范围宽的优点,但是增益很难保持恒定^[9]。若数控振荡器的增益在输出频率范围内变化较大,将导致锁相环的稳定性很难预测。为保证锁相环正常工作,必须设计大带宽的锁相环以跟踪振荡器增益的变化,但这又会恶化锁相环的抖动性能。

为解决上述问题,本文基于第三种数控振荡器结构提出了一种电路设计方法。该方法可以根据设计指标确定振荡器的尺寸参数,并确保振荡器的增益在整个输出频率范围内基本不变。为验证提出的

收稿日期: 2011-01-13; 修回日期: 2011-09-01

基金项目: 国家自然科学基金(61076019); 江苏省科技支撑计划(BE2010003)

作者简介: 陈鑫(1982-),男,博士,主要从事数字锁相环方面的研究。

电路设计方法, 本文在SMIC 0.18 μm logic 1P6M CMOS工艺下, 设计并实现了一个采用该数控振荡器结构的数控锁相环电路。仿真和实测结果均表明该数控振荡器能够满足实际应用需求。

1 驱动能力可调的数控振荡器结构

本文研究的数控振荡器结构如图1所示。图中 M 个与非门呈串联排列, 每个与非门的输出端口O均与下一级与非门的输入端口A相连。而每个与非门的另一个输入端口B均由控制信号Run控制。当输入端口B为低电平时, 与非门的输出端口O将保持高电平。反之, 当输入端口B为高电平时, 则与非门输出端口O为其相应输入端口A的反向信号。

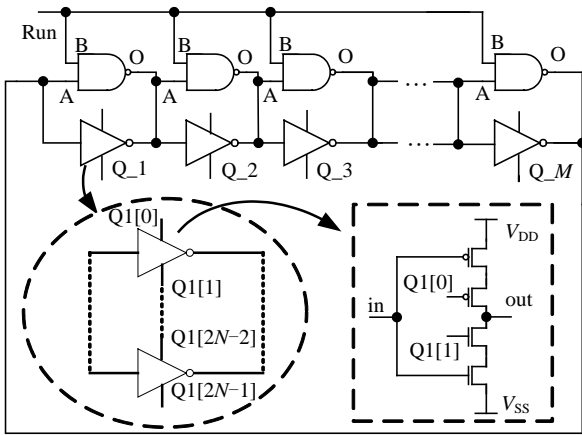


图1 环形数控振荡器结构框图

为调整每级与非门的延时, 每级与非门还分别与 N 个三态反相器相并联。每个三态反相器均有两个控制字, 分别控制反相器中PMOS晶体管和NMOS晶体管的导通。通过控制三态反相器中晶体管的导通数目, 可以改变该级延迟单元的驱动能力和延迟时间, 进而调整数控振荡器的频率。

2 提出的电路设计方法

2.1 数控振荡器增益恒定的理论推导

环形振荡器的周期由环路中延迟单元的上升时间和下降时间组成。图1中环形数控振荡器中的延迟单元由与非门和与之并联的 N 个三态反相器组成。当控制信号Run和Q1[1]为高电平, Q1[0]为低电平时, 与非门及三态反相器均可简化为图2所示的反相器开关模型。图中, R_p 是PMOS晶体管的等效电阻, R_n 是NMOS晶体管的等效电阻, C 为负载电容, 主要由下一级的栅电容组成。基于开关模型, 反相器的上升时间 t_r 和下降时间 t_f 分别为^[1]:

$$t_r = 0.69R_p C \tag{1}$$

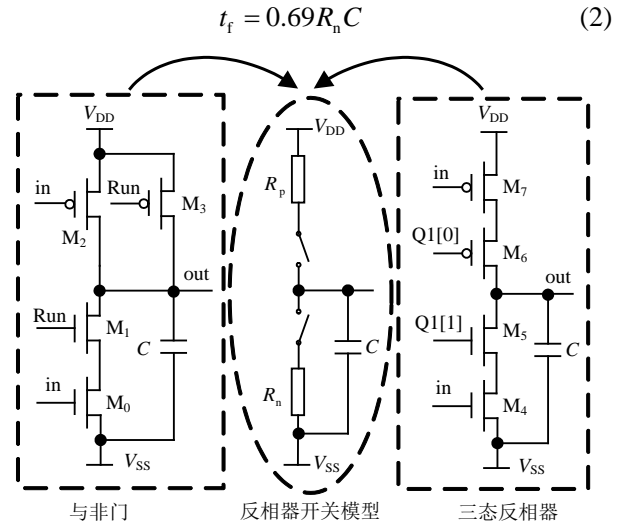


图2 与非门及三态反相器的等效图

为简化设计过程和版图实现, 与非门中 M_0 和 M_1 、 M_2 和 M_3 的尺寸分别一致, 三态反相器中 M_4 和 M_5 、 M_6 和 M_7 的尺寸分别一致。因此, 对于与非门, R_n 由 M_0 和 M_1 的等效电阻串联组成, R_p 由 M_2 的等效电阻组成; 对于三态反相器, R_n 由 M_4 和 M_5 的等效电阻串联组成, R_p 由 M_6 和 M_7 的等效电阻串联组成。

当输出时钟的上升时间 t_r 和下降时间 t_f 相等时, 振荡器内部噪声最小^[12]。根据式(1)和式(2)可知, 当 R_p 和 R_n 相等时, 输出时钟的 t_r 等于 t_f 。

晶体管的等效电阻 R_{eq} 和晶体管的工艺跨导 k' 以及宽长比 W/L 成比例关系, 即:

$$R_{eq} \propto \frac{L}{k'W} \tag{3}$$

若 R_p 和 R_n 相等, 则PMOS晶体管的尺寸和相应NMOS晶体管的尺寸是成比例的。因此, 在此只需讨论NMOS晶体管的尺寸设计, 一旦NMOS晶体管的尺寸确定, 仅需乘以一个合适的比例系数 β 即可获得PMOS晶体管的尺寸。比例系数 β 和工艺相关, 0.18 μm 工艺下 β 值范围一般为3~4。

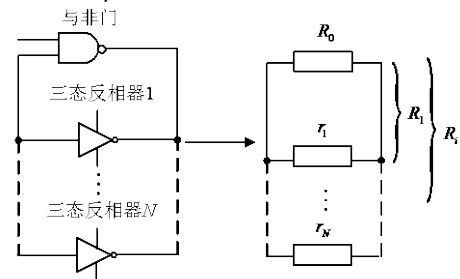


图3 与非门及三态反相器的并联等效图

与非门及三态反相器的并联等效图如图3所示。图中 R_0 是与非门中NMOS晶体管 M_0 和 M_1 导通时的

等效电阻, 三态反相器*i*中NMOS晶体管 M_4 和 M_5 导通时的等效电阻为 r_i (i 可取 $1 \sim N$)。 R_1 是 R_0 和 r_1 的并联值, R_i 是与 R_0 和 r_1, r_2, \dots, r_i 的并联值, 等效电阻 R_1 为:

$$R_1 = \frac{R_0 r_1}{R_0 + r_1} \quad (4)$$

进而可推导出:

$$R_i = \frac{R_{i-1} r_i}{R_{i-1} + r_i} \quad (5)$$

当三态反相器1中NMOS晶体管导通, 延迟时间的变化量即数控振荡器增益 K_o 可表示为:

$$K_o = 0.69(R_0 - R_1)C = \frac{0.69R_0^2 C}{R_0 + r_1} \quad (6)$$

进而可以推导出:

$$K_o = 0.69(R_{i-1} - R_i)C = \frac{0.69R_{i-1}^2 C}{R_{i-1} + r_i} \quad (7)$$

在数控振荡器中, 负载电容 C 的值主要由下一级的栅电容组成, 故负载电容 C 可视为常数。因此, 为保持 K_o 值不变, 必须有:

$$\Delta R = R_{i-1} - R_i = \frac{R_{i-1}^2}{R_{i-1} + r_i} = \frac{R_0^2}{R_0 + r_1} \quad (8)$$

从上式可知, 当三态反相器1到三态反相器 N 逐一导通, 并且并联电阻的改变量 ΔR 满足式(8)时, 数控振荡器增益 K_o 可在全频率范围内保持恒定。

2.2 设计流程

为实现图1所示的数控振荡器结构, 需要确定环路振荡器的串联级数 M , 每级延迟单元的并联级数 N , 与非门以及与之并联的三态反相器尺寸。设计流程为:

1) 确定串联级数 M 。

图1中串联级数 M 的取值与数控振荡器的周期范围 $T_{\min} \sim T_{\max}$ 相关。过大的 M 将导致振荡器的功耗和面积过大, 而过小的 M 则会导致设计的振荡器频率范围过窄。通过对用SMIC 0.18 μm logic 1P6M CMOS工艺实现的反相器进行仿真, 可知反相器的延时一般在1 ns~200 ps之间。因此, 当输出时钟周期范围为2 ns~10 ns时, M 可取7以上的奇数。若周期小于2 ns, M 可取3或5。

2) 确定每级延迟单元的并联级数 N 。

每级延迟单元的并联级数 N 可通过 $T_{\min} \sim T_{\max}$ 、 M 以及 K_o 计算。为确保设计的周期范围覆盖设计指标中的周期范围 $T_{\min} \sim T_{\max}$, 有:

$$N \geq \frac{1}{2MK_o} (T_{\max} - T_{\min}) \quad (9)$$

3) 确定与非门等效电阻 R_0 。

数控振荡器的周期 T_{DCO} 由 M 个延迟单元的上升时间 t_r 和下降时间 t_f 组成, 即:

$$T_{\text{DCO}} = M(t_r + t_f) \quad (10)$$

为覆盖设计指标中的周期范围 $T_{\min} \sim T_{\max}$, 并使 t_r 等于 t_f 以降低振荡器噪声, 结合式(2), R_0 和 R_N 需满足不等式组:

$$\begin{cases} 1.38MR_0C > T_{\max} \\ 1.38MR_N C < T_{\min} \end{cases} \quad (11)$$

当确定 N 后, ΔR 、 R_0 和 R_N 之间的关系为:

$$\Delta R = \frac{R_0 - R_N}{N} \quad (12)$$

联立式(11)、式(7)、式(8)和式(12), 可根据实际情况选取合适的 R_0 值:

$$\frac{T_{\max}}{1.38MC} < R_0 < \frac{T_{\min}}{1.38MC} + \frac{NK_o}{0.69C} \quad (13)$$

负载电容 C 可表示为:

$$C = (1 + \beta)(W_0 L_0 + W_1 L_1 + \dots + W_N L_N) C_{\text{ox}} \quad (14)$$

式中, C_{ox} 为栅氧的单位面积电容; W_0 和 L_0 分别为与非门中 M_0 的宽和长; W_1 和 L_1 分别为三态反相器1中 M_4 的宽和长; 依此类推。

4) 确定三态反相器等效电阻 r_i 。

式(8)可改写为:

$$r_i = \frac{R_{i-1}^2}{\Delta R} - R_{i-1} \quad (15)$$

根据式(15), 可逐一递推得到各个晶体管等效电阻 r_i 与 R_0 的关系。如 r_i 与 R_0 的关系为:

$$r_0 = \frac{R_0^2}{\Delta R} - R_0 \quad (16)$$

5) 通过Spice仿真微调晶体管尺寸。

由于上述公式推导都是一阶近似, 忽略了MOS管高阶效应, 还需通过Spice仿真对手工计算结果进行确认和修改。若直接设计三态反相器的尺寸, 由于 R_0 尺寸未确定, 因此每修改一次 R_0 , 都需要逐一修改三态反相器的尺寸, 工作量非常大。为减少设计时间, 在确定与非门尺寸时, 可用一个反相器替代所有的三态反相器。已知三态反相器全部关闭时, 每级延时单位等效电阻为 R_0 。三态反相器全部导通时, 延时单元等效电阻为 R_N 。因此, 三态反相器的并联电阻为:

$$r_{\text{并联}} = \frac{R_0 R_N}{R_0 - R_N} \quad (17)$$

因此, 当确定与非门尺寸时, 只需修改两个反

相器的尺寸, 一个是与非门尺寸, 另一个是三态反相器等效反相器尺寸, 其等效电阻由式(17)给出。当与非门尺寸确定之后, 再根据式(15)依次确定三态反相器的尺寸。

3 设计实例

由于要设计一个频率范围为80~160 MHz的数控振荡器, 本文将串联级数 M 的值定为9。数控振荡器的增益为30 ps左右。通过式(9)计算得到并联级数 $N=11.6$, 为了保证能够覆盖设计指标的频率范围以及编码方便, 所以将 N 定为16。由于本文设计三态反相器的PMOS晶体管和NMOS晶体管分别用控制字控制, 因此, $\Delta R=R_0/32$, 将 ΔR 代入式(15), 可得到:

$$r_i = \frac{32R_{i-1}^2}{R_0} - R_{i-1} \quad (18)$$

数控振荡器在工艺角tt情况下的后仿结果如图4所示。电源电压VDD为1.8 V, 仿真温度 T 为25 °C。从图中可以看出, 数控振荡器的周期随着控制字的增加而线性单调减少, 增益基本稳定在30 ps/控制字, 这说明本文提出的尺寸设计方法是切实有效的。输出的频率范围为73.8~210 MHz, 超出了原定的频率范围。原因有: 1) 寄生参数的影响使得最低频率降低, 2) 并联级数为16, 扩大了振荡器输出的频率范围。

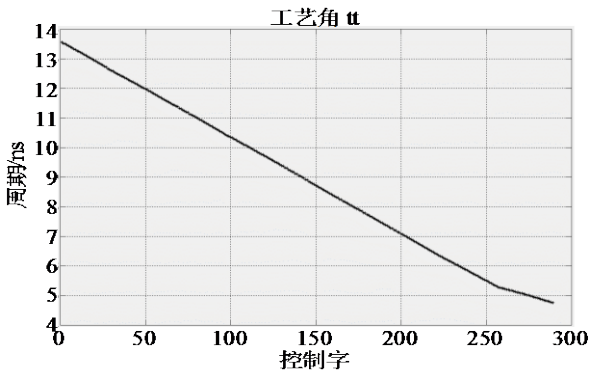


图4 数控振荡器的后仿结果(工艺角tt)

数控振荡器分别在工艺角ff和工艺角ss情况下的后仿结果如图5所示。当工艺角为ff时, 输出的频率范围为79.5~228.6 MHz, 增益为28.4 ps。当工艺角为ss时, 输出的频率范围为66.6~180 MHz, 增益为32.6 ps。如图所示, 数控振荡器的周期也随着控制字的增加而线性单调减少。

为验证提出的数控振荡器结构, 本文设计了一个采用该结构的数控锁相环电路并用SMIC 0.18 μm logic 1P6M CMOS工艺实现。数控振荡器的面积为138 μm×184 μm, 利用手工定制的方法实现。数控锁

相环的面积为340 μm×340 μm, 利用数字集成电路流程实现。该锁相环工作电压为1.8 V。

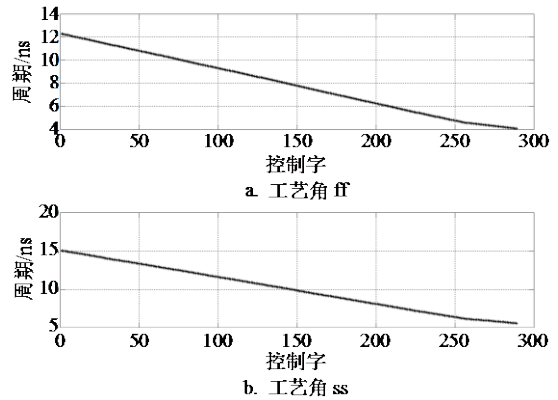


图5 数控振荡器的后仿结果

由于数字IO PAD的最高输出频率一般不能超过200 MHz。所以在此设计中, 将振荡器的高频时钟经过四分频后再经过数字IO PAD输出。通过调节锁相环分频器的分频系数, LeCroy 204MXi型号示波器实际测试能测到的时钟范围为19~52 MHz, 所以该数控锁相环能稳定输出76~208 MHz的高频时钟。这与后仿确定的输出频率范围73.8~210 MHz非常接近。

当数控振荡器输出时钟频率为208 MHz时, 数控振荡器输出时钟四分频后的波形如图6所示。数控振荡器四分频后时钟的峰峰值抖动为110 ps, 均方根抖动为14.82 ps。经过数字万用表VICTOR VC9801A+的测试, 此时数控振荡器的电流为0.84 mA, 所以数控振荡器的功耗为1.512 mW, 其他电路中的电流为2.67 mA, 功耗为4.8 mW。因此, 仿真和实测结果均表明该数控振荡器能够满足实际应用需要。

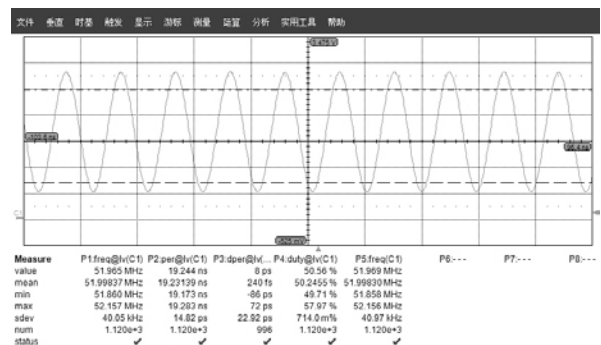


图6 数控振荡器输出四分频后的波形

4 结论

本文基于驱动能力可调的数控振荡器结构, 提出了一种电路设计方法, 应用该设计方法设计出来的数控振荡器具有增益恒定的特点。为验证提出的电路设计方法, 本文设计了一个采用该结构的数控锁相环电

路并用SMIC 0.18 μm logic 1P6M CMOS工艺实现, 数控振荡器的面积为 $138\ \mu\text{m}\times 184\ \mu\text{m}$ 。仿真结果表明, 数控振荡器的周期随着控制字的增加而线性单调减少, 达到了设计目的。同时, 实测数据表明, 该数控振荡器输出的频率范围为 $76\sim 208\ \text{MHz}$ 。当锁相环输出 $208\ \text{MHz}$ 高频时钟时, 四分频后的峰峰值抖动为 $110\ \text{ps}$, 均方根抖动为 $14.82\ \text{ps}$, 数控振荡器的功耗为 $1.512\ \text{mW}$, 能够满足数控锁相环的设计需要。

参 考 文 献

- [1] WANG Ping-ying, ZHAN J H C, CHANG H H, et al. A digital intensive fractional-N PLL and all-digital self-calibration schemes[J]. IEEE Journal of Solid-State Circuits, 2009, 44(8): 2182-2192.
- [2] KRIT S, QJIDAA H, AFFAR I E, et al. A novel CMOS charge-pump circuit with current mode control $110\ \text{mA}$ at $2.7\ \text{V}$ for telecommunication systems[J]. Journal of Semiconductors, 2010, 31(4): 450011-450015.
- [3] 宁俊松, 罗正祥. 小型化超宽阻带低通滤波器设计[J]. 电子科技大学学报, 2010, 39(2): 223-226.
NING Jun-song, LUO Zheng-xiang. Design of compact ultra broad-stopband lowpass filter[J]. Journal of University of Electronic Science and Technology of China, 2010, 39(2): 223-226.
- [4] 程梦璋, 景为平. CMOS环型压控振荡器的设计[J]. 电子科技大学学报, 2009, 38(2): 305-308.
CHENG Meng-zhang, JING Wei-ping. Design of CMOS ring voltage controlled oscillator[J]. Journal of University of Electronic Science and Technology of China, 2009, 38(2): 305-308.
- [5] KRATYUK V, HANUMOLU P K, OK K, et al. A digital PLL with a stochastic time-to-digital converter[J]. IEEE Transactions on Circuits and Systems I, 2009, 56(8): 1612-1621.
- [6] STEFO R, SCHREITER J. High resolution ADPLL frequency synthesizer for FPGA-and ASIC-based applications[C]//IEEE International Conference on FPT. [S.l.]: IEEE, 2003: 28-34.
- [7] LIU J C, HUANG H Y, YANG W B, et al. $0.5\ \text{V}$ $160\ \text{MHz}$ $260\ \text{uW}$ all digital phase-locked loop[C]//DDECS. Piscataway, USA: IEEE, 2009: 186-193.
- [8] HSU H J, TU C C, HUANG S Y. A high-resolution all-digital phase-locked loop with its application to built-in speed grading for memory[C]//IEEE VLSI-DAT. Piscataway, USA: Inst of Elec and Elec Eng Computer Society, 2008: 267-270.
- [9] OLSSON T, NILSSON P. A digitally controlled PLL for SoC applications[J]. Journal of Solid-State Circuits, 2004, 39(5): 751-760.
- [10] CHUNG Y M, WEI C L. An all-digital phase-locked loop for digital power management integrated chips[C]//IEEE ISCAS. Piscataway, USA: IEEE, 2009: 2413-2416.
- [11] RABAEY J M. 数字集成电路——电路、系统与设计[M]. 第2版. 周润德, 译. 北京: 电子工业出版社, 2010.
RABAEY J M. Digital integrated circuits-a design perspective[M]. 2nd ed. Translated by ZHOU Run-de. Beijing: Publishing House of Electronics Industry, 2010.
- [12] ABIDI A A. Phase noise and jitter in CMOS ring oscillators[J]. IEEE Journal of Solid-State Circuits, 2006, 41(8): 1803-1816.

编辑 税红