

具有高线性调谐特性的1.2 GHz CMOS频率综合器

李振荣, 庄奕琪, 龙 强

(西安电子科技大学微电子学院教育部宽禁带重点实验室 西安 710071)

【摘要】基于0.18 μm RF CMOS工艺实现了一个1.2 GHz高线性低噪声正交输出频率综合器, 该综合器集成了一种高线性低调谐灵敏度的低噪声LC压控振荡器; 降低了系统对锁相环中其他模块的要求; 基于源极耦合逻辑实现了具有低开关噪声特性的正交输出高速二分频, 采用“与非”触发器结构实现了高速双模预分频, 并集成了数控鉴频鉴相器和全差分电荷泵, 获得了良好的频率综合器环路性能。对于1.21 GHz的本振信号, 在100 kHz和1 MHz频偏处的相位噪声分别为 -99.1 dBc/Hz和 -123.48 dBc/Hz。该频率综合器具有从1.13~1.33 GHz的输出频率范围。工作电压1.8 V时, 芯片整体功耗20.4 mW, 芯片面积 (1.5×1.25) mm²。

关键词 频率综合器; 相位噪声; 锁相环; 正交输出; 压控振荡器

中图分类号 TN75

文献标识码 A

doi:10.3969/j.issn.1001-0548.2012.06.007

1.2 GHz CMOS High-Linearity Frequency Synthesizer

LI Zhen-rong, ZHUANG Yi-qi, and LONG Qiang

(Key Laboratory of the Ministry of Education for Wide Band-Gap Semiconductor Materials and Devices,

School of Microelectronics, Xidian University Xi'an 710071)

Abstract An implementation for a 1.2 GHz high-linearity quadrature output frequency synthesizer is presented in standard 0.18 μm RF CMOS technology. For achieving optimized phase-noise performance, a high-linearity and low-tuning-sensitivity LC voltage-controlled oscillator is employed. Based on low-switching-noise source-coupled logic structure, a high-speed divider-by-2 circuit is realized to achieve quadrature local oscillating signal, and a high-speed 8/9 dual-modulus prescaler circuit is implemented. A digital controlled phase frequency detector and difference charge pump are also integrated in the frequency synthesizer. From the carrier frequency of 1.21 GHz, the phase noise of proposed frequency synthesizer is -99.1 dBc/Hz and -123.48 dBc/Hz at 100 kHz and 1 MHz offset respectively. The range of output frequency is from 1.13 GHz to 1.33 GHz, the power dissipation is 20.4 mW from a 1.8 V power supply, and the area is (1.5×1.25) mm².

Key words frequency synthesizer; phase noise; PLL; quadrature output; voltage-controlled oscillator

频率综合器是现代通信和信息处理系统的重要组成部分, 广泛应用于空间探测、通信、雷达和计算机等领域^[1-3], 基于锁相环原理的锁相型频率综合器是目前射频频率合成器的主流技术, 其中宽带和低噪声特性是当前的研究热点^[4-5]。

为了满足频率综合器在宽带范围内的低噪声性能要求, 文献[6-7]在调谐灵敏度、线性度和环路带宽稳定性等方面进行了探索。本文根据这种需求, 采用一种新型的压控振荡器调谐灵敏度补偿结构, 基于CMOS工艺优化实现了一个集成低噪声、高线性LC压控振荡器的1.2 GHz正交输出频率综合器, 并进行了投片验证。测试结果表明, 在满足调谐范围

的同时, 该频率综合器的输出信号具有良好的线性度和相位噪声性能。

1 系统结构

锁相型频率综合器是一个基于锁相环(PLL)原理的反馈控制系统^[8], 本文的频率综合器系统结构如图1所示, 主要由鉴频鉴相器(PFD)、电荷泵(CP)、压控振荡器(VCO)、环路滤波器(LPF)、高速二分频电路(Divider-2)、双模预分频电路(N/N+1)、数字分频电路(/R、/P、/S)、SPI数控单元以及相关测试电路(LO_Test、Lock_Test)构成。

频率综合器将VCO输出信号与参考信号在相位

收稿日期: 2011-01-20; 修回日期: 2012-09-27

基金项目: 国家自然科学基金(61076101), 中央高校基本科研业务费专项资金(K50511250005)

作者简介: 李振荣(1979-), 男, 博士, 主要从事射频集成电路方面的研究。

和频率上实现同步,当两者相位差发生变化时,PFD控制CP输出一个受控电流,经LPF转化为受控电压,控制VCO输出频率向参考频率靠近,直到双方信号达到同步,实现相位和频率锁定。在VCO与PFD的反馈回路中增加分频电路,改变分频系数就可以控制VCO产生不同频率的信号^[9]。

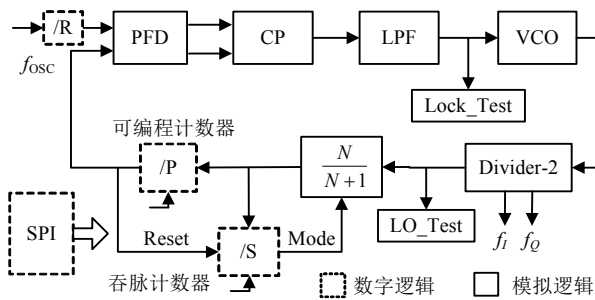


图1 锁相型频率综合器系统结构

2 模块电路设计

2.1 高线性度LC-VCO

基于开关电容阵列和变容管的数模混合调谐是同时获得宽调谐范围和小调谐增益(K_{VCO})的最有效方法^[10]。对于传统结构的VCO,由于实现模拟调谐的AMOS变容管具有高度非线性的缺点,因此,VCO增益 K_{VCO} 在整个调谐范围内是非线性的。

K_{VCO} 非线性的调谐特性虽有助于增大VCO调谐范围,但同时会大大降低VCO和锁相环系统在整个频率范围内的相位噪声性能^[10-11],考虑到这种影响,Leeson公式可修改为:

$$L(f_m, K_{VCO}) = 10 \lg \left\{ \left(\frac{f_0}{2Qf_m} \right)^2 \left[\frac{FkT}{2P_s} \left(1 + \frac{f_c}{f_m} \right) \right] + \frac{1}{2} \left(\frac{K_{VCO} V_m}{2f_m} \right)^2 \right\} \quad (1)$$

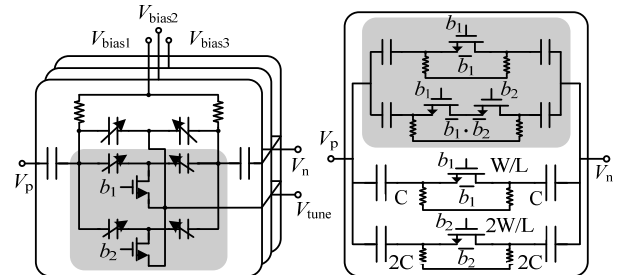
本文将数字和模拟调谐灵敏度分别定义为 K_{CT} 和 K_{FT} ,为了获得全范围内线性调谐特性,需保持相对恒定的 K_{CT} 和 K_{FT} 。根据文献[6]分析,采用分布式偏置变容管能有效提高VCO单根调谐曲线的线性度,但各条调谐曲线的 K_{CT} 和 K_{FT} 不相等。结合数字调谐,定义 $K_{CT}(n)$ 和 $K_{FT}(n)$,如式(2)、式(3)所示,随着数控位 n 的减小, $K_{CT}(n)$ 和 $K_{FT}(n)$ 增大,从而恶化VCO及PLL的相噪性能^[12]。

$$K_{FT}(V, n) = \frac{\partial F(V, n)}{\partial V} \quad 1 \leq n \leq 4 \quad (2)$$

$$K_{CT}(V, n) = F(n+1) - F(n) \Big|_{V=V_n} \quad 1 \leq n \leq 3 \quad (3)$$

本文VCO采用一种基于分布式偏置变容管电路

的数控 $K_{FT}(n)$ 调谐灵敏度补偿结构,如图2a所示。整个调谐范围的两端频率处, $K_{FT}(n)$ 较小,通过设定数控位使一定数量的变容管单元接入谐振电路中用于增加变容管尺寸,增大谐振电路中的电容变化量 ΔC ,不仅实现了单条调谐曲线的高线性度,而且补偿了由于数字调谐引起的 $K_{FT}(n)$ 变化,从而在整个调谐范围内获得较恒定的 $K_{FT}(n)$ 。



a. 提出的KFT补偿结构

b. 提出的KCT补偿结构

图2 两种补偿结构

二进制加权结构的开关电容阵列,会导致 $K_{CT}(n)$ 在调谐范围内不断变化,为了获得线性的调谐特性,谐振回路总电容 C_T 必须与数控位 n 成 n^{-2} 的指数关系^[13]。本文VCO采用基于差分开关电容阵列结构的数控 $K_{CT}(n)$ 补偿结构,如图2b所示,给 C_T 提供额外的电容补偿 ΔC ,使 C_T 和 f 成近似 n^{-2} 指数关系,从而获得较恒定的 $K_{CT}(n)$ 。

本文基于上述结构实现了一种高线性VCO,与传统结构比较,通过减小 $K_{CT}(n)$ 和 $K_{FT}(n)$ 的变化,提高了调谐线性度,大大改善了整个调谐范围内VCO和PLL的相噪性能,而调谐范围仅略有减小^[12]。

2.2 分频器电路

本文分频电路包括高速二分电路(Divider-2)、双模预分频电路($N/(N+1)$)、可编程分频器(可编程计数器P、吞脉计数器S、参考频率分频器R),如图1所示,其中二分频和双模预分频电路采用高速模拟电路设计,可编程计数器基于硬件描述语言和EDA工具实现。假设晶振频率为 f_{OSC} ,R计数器的分频比为 M ,分频电路的分频比为 K ,则输出频率可表示为:

$$f_{OUT} = Kf_{OSC} / R \quad (4)$$

式中, $K = (N+1)S + N(P-S) = PN + S$ 。

由于正交变频技术能够提供良好的镜像抑制性能,本文采用静态主从锁存D触发器实现正交输出的高速二分频电路,如图3所示,与传统的RC-I/Q结构相比,该结构易于实现,且具有更低的功耗和更小的相位失调,与注入锁定结构相比,该结构能够提供更高的稳定性和更宽的分频范围^[3]。

本文采用具有良好开关噪声性能的源极耦合逻辑(SCL)结构实现触发器中的锁存电路^[14-15]; 采用PMOS管做电阻负载, 有效提高电阻负载的实现精度。偏置电压 V_a 接地, 使PMOS工作在线性区, 从而降低电路的 RC 时常数, 提高电路的最高处理速度。根据锁存器工作速度与输出信号摆幅的关系:

$$T_{\text{Delay}} \propto C\Delta V / I_S \quad (5)$$

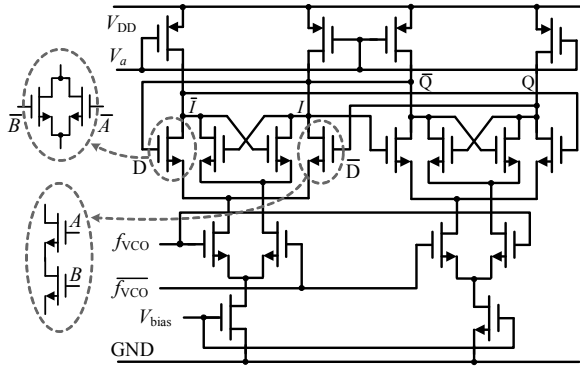


图3 基于主从锁存结构的D触发器电路

可见, 分频频率与电流大小成正比。本文采用数控尾电流源, 在保证足够分频能力的同时尽量降低功耗, 功耗仅为没有尾电流源的传统结构的二分之一。分频器的输入敏感特性描述了输入信号频率与最小输入摆幅之间的关系, 可用于表征分频器的分频速度、分频范围和相应条件下的最小输入信号摆幅, 体现电路的分频能力和优化程度。本文二分频电路的输入敏感特性仿真曲线如图4所示, 分频器在阴影区域即可实现正确分频区域, 该区域的分布表明了该二分频电路具有良好的高速分频能力。

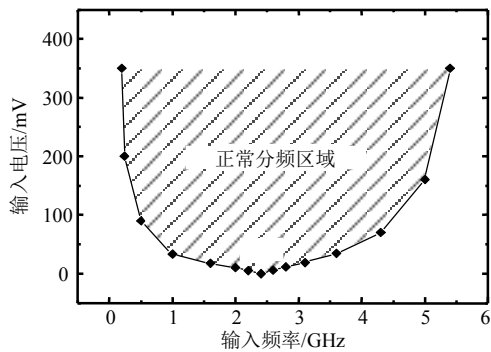


图4 高速二分频电路输入敏感特性曲线

8/9双模预分频电路主要由高频同步4/5分频器、异步计数器和控制逻辑组成^[16], 其中同步分频器为电路设计难点, 决定了双模预分频器的最高频率和功耗, 本文采用与高速二分频电路相同的触发器结构。通常, 同步4/5分频电路由D触发器和与非门逻辑组成, 为了提高电路分频和驱动能力, 本文将与非门和D触发器逻辑集成在一起, 设计了具有“与

非”功能的D触发器, 电路改进如图3虚线部分所示, 使逻辑门和触发器只引入一个延时, 降低了分频器的传输延时。

基于上述结构实现的8/9双模预分频电路和时序如图5所示。当控制信号Mode为高电平时, 同步4/5分频器的分频数为4; 当Mode为低电平时, 分频比为5。结合异步分频电路, 最终实现了8/9双模分频操作。此外, 在输出端增加一个Buffer电路, 用于直接驱动后续标准单元的实现。

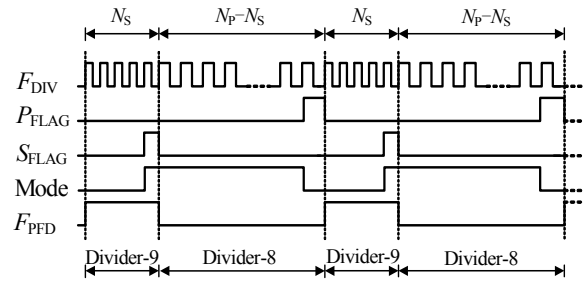


图5 高速双模预分频器工作时序

2.3 鉴频鉴相器电路

本文采用基于标准RS-Latch结构的三态全差分PFD^[17], 提高电路的共模噪声抑制和输出延时匹配能力。PFD通过比较参考信号 f_{REF} 和分频反馈信号 f_{DIV} 的频率和相位, 产生UP和DN信号用于控制电荷泵进行充放电, 电路结构如图6a所示。

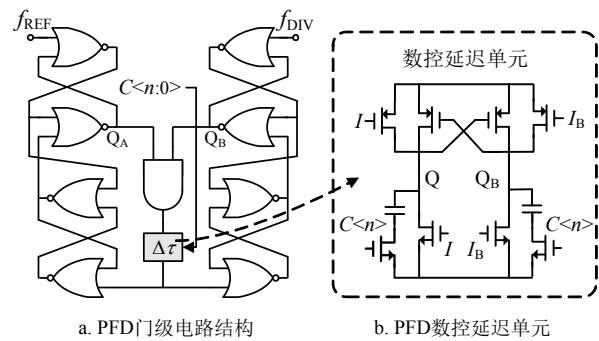


图6 鉴频鉴相器

通常, PFD存在死区效应, 使VCO输出频谱产生杂散, 影响输出频谱纯度。为了消除死区, 需在PFD的复位通路上引入额外的延时, 但工艺、温度等因素的不确定性导致PFD的复位延时难以精确评估。如延时太小, 无法完全消除死区; 而延时太大, 则会增大VCO压控线上的纹波, 恶化相位噪声性能^[15]。本文在PFD复位通路中增加若干个如图6b所示的数控延时单元, 通过配置 n 比特的数控开关 $C<n:0>$ 灵活控制复位电路的电容值, 根据 $\tau = RC$, 最终实现数控延时, 在消除死区的同时, 为电路提供最优延时, 优化PLL整体噪声性能。

2.4 电荷泵电路

锁相环的电荷泵通过输入的UP和DN信号控制恒流源对环路滤波器(LPF)进行充放电,具有无限大直流增益以及无限的捕捉范围等优点,同时也存在开关延时不匹配、电流失配等非理想因素,进而影响PLL的边带杂散和相位噪声性能。

本文采用的电荷泵电路结构如图7所示,图中,采用了与本文全差分PFD相对应的差分电荷泵,有效避免了电荷泵开关延时不匹配问题。电荷泵的电流源/电流漏电路使用了Cascode结构,有效提高了充放电电流的匹配性;采用了Dummy器件及自举电路,利用单位增益放大器改善电压跳变现象^[17],并在单位增益放大器中采用了低阈值输入管,从而保证输入电压的 $0 \sim V_{DD}$ 全摆幅,改善了电荷泵的电荷共享及时钟馈通效应。此外,还可以通过数控单元,对本文的电荷泵电流进行灵活配置,从而获得最优的环路特性。

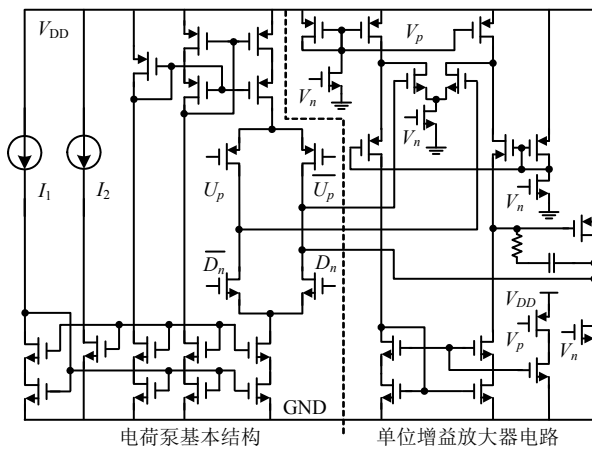


图7 差分电荷泵的电路结构

在版图设计中充分考虑匹配要求后,对电荷泵充放电电流匹配特性进行后仿,并与传统CP进行比较,如图8所示。结果表明电荷泵充放电电流在 $0.4 \sim 1.4$ V之间几乎完全一致,实现了良好的充放电匹配,说明本电路不但很好地消除了电荷泵的非理想效应,并且很好地实现了版图设计。

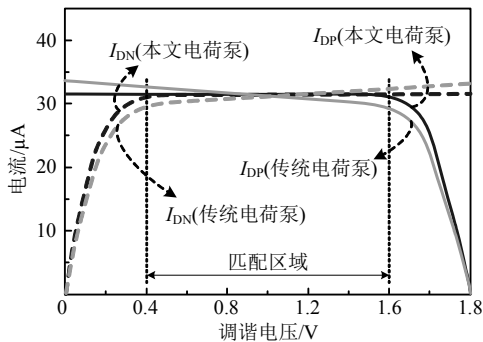


图8 电荷泵充放电电流匹配特性

2.5 环路滤波器

环路滤波器可极大地影响频率综合器的稳定性、锁定时间、相噪和杂散等性能,因此需合理选择元件参数。本文采用片外三阶无源环路滤波器,能更有效地抑制PLL的杂散和噪声,环路带宽 $\omega_c = 40$ kHz,相位裕度 $\phi_P = 50^\circ$,根据文献^[18],并进行参数优化,得到环路参数如表1所示。

表1 环路滤波器元件参数的优化结果

元件	C_1/pF	C_2/pF	$R_1/\text{k}\Omega$	C_3/pF	$R_2/\text{k}\Omega$
参数值	3.5	46	225	3	20

3 实现及测试结果

基于图1所示的频率综合器系统结构,采用TSMC $0.18 \mu\text{m}$ RF CMOS工艺,对本文提出的1.2 GHz高线性频率综合器进行投片测试,芯片有效面积为 $(1.25 \times 1.5) \text{mm}^2$ (包括Pad),芯片显微照片及测试板如图8所示,采用安捷伦E4440A频谱分析仪进行测量,相应参数及测试结果如表2所示。

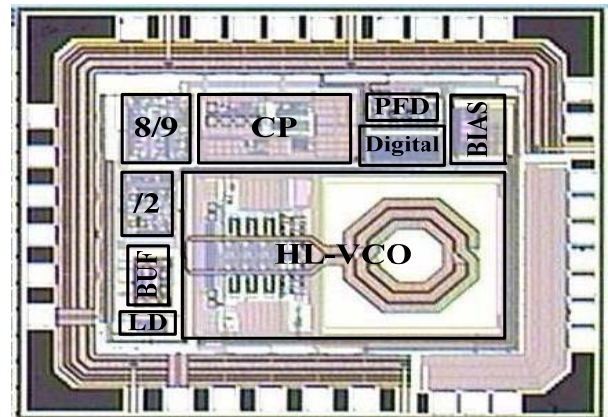


图9 高线性频率综合器芯片显微照片测试板

表2 高线性频率综合器测量结果

参数	测量结果
加工工艺	$0.18 \mu\text{m}$ CMOS
供电电压/V	1.8
输出频率/GHz	1.13~1.33
PLL 相位噪声	-99.1 dBc/Hz @100 kHz -123.48 dBc/Hz @1 MHz
参考杂散	-67 dBc@2 MHz
整体功耗/mW	20.4
芯片尺寸/ mm^2	1.25×1.5

通过SPI数控单元控制变容管阵列和开关电容阵列的数控编码位从二进制码00到11依次变化,频率综合器输出的本振信号在 $1.13 \sim 1.33$ GHz频率范围内线性变化,频率调谐范围为16.7%,测量所得的频率调谐曲线如图10所示。与仿真结果相比,输出

频率向下偏移了约20 MHz, 这是由于电路寄生效应及工艺等因素导致。偏移量在预期范围内, 且不影响系统功能。从图中可以看出, 调谐曲线在整个调谐范围内具有很好的线性度。

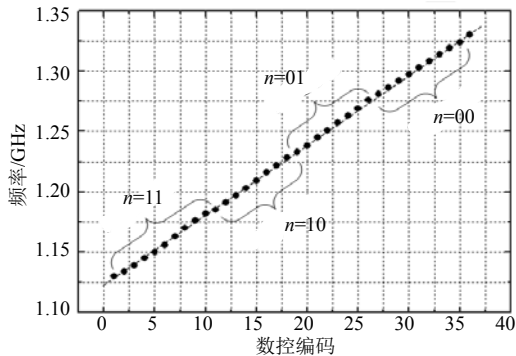


图9 测量的频率综合器输出频率调谐特性

以1.21 GHz本振信号为例, 测量的输出频谱和相位噪声如图11和图12所示。在100 kHz和1 MHz频偏处, 相噪分别为-99.1 dBc/Hz和-123.48 dBc/Hz, 低频处相位噪声的测量结果会优于此结果。在2 MHz频偏处, 测量的参考杂散为-67 dBc/Hz。与仿真结果相比, 带内相位噪声存在微小波动, 这是由于PCB测试板电源波动引起的, 通过采用电源滤波和PCB优化设计, 可有效抑制带内的噪声波动, 从而获得更优的相位噪声性能。

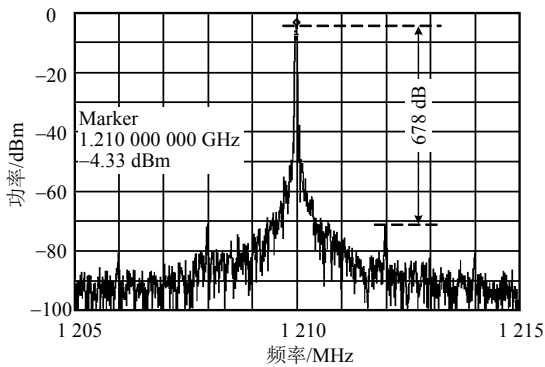


图11 测量的频率综合器输出频谱

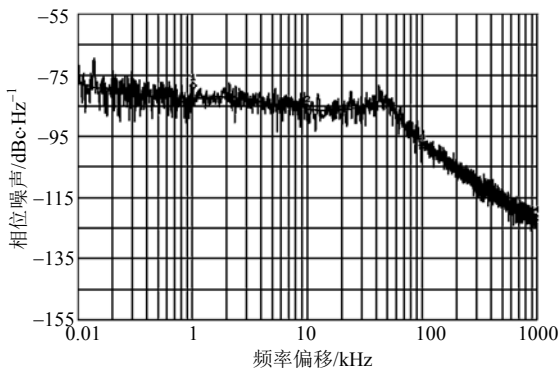


图12 测量的频率综合器相位噪声性能

本文实现的频率综合器的性能与其他文献进行了分析比较, 结果如表3所示, 可以看出, 通过采用本文提出的高线性调谐特性的VCO, 实现的频率综合器获得了123.48 dBc/Hz的相噪性能, 并且具有较好的杂散性能, 基于0.18 μm CMOS工艺, 采用1.8 V电压时, 包括数控单元、输出Buffer和锁定检测等电路的全芯片功耗为20.4 mW, 其中核心电路功耗仅约10 mW, 总体性能优于表中其他相关设计。

表3 与其他频率综合器的性能比较

参数	文献 [11]	文献 [15]	文献 [16]	文献 [18]	文献 [19]	文献 [20]	本文
CMOS Tech./μm	0.09	0.18	0.18	0.13	0.18	0.18	0.18
Range /GHz	3.8~5.15	2.4~2.64	5.15~5.35	3.96	5.45~5.65	5.27~5.6	1.13~1.33
PN /(dBc/Hz) @1MHz	-115	-104.7	-104	-113	-111	-114.3	-123.48
f_{Ref} /MHz	1	20	4	44	11	10	2
Spurs /dBc @ f_{Ref}	-70	-39.8	-40	-68.8	-80	-70	-67
Power /mW	11	14.4	18	15.6	27.5	19.8	20.4
Supply /V	1.2	0.6	1.8	1.2	1	1.8	1.8

4 总结

本文基于0.18 μm RF CMOS工艺实现了一个1.2 GHz高线性输出特性的正交频率综合器, 包括PAD的芯片面积(1.5×1.25) mm²。采用了一种低调谐灵敏度低噪声的高线性LC压控振荡器, 从而降低了系统对锁相环中其他模块的要求; 基于源极耦合逻辑实现了正交输出的高速二分频器为系统提供正交本振信号; 集成了基于“与非”触发器结构的高速双模预分频器, 提高了分频速度; 集成了数控鉴频鉴相器和全差分电荷泵, 消除了电路非理想因素, 获得良好的环路性能。对于1.21 GHz本振信号, 在100 kHz和1 MHz频偏处的相噪分别为-99.1 dBc/Hz和-123.48 dBc/Hz。该频率综合器具有从1.13~1.33 GHz的输出范围。工作电压为1.8 V时, 整个芯片的功耗为20.4 mW。

参 考 文 献

- [1] JO J G, LEE J H, PARK D, et al. An L1-band dual-mode RF receiver for GPS and galileo in 0.18 μm CMOS[J]. IEEE Trans on Microwave Theory and Techniques, 2009, 57(4): 919-927.
- [2] LIU Yao-hong, LIN T H. A wideband PLL-based G/FSK transmitter in 0.18μm CMOS[J]. IEEE Journal of Solid-State Circuits, 2009, 44(9): 2452-2462.

- [3] LEUNG L L K, LUONG H C. A 1 V 9.7 mW CMOS frequency synthesizer for IEEE 802.11a transceivers[J]. IEEE Trans on Microwave Theory and Techniques, 2008, 56(1): 39-47.
- [4] OSMANY S A, HERZEL F, SCHEYTT J C. An integrated 0.6~4.6 GHz, 5~7 GHz, 10~14 GHz, and 20~28 GHz frequency synthesizer for software-defined radio applications[J]. IEEE Journal of Solid-State Circuits, 2010, 45(9): 657-1668.
- [5] LU Lei, CHEN Jing-hong, YUAN Lu, et al. An 18 mW 1.175 ~ 2 GHz frequency synthesizer with constant bandwidth for DVB-T tuners[J]. IEEE Trans on Microwave Theory and Techniques, 2009, 57(4): 928-937.
- [6] TING Wu, PAVAN K H, KARTIKEYA M, et al. Method for a constant loop bandwidth in LC-VCO PLL frequency synthesizers[J]. IEEE Journal of Solid-State Circuits, 2009, 44(2): 427-435.
- [7] KIM C W, KOO K H, YOON S W. Fully-integrated wideband CMOS VCO with improved $f-V$ linearity and low tuning sensitivity[J]. Electronics Letters, 2010, 46(1): 29-30.
- [8] SU Pin-en, PAMARTI S. Fractional- N phase-locked-loop-based frequency synthesis: a tutorial[J]. IEEE Trans on Circuits and Systems, 2009, 56(12): 881-885.
- [9] HSIEH G C, HUNG JAMES C. Phase-locked loop techniques-a survey[J]. IEEE Trans on Industrial Electronics, 1996, 43(6): 609-615.
- [10] SUN Y, YU X, RHEE W, et al. Dual-path LC VCO design with partitioned coarse-tuning control in 65 nm CMOS[J]. IEEE Microwave and Wireless Components Letters, 2010, 20(3): 169-171.
- [11] STEPHEN P B, RICHARD R S. A 5 GHz CMOS type-II PLL with low k_{VCO} and extended fine-tuning range[J]. IEEE Trans on Microwave Theory and Techniques, 2009, 57(8): 1978-1988.
- [12] LI Zhen-rong, ZHUANG Yi-qi, LI Bing, et al. A 2.4 GHz high-linearity low-phase-noise CMOS LC-VCO based on capacitance compensation[J]. Chinese Journal of Semiconductors, 2010, 31(7): 075005-075006.
- [13] KIM J, SHIN J, KIM S. A wide-band CMOS LC VCO with linearized coarse tuning characteristics[J]. IEEE Trans on Circuits and Systems, 2008, 55(5): 399-403.
- [14] CHENG Shan-feng, TONG Hai-tao, SILVA-MARTINEZ J, et al. A fully differential low-power divide-by-8 injection-locked frequency divider up to 18 GHz[J]. IEEE Journal of Solid-State Circuits, 2007, 42(3): 583-591.
- [15] LU C T, HSIEH H H, LU L H. A low-power quadrature VCO and its application to a 0.6 V 2.4 GHz PLL[J]. IEEE Transactions on Circuits and Systems, 2010, 57(4): 793-802.
- [16] DENG P Y, KIANG J F. A 5-GHz CMOS frequency synthesizer with an injection-locked frequency divider and differential switched capacitors[J]. IEEE Trans on Circuits and Systems, 2009, 56(2): 320-326.
- [17] YANG Y C, LU S S. A single-VCO fractional- N frequency synthesizer for digital TV tuners[J]. IEEE Trans on Industrial Electronics, 2010, 57(9): 3207-3215.
- [18] ZHENG Yong-zheng, LI Wei-nan, XIA Ling-li, et al. A 3.96 GHz phase-locked loop for mode-1 MB-OFDM UWB hopping carrier generation[J]. Chinese Journal of Semiconductors, 2009, 30(7): 075003.
- [19] LEUNG G C T, LUONG H C. A 1-V 5.2-GHz CMOS synthesizer for WLAN applications[J]. IEEE Journal of Solid-State Circuits, 2004, 39(11): 1873-1882.
- [20] CHIU Wei-hao, HUANG Yu-hsiang, LIN Tsung-hsien. A dynamic phase error compensation technique for fast-locking phase-locked loops[J]. IEEE Journal of Solid-State Circuits, 2010, 45(6): 1137-1149.

编辑 张俊