

用于FIR滤波器设计的共同子表达式消除新方法

张振东, 吴 斌, 周玉梅

(中国科学院微电子研究所专用集成电路与系统研究室 北京 海淀区 100029)

【摘要】提出基于等权重准则的共同子表达式消除(CSE)方法减少有限冲击响应(FIR)滤波器的硅面积与功耗开销。该方法通过在等权重的系数位中选择子表达式,然后消除不等权重的共同子表达式,减少加法器数量的同时确保了加法器的平均位宽较小。另外,该方法基于折叠直接型结构,相对于采用转置型结构的传统方法减少约50%的寄存器开销。针对如何寻找最优的共同子表达式,介绍了一种低复杂度的矩阵搜索过程。实验结果表明,该方法相较于已有的H-CSE方法平均减少46%的电路面积以及69%的功耗;相较于V-CSE方法平均减少45%的电路面积以及68%的功耗。

关键词 加法器; 共同子表达式消除; FIR滤波器; 折叠直接型结构; 等权重准则

中图分类号 TN911

文献标志码 A

doi:10.3969/j.issn.1001-0548.2013.01.012

New Common Subexpression Elimination Method for FIR Filter Design

ZHANG Zhen-dong, WU Bin, and ZHOU Yu-mei

(Institute of Microelectronics of Chinese Academy of Sciences Haidian Beijing 100029)

Abstract A common subexpression elimination (CSE) method based on identical weight criteria is presented to reduce silicon area and power of finite impulse response (FIR) filters. The novelty of the method is twofold. Firstly, it only requires a few small size adders by selecting subexpressions composed of identical weight coefficient bits and then eliminating common subexpressions of different weight. Secondly, it utilizes the folded direct-form structure instead of the widely used transposed structure, thus approximately 50% registers can be reduced when compared with conventional methods. In order to find the optimum common subexpressions, a matrix search process with low complexity is introduced. Implementation examples show that our method offers an average reduction of 46% cell area and 69% power consumption over the existing H-CSE method, and an average reduction of 45% cell area and 68% power consumption over the V-CSE method.

Key words adders; common subexpression elimination; finite impulse response (FIR) filters; folded direct-form structure; identical weight criteria

有限冲激响应(FIR)滤波器在通带内实现线性相位并具有优良的稳定性,故已广泛应用于各种通信系统中^[1-4]。一个 N 抽头的FIR滤波器中包含 N 次乘法,乘法器需要占用大量的硬件资源与功耗^[5]。对于低速率的通信系统,可通过文献[6]所述成倍提高FIR滤波器内部工作时钟频率的方法来时分复用乘法器,但随着现代宽带通信系统数据吞吐率的不断提高,滤波器需处理的数据采样率已经达到百兆采样点每秒,而成倍提高时钟频率不利于实际电路设计与芯片后端实现。在文献[7]中,针对高速率的通信系统提出了一种时域并行FIR滤波算法,该算法一个时钟周期内能够完成多个采样点滤波,但随着并行路数的增加需要成倍复制乘法器资源。特别是在

多输入多输出(MIMO)宽带无线通信系统中,同时需要多个FIR滤波器来完成多路数据流的并行处理^[8],大量乘法器导致硬件开销过多的问题将更加突出。针对FIR滤波器中乘累加计算的硬件优化实现,研究人员已经提出了多种共同子表达式消除(CSE)方法。在文献[9]中,提出了一种水平方向共同子表达式消除方法H-CSE,通过消除各系数内出现次数最多的两种子表达式减少乘法硬件实现时所需的加法器。文献[10]中,根据滤波器中相邻系数值比较接近的特性提出了一种垂直方向共同子表达式消除方法V-CSE,通过消除相邻系数间出现的共同子表达式减少乘法实现时所需的加法器。在文献[11-12]中,对上述两种方法的效果进行了对比并提出了一种结

收稿日期: 2011-04-12; 修回日期: 2012-09-18

基金项目: 国家科技重大专项(2010ZX03005-001); 国家自然科学基金(60976022)

作者简介: 张振东(1985-),男,博士生,主要从事基于OFDM的宽带无线通信系统物理层算法及数字信号处理方面的研究。

合水平与垂直两个方向共同子表达式消除方法CHV-CSE, 相对于H-CSE、V-CSE方法能够减少10%左右的加法器数目, 但代价是搜索复杂度随子表达式的类型增加, 当滤波器系数较多时难以寻找出最优的共同子表达式。与以上文献不同的是, 本文提出的共同子表达式消除方法通过在等权重的系数位中选择子表达式, 然后将具有不等权重的共同子表达式消除, 减少加法器数量的同时确保了加法器的平均位宽较小。另外, 该方法基于FIR滤波器的折叠直接型结构, 相对于采用转置型结构的传统方法减少约50%的寄存器开销。

1 FIR滤波器原理与传统CSE方法

一个N抽头的FIR滤波器可用式(1)所示的方程描述其输出 $y(n)$ 与输入 $x(n)$ 的关系^[13]:

$$y(n) = \sum_{k=0}^{N-1} c_k x(n-k) \quad (1)$$

式中, c_0, c_1, \dots, c_{N-1} 表示滤波器的系数。

式(1)定义的FIR滤波器的直接型结构图1所示, 其中 d_0, d_1, \dots, d_{N-1} 表示输入 $x(n)$ 经延迟寄存器链的各抽头输出。

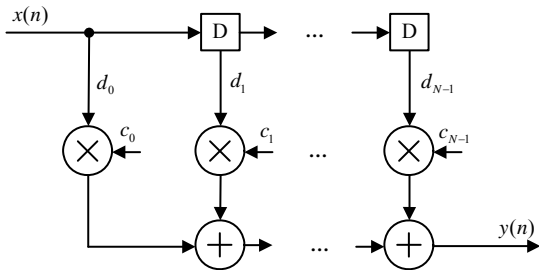


图1 FIR滤波器的直接型结构

为了利用共同子表达式以减少常量乘法实现时的硬件开销, 传统的H-CSE、V-CSE以及CHV-CSE方法利用转置定理将FIR滤波器的直接型结构转换为图2所示的转置型结构, 那么图1中的N个具有不同输入的乘法运算转变为同一个变量与N个常量相乘, 从而使图2虚线框中所示的乘法运算可采用少量硬连线的加法器及移位实现。

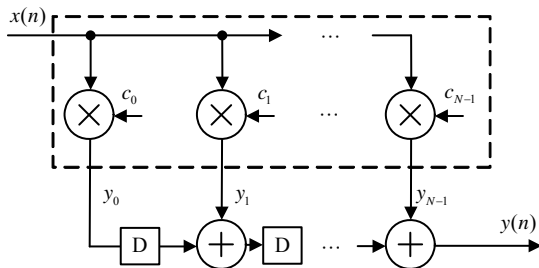


图2 FIR滤波器的转置型结构

传统H-CSE与V-CSE方法的原理图如图3所示。图中 y_0, y_1, \dots, y_4 表示滤波器各抽头的计算结果, 滤波器的系数以正则符号数表示。根据文献[9]中对H-CSE方法的说明, 在水平方向子表达式 $x + x \ll 2$ 出现3次, 则硬件实现时该3个共同表达式可共用同一加法器与移位。与H-CSE方法不同, V-CSE方法是以子表达式 $x + x[-1]$ 以及 $x - x[-1]$ 作为共同子表达式, 在图3中以椭圆标记, 该两种子表达式中 $x[-1]$ 表示输入变量 x 的单位延迟^[10]。在上述两种方法的基础上, CHV-CSE方法是在同一滤波器实现时同时利用水平与垂直两个方向共同子表达式来获得更优的性能^[12]。转置型结构能够充分利用多常量乘法中出现的共同子表达式, 但延迟寄存器的位置变换到了乘法运算之后将使寄存器的数量增加一倍甚至更多。文献[14]中的研究表明, FIR滤波器中运算单元与寄存器的硬件开销比例大约为1:0.6~0.8。另外, 该转置型结构中的加法为线性排列, 当FIR滤波器的抽头数较多时则需要大量大位宽的加法器完成各抽头结果的累加。因此, 上述方法仅考虑减少实现乘法运算所需加法器的数量, 难以有效降低FIR滤波器的整体硬件开销。

	2^0	2^1	2^2	2^3	2^4	2^5	2^6	
c_0	1	0	0	0	0	0	0	$\rightarrow y_0$
c_1	1	0	1	0	-1	0	0	$\rightarrow y_1$
c_2	0	0	-1	0	1	0	1	$\rightarrow y_2$
c_3	1	0	1	0	-1	0	0	$\rightarrow y_3$
c_4	1	0	0	0	0	0	0	$\rightarrow y_4$

图3 传统H-CSE方法及V-CSE方法

2 提出的CSE方法

从上述讨论可知, 实现FIR滤波器优化设计的关键问题是, 如何在减少加法器数量的同时使所采用的加法器平均位宽较小以及寄存器总数较少。对此, 本文提出一种基于折叠直接型结构与权重准则的CSE方法。

2.1 FIR滤波器折叠直接型结构

20抽头线性相位FIR滤波器的折叠直接型结构如图4所示。一方面, 根据线性相位FIR滤波器系数具有对称性可得系数 c_0 与 c_{19} 相等, 那么子表达式 $d_0 \times c_0 + d_{19} \times c_{19}$ 可等效变换为 $(d_0 + d_{19}) \times c_0$, 依照该变换规则将20抽头FIR滤波器的20个乘法器减少为10个。另一方面, 采用一个无乘法器的多常量乘累

加单元代替剩余的10个乘法器以及9个结构加法器，该单元通过CSE方法可采用较少的加法与移位实现。相较于图2给出的转置型结构，该结构充分利用了系数的对称性，并且由于寄存器的位置在乘加运算之前，数据的位宽较小从而实现时需要较少的延迟寄存器。

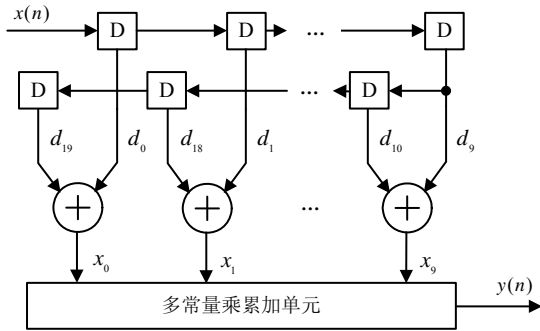


图4 折叠直接型结构

2.2 基于权重准则的CSE方法

以实现图4中的多常量乘累加单元为例，详细介绍本文提出的CSE方法。该方法的具体步骤如下：

1) 将滤波器系数以正则符号数表示。一次常系数乘法所需的加法次数等于该系数中非零位的数目减一，而正则符号数中的非零位数平均比二的补码数中的非零位数少33%，因此采用正则符号数表示各系数。图中20抽头的FIR滤波器为普通的等纹波滤波器，滤波器系数通过MATLAB的FDATool工具箱计算产生，浮点的系数均在[-1, 1]范围内。采用12位Q11格式定点量化表示，即首先将浮点的系数乘以 2^{11} 并四舍五入取整，然后将定点量化所得的整数

以2的补码数表示，最终进一步将2的补码数转换为正则符号数。2的补码数与正则符号数的转换规则可参照文献[15]中的说明。

2) 将各正则符号数的位依照权重大小排列，如图5所示。表格每一行中的位具有等权重，从第一行开始至最后一行权重依次增加，表格每一列中的位组成一个系数。表中左侧列出了该常量乘加单元中10个系数所对应的正则符号数，其中 x_0, x_1, \dots, x_9 表示各系数对应乘法的输入变量。在列的底端给出了各系数以12位Q11格式定点量化后对应的整数，权重以2的指数形式表示在行的首端。在该排列方式下，表格行内的求和可采用较小的加法器。表格第8行中的子表达式 $-x_7 \ll 8 + x_8 \ll 8$ 等效变换为 $(-x_7 + x_8) \ll 8$ ，则所需加法器的位宽减小8位。

3) 依照权重准则进行共同子表达式消除，即在等权重的位中选择子表达式，然后消除具有不等权重的共同子表达式。由于同一行中的各非零位具有相同的权重，那么可选择同一行内任意两个非零位组成子表达式，然后在所选非零位所在的列内进行共同子表达式消除。如表格第1列与第3列中子表达式 $x_1 + x_3$ 与 $x_1 + (-x_3)$ 均出现2次，重复出现的子表达式可共用一个运算单元，那么以该两列进行共同子表达式消除可减少2个加法器。表格第1列与第7列中子表达式 $x_1 + x_7$ 出现3次，那么以该两列进行共同子表达式消除也可减少2个加法器。针对如何选择最优列组合进行共同子表达式消除的问题，基于文献[16]中的矩阵分析思想提出一种适用于本文方法且执行复杂度较低的矩阵搜索过程：

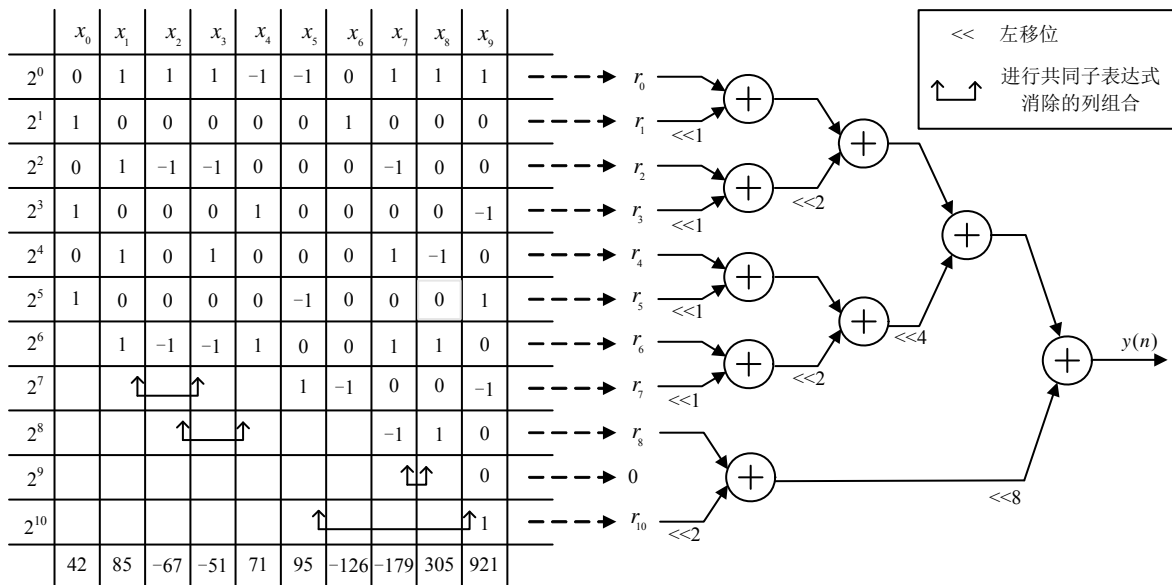


图5 提出的共同子表达式消除原理

① 对于具有 M 列的系数表格产生一个 $M \times M$ 的上三角矩阵 \mathbf{E} , 元素 $e_{i,j}$ 的值表示表格中第 i 列与第 j 列组合进行共同子表达式消除可减少的加法器数。 $e_{i,j}$ 的值可通过如下方式求得: 首先将第 i 列与第 j 列中的数按位相乘; 然后统计结果中1与-1的个数, 如果1的个数 m 大于1, 则此两列组合可减少 $m-1$ 个加法器, 如果-1的个数 n 大于1, 则可再减少 $n-1$ 个加法器。如第1列的正则符号数为[1 0 1 0 1 0 1], 第3列的正则符号数为[-1 0 1 0 -1 0 1], 二者按位相乘的结果为[-1 0 1 0 -1 0 1], 则 m 与 n 均为2, 即 $e_{1,3}=2$ 。

$$\mathbf{E} = \begin{bmatrix} 0 & e_{0,1} & e_{0,2} & \cdots & e_{0,M-1} \\ 0 & 0 & e_{1,2} & \cdots & e_{1,M-1} \\ \vdots & \vdots & \vdots & & \vdots \\ 0 & 0 & 0 & \cdots & e_{M-2,M-1} \\ 0 & 0 & 0 & \cdots & 0 \end{bmatrix} \quad (2)$$

② 从 \mathbf{E} 矩阵中找出最大的元素 e_{k_1,k_2} , 然后分别将矩阵中的 k_1 行与 k_1 列以及 k_2 行与 k_2 列中的元素置零。

③ 在更新后的 \mathbf{E} 矩阵中继续找出其中最大的元素 e_{k_3,k_4} , 然后再将矩阵中的 k_3 行与 k_3 列以及 k_4 行与 k_4 列的元素置零。

④ 重复步骤③过程直到 \mathbf{E} 矩阵中的元素全部为零。每次搜索得到的元素下标 k_1 与 k_2 、 k_3 与 k_4 等即为进行共同子表达式消除的最优列组合。

以上搜索过程中若在 \mathbf{E} 矩阵的同一行或列中出现多个相等的最大元素, 则选择系数表格 M 中非零项较少的两列所对应的一个元素作为起点, 继续搜索其他元素。该搜索执行规则简单, 针对多抽头的FIR滤波器可编写计算机程序代替人工计算。按照上述方法对图5中系数表格进行搜索, 可得双向箭头所指的4对列组合, 在硬件实现时能够减少7个加法器。

4) 将各行的计算结果进一步采用图5中的加法树求和, 最终获得滤波器输出 $y(n)$ 。在该加法树中, 从上至下每两个相邻的非零行分配给同一加法器, 从而可保留二者最多的共同权重。如 r_8 与 r_{10} 组

成一对, 子表达式 $r_8 \ll 8 + r_{10} \ll 10$ 等效变换为 $(r_8 + r_{10} \ll 2) \ll 8$, 则二者的公共权重 2^8 可直接保留至求和结果, r_{10} 的剩余权重 2^2 则通过硬连线的左移位实现。当滤波器的设计时钟频率要求较高时, 可在该加法树中插入流水线缩短关键路径。

3 实验结果与分析

为验证本文所提出方法的有效性, 在中芯国际集成电路 $0.13 \mu\text{m}$ CMOS工艺下对3个不同长度的FIR滤波器进行了实现。由于CHV-CSE方法具有较高的执行复杂度且相对于H-CSE、V-CSE方法性能改善较少, 在实验中将本文方法与传统H-CSE、V-CSE方法进行比较。在MIMO宽带无线通信系统中, 通常要求基带中FIR滤波器的通带纹波小于1 dB, 阻带抑制大于45 dB。滤波器太长将导致硬件资源开销过多, 太短则无法达到性能指标要求, 因此从实际应用需求的角度考虑选取长度分别为20、40、60抽头的等纹波FIR滤波器进行实验。文献[13]中的分析说明系数量化误差将恶化FIR滤波器的纹波特性, 因此随着滤波器长度增加系数量化位宽逐步由12位(Q11)增加至16位(Q15), 系数的产生及量化均通过MATLAB的FDATOOOL工具箱完成。表1给出了3个滤波器分别采用3种不同方法实现的ASIC综合结果。在各个实现中, 滤波器输入数据位宽为10 bit, 输出为全精度, 综合及功耗估计的频率为100 MHz。从表中数据可以得出如下结论:

1) 本文方法与H-CSE方法需要的加法器数量基本相等, 但略多于V-CSE方法需要的加法器数量。

2) H-CSE、V-CSE方法所需加法器的平均位宽基本一致, 本文方法相较于前两种方法的位宽平均减少27%与26%。随着滤波器抽头个数与量化位宽增加, 加法器位宽减小的比例由20%增加至33%。

3) H-CSE、V-CSE方法所需的寄存器数量基本相等。本文方法基于折叠直接型结构, 因此相对于前两种基于转置型结构的传统方法减少约50%的寄存器。

表1 本文方法与H-CSE、V-CSE方法比较

FIR滤波器信息	实现方法	加法器数	加法器平均位宽	寄存器数	面积/mm ²	功耗/mW
20抽头 12比特量化	H-CSE	36	16.39(100%)	408	0.040 (100%)	2.24 (100%)
	V-CSE	33	16.39(100%)	413	0.038 (95%)	2.16 (96%)
40抽头 14比特量化	本文方法	38	13.05(80%)	210	0.024 (60%)	0.86 (38%)
	H-CSE	74	17.99(100%)	804	0.087 (100%)	4.94 (100%)
60抽头 16比特量化	V-CSE	71	17.58(98%)	812	0.085 (98%)	4.79 (97%)
	本文方法	73	13.26(74%)	409	0.046 (53%)	1.47 (30%)
60抽头 16比特量化	H-CSE	118	19.02(100%)	124 3	0.15 (100%)	8.59 (100%)
	V-CSE	121	18.62(98%)	125 3	0.15 (100%)	8.44 (98%)
	本文方法	119	12.81(67%)	606	0.072 (48%)	2.11 (25%)

4) V-CSE方法在面积与功耗开销方面略优于H-CSE方法,这与文献[10]中实现结果一致。本文方法相对于H-CSE方法平均减少46%的电路面积以及69%的功耗,相对于V-CSE方法平均减少45%的电路面积以及68%的功耗。随着滤波器抽头个数与量化位宽增加本文方法的优势更加明显。

4 结束语

传统H-CSE、V-CSE以及CHV-CSE方法主要关注尽可能减少实现FIR滤波器的加法器数量,而并未考虑所需加法器的位宽及寄存器的数量。对此,本文提出在等权重的系数位中选择子表达式,然后将具有不等权重的共同子表达式消除。相较于上述传统方法,该方法在不增加加法器数量的前提下减少了加法器的平均位宽以及寄存器的数量。对于具有大量抽头的FIR滤波器,根据文中介绍的矩阵搜索过程可编写简单的计算机程序快速寻找到最优的共同子表达式。实验结果表明,该方法能够有效减小FIR滤波器的电路面积与功耗。

参 考 文 献

- [1] GHITTORI N, VIGNA A, MALCOVATI P, et al. An IEEE 802.11 and 802.16 WLAN wireless transmitter baseband architecture with a 1.2-V, 600-MS/s, 2.4-mW DAC[J]. *Journal of Analog Integrated Circuits and Signal Processing*, 2009(59): 231-242.
- [2] SHEIKH F, MILLER M, RICHARDS B, et al. A 1-190MS/s 8-64 tap energy-efficient reconfigurable FIR filter for multi-mode wireless communication[C]// *IEEE Symposium on VLSI Circuits*. Honolulu, HI: IEEE Press, 2010: 207-208.
- [3] KIM Y K, CHOI C S, LEE H. Low-complexity folded FIR filter architecture for ATSC DTV tuner[C]// *International SoC Design Conference*. Busan, South Korea: IEEE Press, 2009: 569-572.
- [4] LU Wen-qing, ZHAO Shuang, ZHOU Xiao-fang, et al. Reconfigurable baseband processing architecture for communication[J]. *IET Computers & Digital Techniques*, 2011, 5(1): 63-72.
- [5] MEHBOOB R, KHAN S A, QAMAR R. FIR filter design methodology for hardware optimized implementation[J]. *IEEE Transaction on Consumer Electronics*, 2009, 55(3): 1669-1673.
- [6] 王沁, 李占才, 齐悦. 基于两层流水线结构的FIR滤波器设计[J]. *电子学报*, 2005, 33(2): 367-369.
- WANG Qin, LI Zhan-cai, QI Yue. FIR filters design based on two hierarchy pipeline structure[J]. *Acta Electronica Sinica*, 2005, 33(2): 367-369.
- [8] 陈晖, 易克初, 李文铎. 高速数字解调中的并行处理算法[J]. *电子科技大学学报*, 2010, 39(3): 340-345.
- CHEN Hui, YI Ke-chu, LI Wen-duo. Parallel processing algorithms in high rate digital demodulation[J]. *Journal of University of Electronic Science and Technology of China*, 2010, 39(3): 340-345.
- [9] HAENE S, PERELS D, BURG A. A real-time 4-stream MIMO-OFDM transceiver: System design, FPGA implementation, and characterization[J]. *IEEE Journal on Selected Areas in Communications*, 2008, 26(6): 877-889.
- [10] HARTLEY R I. Subexpression sharing in filters using canonic signed digit multipliers[J]. *IEEE Transaction on Circuits and Systems II*, 1996, 43(10): 677-688.
- [11] JANG Y, YANG S. Low-power CSD linear phase FIR filter structure using vertical common sub-expression[J]. *Electronics Letters*, 2002, 38(15): 777-779.
- [12] VINOD A P, LAI E M. Comparison of the horizontal and the vertical common subexpression elimination methods for realizing digital filters[C]// *IEEE International Conference on Circuits and Systems*. Kyoto, Japan: IEEE Press, 2005: 496-499.
- [13] VINOD A P, LAI E M, PREMKUMAR A B, et al. FIR filter implementation by efficient sharing of horizontal and vertical common subexpressions[J]. *Electronics Letters*, 2003, 39(2): 251-253.
- [14] PROAKIS J G, MANOLAKIS D G. *Digital signal processing: Principles, algorithms, and Applications*[M]. New Jersey: Prentice Hall, 2006: 660-661.
- [15] SUZUKI K, OCHI H, KINJO S. A design of FIR filter using CSD with minimum number of registers[C]// *IEEE Asia Pacific Conference on Circuits and Systems*. Seoul, South Korea: IEEE Press, 1996: 227-230.
- [16] PARHI K K. *VLSI数字信号处理系统: 设计与实现*[M]. 陈弘毅, 白国强, 吴行军, 译. 北京: 机械工业出版社, 2004: 372-374.
- PARHI K K. *VLSI digital signal processing systems: Design and implementation*[M]. CHEN Hong-yi, BAI Guo-qiang, WU Xing-jun by translate. Beijing: China Machine Press, 2004: 372-374.
- [17] 印敏, 唐尧. 一种采用较少加法器的FIR滤波器实现方法[J]. *电子与信息学报*, 2005, 27(3): 495-497.
- YIN Min, TANG Yao. Realization of FIR filter with minimum adders[J]. *Journal of Electronics & Information Technology*, 2005, 27(3): 495-497.

编辑 张俊