

无共模反馈电路的低功耗可变增益放大器

杨 骁¹, 齐 骋¹, 王 亮¹, 谢应辉²

(1. 华侨大学信息科学与工程学院 福建 厦门 361021; 2. 北京微电子技术研究所 北京 丰台区 100076)

【摘要】设计了一种低功耗高动态范围数字控制的可变增益放大器。提出了一种新的稳定输出共模电平的方法,在负载电阻切换的同时改变流过电阻中的电流来保持电阻上的电压降不变,从而稳定输出共模电平。该方法无需额外的共模反馈电路,降低了功耗。同时采用级间电容耦合结构解决了直流失调问题,不需要直流失调校准电路。采用 TSMC 0.18 μm CMOS 工艺进行了电路设计和仿真。仿真结果表明,该可变增益放大器消耗的平均电流为504.7 μA , -3 dB带宽大于1.16 MHz,动态范围达到了81 dB,变化步长为3 dB,增益误差小于 ± 0.65 dB。

关键词 共模反馈电路; 直流失调; 增益控制; 低功耗; 可变增益放大器

中图分类号 TN432

文献标志码 A

doi:10.3969/j.issn.1001-0548.2013.06.009

Low-Power Variable Gain Amplifier Free of Common-Mode Feedback Circuit

YANG Xiao¹, QI Cheng¹, WANG Liang¹, and XIE Ying-hui²

(1. College of Information Science and Engineering, Huaqiao University Xiamen Fujian 361021;

2. Beijing Microelectronics Technology Institute Fengtai Beijing 10076)

Abstract A low-power high-dynamic range digitally controlled variable gain amplifier (VGA) is designed in this paper. First, a novel method for defining the output common-mode voltages of VGA is proposed by adjusting the current of the load resistor according to the change of its resistance to keep the voltage drop across the load resistor unchanged, so that the common-mode feedback circuit is not required for the VGA, resulting in decreased power consumption. Second, coupling capacitors are used between the stages to remove the DC offset, and hence no extra DC offset cancellation circuit is necessary. The VGA is designed and simulated in TSMC 0.18 μm CMOS process. Simulation results show that, the VGA dissipates an average current of 504.7 μA while achieving 1.16 MHz -3 dB bandwidth and providing 81 dB gain range with 3 dB resolution, and the gain error is less than ± 0.65 dB.

Key words common-mode feedback circuit; DC offset; gain control; low power consumption; variable gain amplifiers

在无线接收机系统中,由于受到发射机功率大小、收发距离远近等各种因素影响,所接收到的信号强弱变化范围很大,需采用自动增益控制(automatic gain control, AGC)电路来控制链路增益随接收信号强弱的变化而变化,避免信号过强时造成接收机阻塞或信号过弱时信号丢失,以利于提高整个接收机系统的动态范围。在AGC系统中,可变增益放大器(variable gain amplifier, VGA)是其关键组成部分,VGA的设计性能直接影响AGC的选择性和灵敏度。在现代接收机结构中,由于VGA通常位于模数转换器之前,信号强弱的检测都放在数字域中进行,因此由数字信号控制的VGA可省去模拟部

分与数字部分间的接口电路,这使数字控制的VGA得到越来越广泛的应用^[1]。

常见数字控制VGA结构有两种:一种是闭环结构,通过负反馈的方法可精确地设定增益,并且具有较高的线性度,但其带宽小,电路设计比较复杂,功耗较大^[2-4];另一种是开环结构,通过改变开环电路的跨导和负载值($A = g_m R_L$)实现增益的变化,具有带宽大,电路简单,功耗低的特点^[5-6]。

VGA的设计在满足增益变化要求的同时,还需要对带宽、线性度、功耗等折中考虑。本文提出了一种应用在短距离无线接收机系统中的低功耗,高动态范围,具有良好线性度的dB线性数字控制

收稿日期: 2012-04-09; 修回日期: 2013-04-17

基金项目: 福建省自然科学基金(2010J05135); 中央高校基本科研业务费专项资金(JB-ZR1128)

作者简介: 杨骁(1978-),男,博士,主要从事模拟/RF集成电路设计方面的研究。

VGA。该无线接收机采用低中频结构，中频频率为500 kHz，要求VGA动态范围在80 dB左右。本文中整个VGA为开环级联结构，采用一种新的稳定输出共模电平的方法，省去了共模反馈电路，以及采用电容耦合结构解决了DC失调，省去了DC失调校准电路，最终实现了增益变化范围为-6~75 dB，增益变化步长为3 dB，增益误差小于±0.65 dB的低功耗dB线性数字控制VGA。

1 VGA设计

1.1 VGA整体实现结构

对于单级并采用伪指数函数的VGA，其增益线性变化范围在30 dB左右，无法满足本文设计的要求^[7-8]；若采用闭环的反馈电阻方法来实现80 dB的增益变化范围，则需要用到大量的电阻，且电路设计复杂。因此，本文采用多级级联结构^[9-10]，使用了6级级联来满足动态范围和线性度的要求。整个VGA中，第一、第三、第五级为结构、增益设置都相同的可变增益放大器；第二、第四级为衰减器，其衰减倍数也满足dB线性可变，最后一级为缓冲级，用于提高VGA驱动电容负载能力。通过对前5级增益的设置匹配，可实现-6~75 dB间的dB线性增益变化，变化步长为3 dB。

1.2 VGA中放大器的设计

本文VGA的第一、第三、第五级为对信号进行放大的可变增益放大器，考虑到低功耗的因素，该放大器采用了结构简单的全差分源极退化放大器架构，如图1所示。

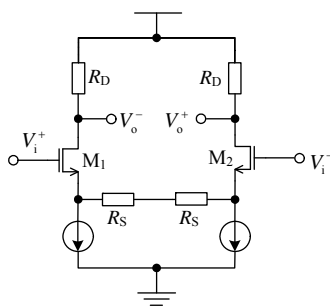


图1 源极退化电阻的可变增益放大器结构

图中放大器的增益为：

$$A_v = \frac{R_D}{R_S + 1/g_m} \quad (1)$$

式中， g_m 为输入晶体管的跨导； R_D 为负载电阻； R_S 为源极退化电阻。当跨导 g_m 足够大时，放大器的增益由电阻 R_D 和 R_S 的比值决定。但是，由于 g_m 与 $(I_D)^{1/2}$ 成正比，过大的 g_m 会使流过的漏电流增大，消耗过

多的功耗，因此必须选取一个合适的 g_m 使功耗与线性度得到合理的折中。在传统全差分源极退化数字控制VGA结构中，输出负载阻抗的变化会使VGA的输出共模电平改变，导致后级电路无法正常工作，因此需要共模反馈电路来稳定其输出共模电平。在本文结构中，通过使用两个开关来分别改变 R_D 、 R_S 的值，可获得4种不同的增益，其负载阻抗变化情况较少，对此本文提出了一种新的简单方法来稳定其输出共模电平，省去了传统的共模反馈电路。

可变增益放大器具体实现电路如图2所示，该电路通过控制信号 A_1 、 A_2 来选择负载电阻 R_D 和源极反馈电阻 R_S ，实现4种不同的增益。若忽略电流源管 M_3 、 M_{10} 和 M_5 的沟道长度调制效应对输出阻抗 R_D 和源极反馈电阻 R_S 的影响，当 A_1 、 A_2 都为低电平时，开关管 M_{13} 导通， R_7 被短路，负载 $R_D=R_5$ ，源极反馈电阻 $R_S=R_1$ ，此时增益为最小值；当 A_1 为高电平， A_2 为低电平时，开关管 M_{13} 断开，负载 $R_D=R_5+R_7=2R_5$ ，源极反馈电阻 $R_S=R_1$ ，此时增益为最小增益的2倍，即增益增大6 dB；同理，当 A_1 为低电平， A_2 为高电平时，负载 $R_D=R_5$ ，源极反馈电阻 $R_S=R_1 \parallel R_3$ ，此时实现增益为最小增益的4倍；当 A_1 、 A_2 都为高电平时，负载 $R_D=2R_5$ ，源极反馈电阻 $R_S=R_1 \parallel R_3$ ，此时实现最大增益，其值为最小增益的8倍。根据上述可知，该电路可以通过控制信号 A_1 、 A_2 选择不同的负载电阻 R_D 和源极反馈电阻 R_S 来实现以6 dB为步长变化的4种不同增益。在不同增益之间切换时，该电路能够保证输出共模电压不变，其工作原理如下：假设尾电流源 M_5 的电流大小为 I_{ss} ，电流源负载 M_3 的电流大小为 I_0 。当负载控制信号 A_1 为低电平时，开关管 M_{13} 导通，负载 R_7 被短路，负载阻抗为 R_5 ，同时开关管 M_{12} 导通，电流源管 M_{10} 的栅极被拉至 V_{DD} ， M_{10} 工作于截止状态，流过电流为0，此时输出共模电压为 $V_{DD}-R_5(I_{ss}-I_0)$ ；当负载控制信号 A_1 为高电平时，开关管 M_{13} 断开，负载阻抗为 (R_5+R_7) ，同时开关管 M_{12} 断开， M_{19} 、 M_{20} 组成的CMOS开关导通， M_{10} 与 M_9 构成电流镜，假设流过 M_{10} 的电流大小为 I_1 ，则输出共模电压为 $V_{DD}-(R_5+R_7)(I_{ss}-I_0-I_1)$ 。在电路设计时，取 $R_5=R_7$ ，为了保证负载 R_D 改变前后的输出共模电压相等，则有：

$$V_{DD} - R_5(I_{ss} - I_0) = V_{DD} - (R_5 + R_7)(I_{ss} - I_0 - I_1) \quad (2)$$

从式(2)可以得到电流的关系为 $I_{ss}-I_0=2I_1$ ，也就是说当电流 $I_1=(I_{ss}-I_0)/2$ 时，则当负载 R_D 发生变化时，可保证电路的输出共模电压能够保持不变。

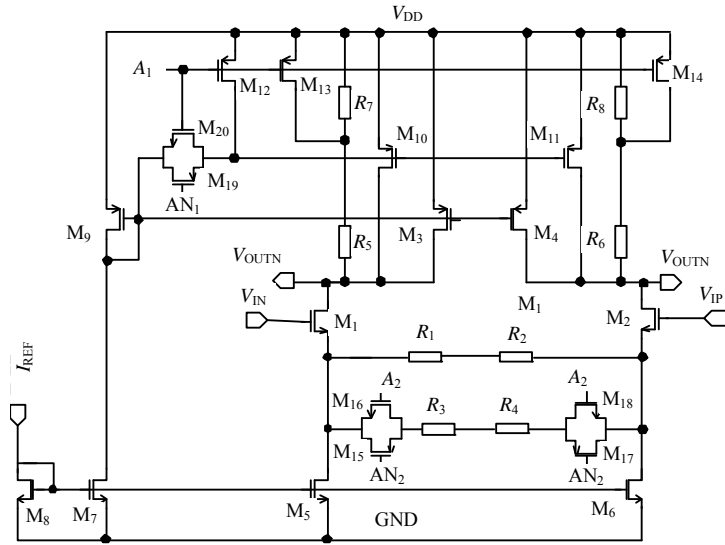


图2 可变增益放大器电路

在电路设计时, 根据对带宽的要求和功耗与线性度的折中考虑, 电路的关键设计参数为 $I_{ss} = 50 \mu\text{A}$, $I_0 = 20 \mu\text{A}$, $I_1 = 15 \mu\text{A}$, $R_5 = R_7 = 50 \text{k}\Omega$, 并且电流源管 $M_3(M_4)$ 、 $M_{10}(M_{11})$ 和 $M_5(M_6)$ 的 L 值取较大的值($L = 8 \mu\text{m}$)。在上述参数下, 电流源 M_3 、 M_{10} 管的等效输出阻抗远远大于 $R_5 + R_7$, 因此可以忽略它们对输出负载 R_D 的影响, 同理也可以忽略 M_5 管的等效输出阻抗对源极反馈电阻 R_5 的影响。电路仿真结果表明, 在4种不同增益之间切换时, 其输出共模电压变化范围小于 10mV , 所以该电路能够较好地稳定输出共模电压, 省去了额外的共模反馈电路, 降低了电路的复杂性和功耗。

1.3 VGA中衰减器的设计

为了获得大的动态范围, 并实现 3dB 增益步长的线性变化, 本文在整个VGA结构中插入了两个衰减器, 通过控制信号来配合其他三级可变增益放大器调整VGA的增益, 衰减器的电路结构如图3所示。该衰减器由一个缓冲器和一组用于对信号进行衰减的电阻阵列组成。缓冲器采用差分输入, 差分输出的源极跟随器结构, 用来驱动负载; 图中 R_L 与电流源 I_{dc} 一起为电路提供直流偏置, 作为下一级的输入共模电平。衰减器的增益通过数字控制字控制4个开关($K_1 \sim K_4$)来实现不同电阻分压比, 从而获得4种不同的增益值。

在整个VGA结构中, 衰减器分别位于第二、第四级, 即两个可变增益放大器之间。在衰减器的输入端, 通过电容 C_1 、 C_2 将前一级的输出信号经缓冲器后耦合到衰减电路, 衰减器的直流电压由上拉电

阻 R_L 和偏置电流 I_{dc} 决定, 这样可避免由于前级的直流失调带来的影响, 不需要额外的直流失调校准电路来抑制直流失调。

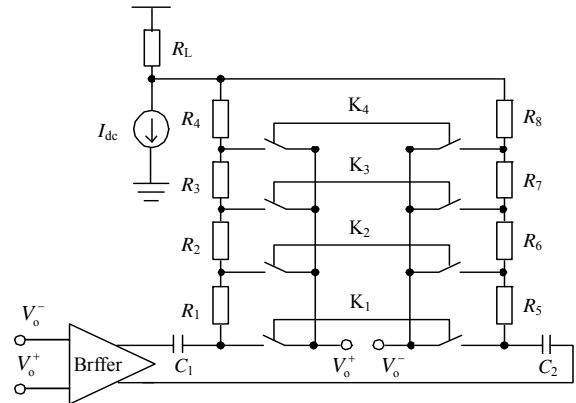


图3 可变增益衰减器电路

衰减器中RC网络可等效成如图4所示高通滤波器, 其输出电压可表示为:

$$V_o = V_i \frac{j\omega RC}{j\omega RC + 1} \quad (3)$$

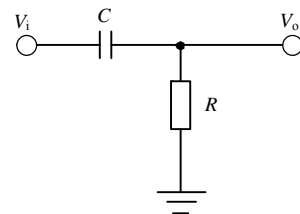


图4 衰减器中的等效RC网络

其 -3dB 截止点角频率为 $\omega_c = 1/RC$ 。由于源极退化电阻的可变增益放大器具有低通滤波器特性, 而衰减网络为高通滤波器, 所以整个VGA具有带通滤波

器特性。VGA的高频截止频率主要由源极退化电阻的可变增益放大器的负载电阻 R_D 和其输出端的寄生等效电容决定；低频截止频率主要由衰减器中等效电阻 R 与电容 C 决定。因此应对电阻电容值进行合理的选择，使VGA带宽满足设计要求。

1.4 输出级电路设计

VGA输出缓冲级电路结构如图5所示，电路由两个单位增益的缓冲器并联组成，如图中虚线框所示，该电路用于提高放大器的负载驱动能力。在该电路中，Buffer1采用PMOS管作为输入管，Buffer2采用NMOS管作为输入管，这样有效地提高了电路的输入共模范围以及输出摆幅。

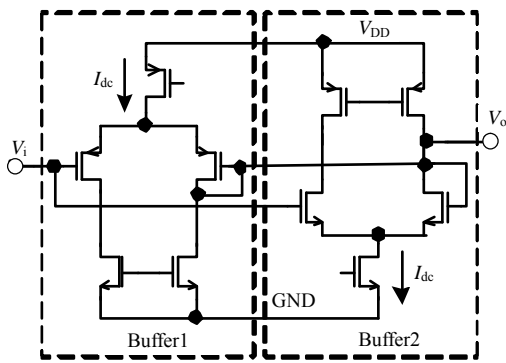


图5 VGA输出级电路

2 电路仿真及分析

整个VGA电路采用TSMC0.18 μm CMOS工艺实现，并用Spectre对电路进行仿真验证。VGA在不同控制信号下的增益如图6所示，其中横坐标为VGA数字控制字组合而成的28种不同增益控制状态，纵坐标为不同控制状态下对应的增益。从图中可以看出，该VGA增益从-6 dB变化到75 dB，变化间隔为3 dB，其增益分布与理想的指数函数曲线非常接近。VGA实际增益与理想dB线性增益的误差如图7所示，增益误差小于 ± 0.65 dB。图8为VGA在增益等于-6 dB时的输入1 dB压缩点，即当其增益比理想值下降1 dB时所对应的输入功率为6.24 dBm。图9给出了VGA增益等于-6 dB时的频率响应，结果显示该VGA呈现带通特性，其低频截止频率为67 kHz，高频截止频率为1.56 MHz。VGA在不同增益时，其带宽在1.16 MHz~1.5 MHz之间变化，变化范围较小，整个电路在3 V电源电压下消耗的平均电流为504.7 μA 。

表1给出了本文和相关文献中VGA的增益变化范围、带宽和功耗的对比，通过比较可以得到本文

结构在增益变化范围和功耗方面具有较好的性能。

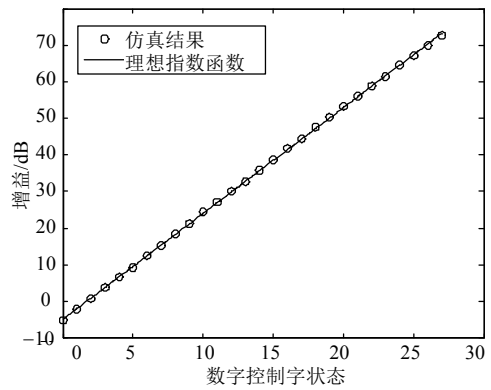


图6 增益仿真结果与理想指数函数曲线

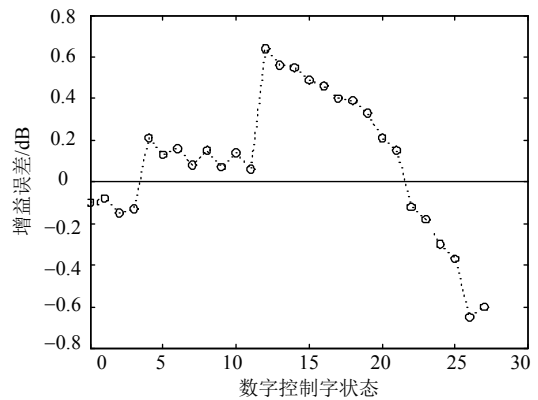


图7 增益误差仿真结果

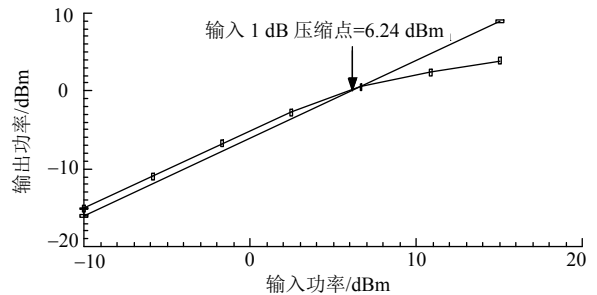


图8 输入1 dB压缩点仿真结果

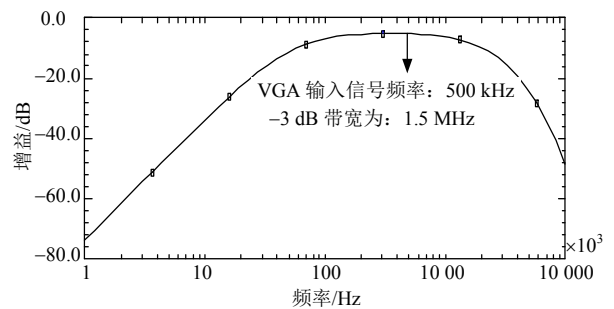


图9 增益等于-6 dB时的频率响应

表1 本文与其他文献VGA的相关性能比较

	增益变化范围/dB	带宽/MHz	功耗/mW
文献[2]	60(-30~30)	4.0	4.6
文献[11]	70(0~70)	15	4.0
文献[12]	24(-9~15)	1.6	2.5
本文	81(-6~72)	1.1	1.5

3 结 论

本文实现了一种基于全差分源极退化放大器结构的数字可变增益放大器电路, 采用了一种新的稳定输出共模电平的方法, 省去了共模反馈电路, 降低了电路复杂性和功耗, 同时采用电容耦合结构解决了直流失调问题。电路采用TSMC 0.18 μm CMOS工艺进行了设计和仿真, 实现了增益变化范围为 $-6\sim 75$ dB, 增益变化步长为3 dB, 增益误差小于 ± 0.65 dB的低功耗dB线性数字控制VGA。整个电路在3 V电源电压下消耗的平均电流为504.7 μA , 具有较好的低功耗特性。

参 考 文 献

- [1] 王自强, 池保勇, 王志华. CMOS可变增益放大器设计概述[J]. 微电子学, 2005, 35(6): 612-617.
WANG Zi-qiang, CHI Bao-yong, WANG Zhi-hua. An overview of CMOS variable gain amplifiers[J]. Microelectron, 2005, 35(6): 612-617.
- [2] RAHMATIAN B, MIRABBASI S. A low-power 75 dB digitally programmable variable-gain amplifier in 0.18 μm CMOS[J]. Canadian Journal of Electrical and Computer Engineering, 2007, 32(4): 181-186.
- [3] ELWAN H O, ISMAIL M. Digitally programmable decibel linear CMOS VGA for low-power mixed-signal applications [J]. IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing, 2000, 47(5): 388-398.
- [4] HSU C C, WU J T. A highly linear 125 MHz switched resistor programmable gain amplifier[J]. IEEE Journal of Solid-State Circuits, 2003, 38(10): 1663-1670.
- [5] CALVO B, CELMA S, AZNAR F, et al. Low-voltage CMOS programmable gain amplifier for UHF applications [J]. Electronics Letters, 2007, 43(20): 1087-1088.
- [6] KIM T W, KIM B. A 13-dB IIP3 improved low-power CMOS RF programmable gain amplifier using differential circuit transconductance linearization for various terrestrial mobile DTV applications[J]. IEEE Journal of Solid-State Circuits, 2006, 41(4): 945-953.
- [7] DUONG Q H, NGUYEN T K, LEE S G. CMOS exponential current-to-voltage circuit based on newly proposed approximation method[C]// Proceedings of the 2004 International Symposium on Circuits and Systems. Newyork: IEEE, 2004.
- [8] SAITO R, HOSODA K, HYOGO A, et al. A 1.8 V 75 dB dynamic-range CMOS, variable gain amplifier[C]// Proceedings of the 29th European Conference on Solid-State Circuit Estoril. Portugal: IEEE, 2003.
- [9] DONG Qiao, GENG Li, SHAO Zhi-biao. A low voltage, low-power CMOS high dynamic range dB-linear VGA for super heterodyne receivers[J]. Semiconductors, 2007, 28(11): 1690-1695.
- [10] NGUYEN H H, DUONG Q H, LEE S G. 84 dB 5.2 mA digitally-controlled variable gain amplifier[J]. Electronics Letters, 2008, 44(5): 344-345.
- [11] ZHANG Bing-zhao, LI Zhi-qun. A low power programmable gain amplifier with 70-dB control range in CMOS technology[C]// 2011 IEEE 13th International Conference on Communication Technology. Newyork: IEEE, 2011: 1074 -1077.
- [12] YOO S J, RAVINDRAN A, ISMAIL M. A low voltage CMOS transre-sistance based variable gain amplifier [C]// Proceedings of the 2004 International Symposium on Circuits and Systems. Newyork : IEEE, 2004.

编辑 张俊