

· 电子信息材料与器件 ·

一种新型用于VGA的微功耗指数电流电路

杜永乾, 庄奕琪, 李小明, 刘伟峰

(西安电子科技大学微电子学院 西安 710071)

【摘要】提出了一种适用于可变增益放大器(VGA)的微功耗指数电流电路。该电路结构简单,以偏置在亚阈值区的MOSFET为核心器件,并利用其漏源电流 I_{ds} 与栅源电压 V_{gs} 呈指数关系的特性产生指数电流。该电路从系统架构出发,通过引入阈值监测电路,控制电压转换电路及求和电路,补偿了其阈值的工艺和温度偏差,使该指数电流电路具有较好的工艺和温度偏差抑制能力。基于TSMC 0.18 μm 标准的CMOS工艺平台验证表明:该指数电流电路dB线性动态范围为30 dB,其线性误差为 ± 0.41 dB,最低工作电压为0.9 V,功耗为11 μW 。

关键词 指数电流; 指数线性; 微功耗; 亚阈值; 可变增益放大器

中图分类号 TN402

文献标志码 A

doi:10.3969/j.issn.1001-0548.2014.02.024

New Type of Low-Power Exponential Current Generator for VGA

DU Yong-qian, ZHUANG Yi-qi, LI Xiao-ming, and LIU Wei-feng

(School of Microelectronics, Xidian University Xi'an 710071)

Abstract A novel low-power exponential current generator used for VGA is proposed in this paper. This generator adopts a MOSFET biased in sub-threshold region to generate exponential current. To compensate the variation of process and temperature, a threshold detector and a system solution are proposed. The exponential current generator is verified in TSMC 0.18 μm standard CMOS technology. Within a ± 0.41 dB error, the dynamic range of the proposed exponential current generator is 30 dB. The power consumption is 11 μW , and the minimum power source voltage is 0.9 V.

Key words exponential current; linear-in-dB; low power; sub-threshold; VGA

自动增益控制(AGC)系统起着调节整个接收机动态接收范围的作用,保证基带处理输入端恒定的电平。在AGC系统中,VGA是其主要组成部分。为了使AGC系统环路的建立时间与输入信号的幅度无关,VGA的增益需要随控制信号的线性变化而指数变化,即增益与控制信号成dB线性关系。在CMOS工艺中,由于电流与电压的平方律关系,不能直接得到指数关系的控制电路。因此,在VGA的设计中需要构造专门的指数控制电路,以满足增益的dB线性变化要求。VGA一般主要包括指数控制电路和可变增益单元两部分^[1-2]。其中,指数控制电路是组成VGA的重要模块,其作用是产生随着控制电压 V_c 呈指数特性的电流/电压,并控制可变增益单元的增益与控制信号 V_c 成dB线性关系。

当前构造指数控制电路主要有以下两种技术:

1) 双击晶体管。在双极型晶体管中,电流与电压成

指数关系,可以直接利用该特性产生指数电流或电压。在CMOS工艺中,可以利用寄生三极管,构造出具有指数规律的电流/电压关系;2) 指数函数近似。利用指数的Taylor展开式或者Taylor展开式的变形产生指数规律的电流/电压关系^[3-6],但两种指数控制电路功耗非常大。近年来,随着各种能效新需求,特别是便携式设备系统的不断普及,如便携式超声波、助听器等医疗设备、电磁计量器以及蓝牙和无绳电话等其他电池供电的便携式通信设备,对电路的功耗提出了越来越苛刻的要求,VGA的低电压、微功耗设计越来越受到重视,成为CMOS模拟集成电路设计的热点。因此,寻求上述两种指数控制电路的微功耗替代方案成为一个亟待解决的问题。

低功耗最直接的实现方式是降低工作电压和工作电流,将MOSFET偏置在亚阈值区是降低电路系统功耗的有效方法。随着工艺发展和研究的不断深

收稿日期: 2009-07-07; 修回日期: 2013-10-02

基金项目: 部级预研基金

作者简介: 杜永乾(1982-),男,博士,主要从事低功耗射频、模拟集成电路设计方面的研究。

入, 工作亚阈值区的MOSFET电路设计技术日渐成熟, 有相当多的论文和实验测试结果均证实了工作在亚阈值区电路的可行性和可靠性^[7-12]。因此, 本文提出了一种结构简单、用于VGA的超微功耗指数电流电路。该指数电流电路将MOS器件偏置在亚阈值区, 并利用其漏源电流的指数关系产生指数电流, 具有极低的工作电压和功耗, 可以较好地满足微功耗VGA的应用需求。

1 亚阈值MOSFET的I-V特性

当MOSFET栅源电压大于其阈值电压, 即当 $V_{gs} > V_{th}$ 时, MOSFET工作在强反型区, 其漏源电流 I_{ds} 主要来自电场引起的漂移电流, 并与 V_{gs} 成平方律的关系; 当MOSFET栅源电压小于其阈值电压, 而又足够大, 以至于在硅表面产生一个耗尽区时, MOSFET工作在弱反型区(亚阈值区), 其漏源电流 I_{ds} 主要来源是MOSFET的源/漏端载流子浓度差产生的扩散电流, 与双极型晶体管类似, 该扩散电流跟栅源电压呈指数变化。对于偏置在亚阈值区的MOS管, 其漏源电流 I_{ds} 与栅源电压 V_{gs} 的I-V特性^[13]有:

$$I_{ds} = I_{s0} \exp\left(\frac{V_{gs} - V_{th} - V_{off}}{nV_T}\right) \left(1 - \exp\left(-\frac{V_{ds}}{V_T}\right)\right) \quad (1)$$

$$I_{s0} = \mu_0 \frac{W}{L} \sqrt{\frac{q\epsilon_{si} N_{ch}}{2\Phi_s V_T}} \quad (2)$$

式中, W/L 为MOS管的栅宽和栅长之比; V_T 为热电势(常温时为26 mV); n 为倾斜因子, 它定义为栅电压 V_G 关于夹断电压 V_p 的微分, 其值在1~2之间; V_{th} 为MOS管的阈值电压; V_{ds} 为MOS管的漏源电压差。 V_{off} 决定了当 $V_{gs}=0$ 时的漏电流的大小。 μ_0 、 ϵ_{si} 、 Φ_s 以及 N_{ch} 分别为工艺参数。

当 $V_{ds} > 4V_T$ 时, 对式(1)有:

$$I_{exp} = I_{ds} = I_{s0} \exp\left(\frac{V_{gs} - V_{th} - V_{off}}{nV_T}\right) \quad (3)$$

由此可以看出, 当工艺和器件的尺寸确定后, 通过控制电压 $V_c = V_{gs} < V_{th}$, 即可以产生符合要求的指数电流, 如图1所示。

文献[9]验证了偏置在亚阈值区的MOSFET在低噪声放大器(LNA)中工作的可靠性; 文献[10]的测试结果验证了偏置在亚阈值区的MOSFET在压控振荡器(VCO)中工作的可靠性; 文献[11]的测试结果验证偏置在亚阈值区的MOSFET在带隙基准电路(bandgap)中工作的可靠性。因此, 式(3)所示的指数I-V特性得到了较好的验证, 利用偏置在亚阈值区的

MOSFET实现微功耗指数电流电路是一种可行而且可靠的方案。

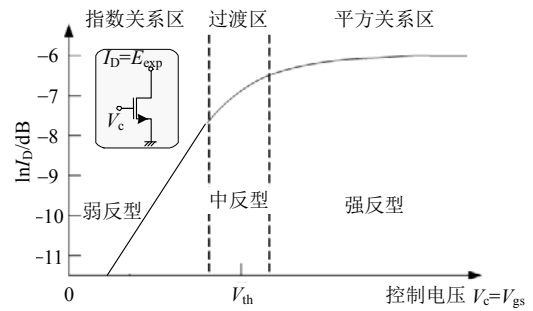


图1 MOSFET的I-V特性曲线图

2 指数电流电路

2.1 指数电流电路系统架构

利用偏置在亚阈值区的MOSFET产生指数电流存在MOSFET阈值工艺偏差的问题: 由于MOSFET为表面器件, V_{th} 的工艺偏差非常大。在某些工艺下, 其阈值偏差可达200 mV。特别是当温度存在较大的变化时, V_{th} 偏差甚至会更大。因此如果直接利用外部控制电压 V_c 调整MOSFET的栅源电压 V_{gs} , 其产生的指数电流 I_{exp} 将会有极大的工艺偏差和温度偏差, 甚至会导致控制电压 V_c 脱离亚阈值区, 影响指数电流的稳定性。

为了解决上述问题, 本文提出了一种新型指数电流电路, 其系统架构如图2所示。该电路通过阈值监测电路实时监测MOSFET的阈值电压 V_{th} , 然后通过控制电压转换电路以及求和电路, 将控制电压 V_c 转换为控制电压 V_c' 。偏置在亚阈值区的MOSFET M_c 是指数电流电路的核心器件, 它在 V_c' 控制下产生指数电流 I_{exp} 。

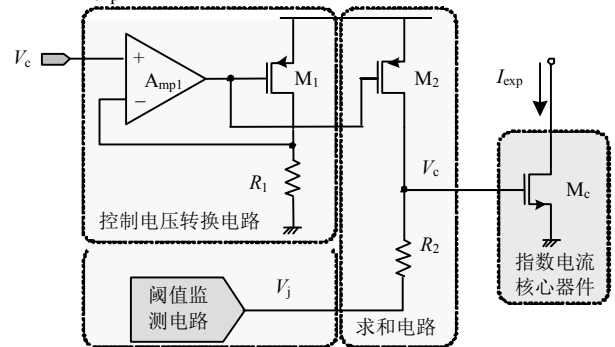


图2 指数电流电路系统图

控制电压转换电路中的运放 A_{mp1} 与 M_1 、 R_1 构成电流-电压转换电路。由于运放的负反馈作用, 可得MOS管 M_1 的电流为:

$$I_{M_1} = \frac{V_c}{R_1} \quad (4)$$

由此可得:

$$V'_c = V_c \frac{R_2}{R_1} + V_j \quad (5)$$

其中阈值监测电路输出的基准电压 V_j 反应了MOS器件阈值电压随工艺以及温度的实时偏差,通过该电压可以实时补偿 M_c 的阈值偏差。在下面的分析计算中可以看到,该阈值监测电路使得指数电流电路具有较好的工艺偏差和温度偏差抑制性。

2.2 阈值监测电路

阈值监测电路如图3所示,该电路由启动电路、监测电路和缓冲电路组成。对监测电路,为获得较好的电源抑制比,引入由运放 A_{mp2} 形成的负反馈,且 A_{mp2} 负反馈作用使得: $V_{a1}=V_{a2}$,因此 M_3 - M_4 漏源电压 V_{ds} 相等,有效地抑制了沟长调制效应,以保证电流的精确复制。由 $I_{ds6}=I_{ds3}=I_{R_3}$, $I_{ds5}=I_{ds4}$,结合图4,从式(3)推导可得:

$$I_{R_3} = nV_T \frac{1}{R_3} \ln \left(\frac{S_4 S_6}{S_3 S_5} \right) \quad (6)$$

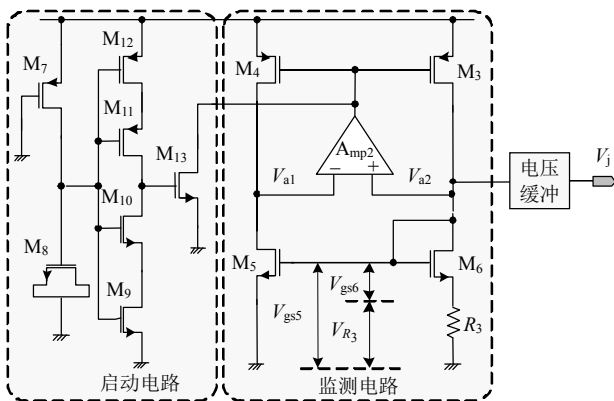


图3 阈值监测电路原理图

式中, $S_3 \sim S_6$ 分别是 $M_3 \sim M_6$ 的栅宽和栅长之比。通过调整电阻 R_3 和MOS管 $M_3 \sim M_6$ 尺寸,可以精确地控制电流,使得 M_5 、 M_6 可靠地偏置在亚阈值区。

结合式(2)、式(3),经缓冲放大器输出的阈值监测电路最终转化电压为:

$$V_j = V_{th} + V_{off} + nV_T \ln \left(\frac{S_4 I_{R_3}}{S_5 S_3 \gamma} \right) \quad (7)$$

$$\gamma = \mu_0 \sqrt{\frac{q \epsilon_{si} N_{ch}}{2 \Phi_s V_T}} \quad (8)$$

在图3所示的启动电路中,有源电阻 M_7 和MOS电容 M_8 组成RC上电检测网络。其中 $M_9 \sim M_{13}$ 均采用大尺寸倒比管设计,以有效降低瞬态漏电流,降低启动电路的瞬态功耗。在达到稳态后,该启动电路的直流功耗为零。因此所设计的启动电路具有很低的功耗。

2.3 动态控制电压以及输出电流

将式(7)代入式(5),得到最终的动态控制电压为:

$$V'_c = V_c \frac{R_2}{R_1} + V_{th} + V_{off} + nV_T \ln \left(\frac{S_4 I_{R_3}}{S_5 S_3 \gamma} \right) \quad (9)$$

在采用图2所示的系统架构和阈值监测电路后,将式(6)、式(9)代入式(3),并化简取对数可得:

$$\ln(I_{exp}) = \ln \left(\frac{I_{s0} n V_T S_4}{R_3 S_5 S_3 \gamma} \ln \left(\frac{S_4 S_6}{S_3 S_5} \right) \right) + V_c \frac{1}{n V_T} \frac{R_2}{R_1} \quad (10)$$

在设计参数确定后,式(10)中第一项为常数,第二项中 V_c 的系数仅取决于电阻比值以及MOS器件的尺寸大小。

综上,采用上述的阈值监测电路后,得到了与控制电压 V_c 呈dB线性的指数电流。当设计参数确定后,该指数电流的dB斜率仅取决于电阻比值以及MOS器件的尺寸大小,而与MOSFET的阈值电压以及温度无关。因此该指数电流具有很好的线性度,且不随温度以及工艺的偏差而变化,具有较好的工艺和温度偏差抑制能力。需要指出的是,运放 A_{mp1} 、 A_{mp2} 以及输出缓冲电路仍然会由于版图以及工艺制造等问题而存在失调。即使如此,该失调仅会带来指数电流 I_{exp} 的直流偏差,并不会影响其dB线性度。

2.4 最低工作电压分析

本文提出的指数电流电路,最低工作电压取决于阈值监测电路、控制电压转换电路以及求和电路共3个电路最低工作电压中的最大值。

1) 对阈值监测电路,有:

$$V_{th,det,min} = V_{gs5} + V_{ds4} \quad (11)$$

2) 对控制电压转换电路,有:

$$V_{V_c,conmin} = \text{Max} \{V_c\} + V_{ds1} \quad (12)$$

3) 对求和电路,有:

$$V_{sum,min} = \text{Max} \{V_{th}\} + V_{R_2} + V_{ds2} \quad (13)$$

对本文采取的TSMC0.18 μm CMOS工艺,PMOS和NMOS的阈值分别为 $V_{thP}=449 \text{ mV}$, $V_{thN}=475 \text{ mV}$,考虑工艺和温度偏差, $\text{Max} \{V_{th}\}=575 \text{ mV}$; $V_{ds}>200 \text{ mV}$,就可以保证 I_D 与 V_{ds} 的无关性; $\text{Max} \{V_c\}=500 \text{ mV}$ 。在本文设计中, $(mR_2)/(nR_1)=1/4$,由式(6)可得, $V_{R_2} V_{R2}=125 \text{ mV}$ 。从上可以看出,最低工作电压由求和支路决定。因此,该指数电流电路的最小工作电压为:

$$V_{sum,min} = \text{Max} \{V_{th}\} + V_{R_2} + V_{ds2} = 0.575 + 0.125 + 0.2 = 0.9 \text{ V} \quad (14)$$

可见本文设计的指数电流电路具有很低的工作电压。

3 仿真结果

本文提出的指数电流电路在TSMC 0.18 μm 2P4M CMOS 工艺平台下仿真验证, 电源电压为0.9 V。其中, 为保证阈值监测电路中MOS管 M_5 与指数电流核心器件 M_c 的匹配性, 并为了降低沟长调制效应, 均采用大尺寸设计。

如图4所示为控制电压 V_c 与指数电流 I_{exp} 的仿真结果, 其中控制电压 V_c 的变化范围为0~0.5 V。

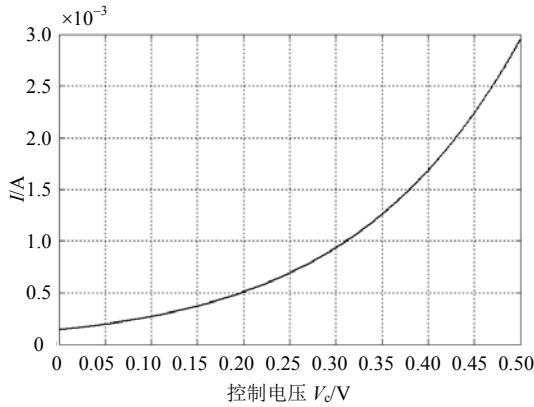


图4 控制电压 V_c 与指数电流 I_{exp} 的仿真结果

I_{exp} 在不同温度和工艺角下(PT角)的dB线性仿真结果如图5所示(tt角: Typical corner@27 $^{\circ}\text{C}$; ss角: Slow corner@-40 $^{\circ}\text{C}$; ff角: Fast corner@80 $^{\circ}\text{C}$)。

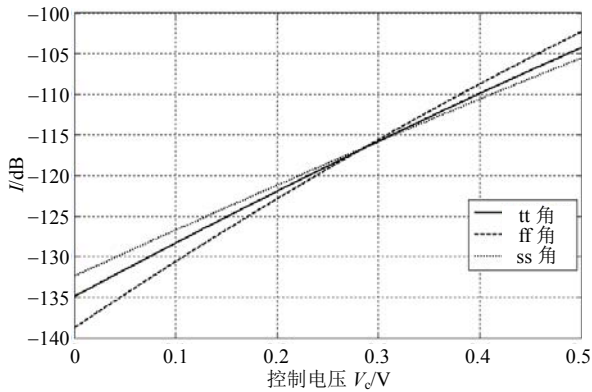


图5 不同PT角下 I_{exp} 仿真结果

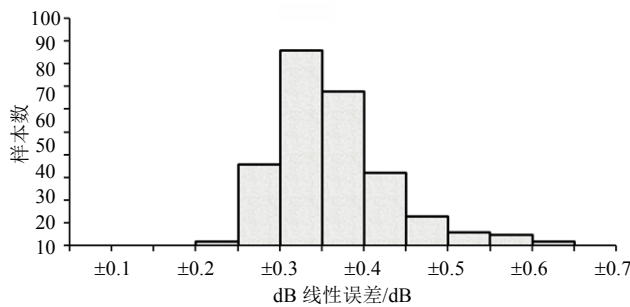


图6 I_{exp} 的dB线性误差Monte Carlo仿真结果

在0~0.5 V的控制电压范围内, 对指数电流 I_{exp} 的dB线性误差进行Monte Carlo分析(250个点), 其仿

真结果的直方图如图6所示。仿真结果显示, 在30 dB的线性动态范围内, I_{exp} 的平均dB线性误差为 ± 0.41 dB, 其中, dB线性误差落在 $\pm 0.3 \sim \pm 0.5$ dB范围内的采样点占94%。结合图5及图6的仿真结果, 可以看出, 本文所提出的指数电流电路具有较好的dB线性度和dB线性误差。

表1给出了基于本文设计的指数电流电路的仿真结果, 并与其他电路对比。相对于其他电路, 本文提出的指数电流电路在dB线性动态范围与其他电路相近的情况下, 具有相似的dB线性误差, 以及更低的工作电压。该指数电流功耗为11 μW , 其中, 阈值监测电路的功耗为1.8 μW , 控制电压转换电路的功耗为7.9 μW , 求和电路的功耗为1.3 μW 。

表1 指数控制电路对比表

参数	本文	文献[6]	文献[14]	文献[15]
工作电压/V	0.9	1.2	2.5	1.25
功耗/ μW	11	--	--	--
动态范围/dB	30	17	22	31
误差/dB	± 0.41	± 0.5	± 1	± 0.5
工艺/ μm	0.18	0.09	0.25	0.25

4 结束语

本文提出了一种结构简单用于VGA的工作在亚阈值区的指数电流电路。该电路采用偏置在亚阈值区的MOSFET作为核心器件来产生随控制电压 V_c 呈指数特性的电流 I_{exp} 。通过引入阈值监测电路, 并通过控制电压转换电路以及求和电路, 将控制电压 V_c 转换成随着实时温度和工艺变化的控制电压 V'_c , 补偿MOSFET阈值的工艺偏差以及随温度的偏差, 并保证将MOSFET可靠地偏置在亚阈值区。仿真结果显示, 该指数电流电路具有30 dB的动态范围, 其dB线性误差为 ± 0.41 , 具有和其他电路相近的动态范围和线性误差。该电路的功耗仅为11 μW , 最低工作电压为0.9 V。

参 考 文 献

[1] 恽廷华. 宽范围高线性CMOS可变增益放大器的研究与实现[D]. 南京: 东南大学, 2007.
YUN Ting-hua. The research and realization of wide-range, high-linearity CMOS variable gain amplifier[D]. Nanjing: Southeast University, 2007.

[2] YANG S H, WANG C C. A 48 dB dynamic gain range/stage linear-in-dB low power variable gain amplifier for direct conversion receivers[C]//Interhational SoC Desigh Conference. Chengdu: IEEE, 2011.

[3] DE LA C B, LOPEZ-MARTIN C A. A ± 0.75 V compact CMOS class-AB current-mode exponential variable gain

- amplifier[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2007, 54(12): 1042-1046.
- [4] DUONG Q H, NGUYEN T K, LEE S G. Ultra low-voltage low-power exponential voltage-mode circuit with tunable output range[C]//Proceedings of the International Symposium on Circuits and Systems. [S.l.]: IEEE, 2004.
- [5] LEI Qian-qian, CHEN Zhi-ming, SHI Yin, et al. A low-power CMOS VGA with 60 dB linearly controlled gain range for GPS application[C]//9th International Conference on Solid-State and Integrated-Circuit Technology. Beijing: IEEE Press, 2008: 1669-1672.
- [6] KALENTERIDIS V, VLASSIS S, SISKOS S. A CMOS linear-in-dB VGA based on exponential current generator [C]//2011 6th International Conference on Design & Technology of Integrated Systems in Nanoscale Era (DTIS). Athens: IEEE, 2011.
- [7] LUIS H, PIMENTA, MORENO R L. An ultra low-voltage ultra low-power CMOS threshold voltage reference[J]. IEICE Transactions on Electronics, 2007, E90-c(10): 2044-2050.
- [8] 余国义. 低压低功耗CMOS基准参考源的设计[D]. 武汉: 华中科技大学, 2006.
YU Guo-yi. Design of low-power CMOS reference[D]. Wuhan: Huazhong University of Science and Technology, 2006.
- [9] LEE H, MOHAMMADI S. A 3 GHz subthreshold CMOS low noise amplifier[C]//IEEE RFIC Symp. San Francisco, CA: IEEE Press, 2006: 494-497.
- [10] LEE H, MOHAMMADI S. Subthreshold low phase noise CMOS LC VCO for ultra low power applications[J]. IEEE Microwave and Wireless Components Letters, 2007, 17(11): 796-798.
- [11] 杜永乾, 庄奕琪, 李小明, 等. 一种新型无源UHF RFID带隙基准电路[J]. 西安电子科技大学学报(自然科学版), 2013, 40(2): 148-152.
DU Yong-qian, ZHUANG Yi-qi, LI Xiao-ming, et al. A new type bandgap reference for UHF RFID tag[J]. Journal of Xidian University(Natural Science Edition), 2013, 40(2): 148-152.
- [12] GIUSTOLISI G, PALUMBO G, CRISCIONE M, et al. A new voltage reference topology based on subthreshold MOSFETs[C]//Proceedings of the 28th European Conference on Solid-State Circuits. Florence, Italy: IEEE, 2002.
- [13] LIU W, JIN X, CHEN J, et al. BSIM3v3.2.2 MOSFET model users' manual[EB/OL]. [2009-06-01]. <http://www.eecs.berkeley.edu/Pubs/TechRpts/1999/ERL-99-18.pdf>.
- [14] De LA CRUZ BLAS C A, LÓPEZ-MARTÍN A. Novel low-power high-dB range CMOS pseudo-exponential cells[J]. ETRI Journal, 2006, 28(6): 732-738.
- [15] MAUNDY B, GIFT S. Novel pseudo-exponential circuits[J]. IEEE Transactions on Circuits and Systems, 2005, 52(10): 675-679.

编辑 张俊

(上接第271页)

参 考 文 献

- [1] DE NIZ D, LAKSHMANAN K; RAJKUMAR R. On the scheduling of mixed-criticality real-time task sets[C]//Proceedings of the 30th Real-Time Systems Symposium. Washington: IEEE Computer Society, 2009: 291-300.
- [2] BARUAH S, LI Hao-han, STOUGIE L. Towards the design of certifiable mixed-criticality systems[C]//Proceedings of the 16th Real-Time and Embedded Technology and Applications Symposium (RTAS). Stockholm, Sweden: IEEE Computer Society, 2010: 13-22.
- [3] LI Hao-han, BARUAH S. Load-based schedulability analysis of certifiable mixed-criticality systems[C]//Proceedings of the 10th ACM International Conference on Embedded Software. Scottsdale, Arizona, USA: ACM, 2010: 99-108.
- [4] BARUAH S, BONIFACI V, LI Hao-han. Scheduling real-time mixed-criticality jobs[J]. Mathematical Foundations of Computer Science, 2010, 62(81): 90-101.
- [5] BARUAH S, BONIFACI V, GIANLORENZO D A, et al. Mixed-criticality scheduling of sporadic task systems algorithms[C]//Proceedings of the 19th Annual European Symposium. Saarbrücken, Germany: Springer-Verlag, 2011, 9: 5-9.
- [6] HAOHAN L, BARUAH S. An algorithm for scheduling certifiable mixed-criticality sporadic task systems[C]//Proceedings of the 31st Real-Time Systems Symposium (RTSS). California, USA: IEEE Computer Society, 2010: 183-192.
- [7] SHA L, RAJKUMAR R, LEHOCZKY J P. Priority inheritance protocols: an approach to real-time synchronization[J]. IEEE Transactions on Computers, 1990, 39(19): 1175-1185.
- [8] MOLLISON M S, MOLLISON J P, ERICKSON J H, et al. Mixed-criticality real-time scheduling for multicore systems[C]//IEEE 10th International Conference on Computer and Information Technology (CIT). Bradford, UK: IEEE Computer Society, 2010: 1864-1871.
- [9] HUANG Ming-huang, GILL C, LU Cen-yang. Implementation and evaluation of mixed-criticality scheduling approaches for periodic tasks[C]//Proceeding of the 18th Real-Time and Embedded Technology and Applications Symposium (RTAS). Beijing: IEEE Computer Society, 2012: 23-32.
- [10] BARUAH S. Mixed criticality schedulability analysis is highly intractable[EB/OL]. [2009-08-25]. <http://www.cs.unc.edu/~baruah/Pubs.shtml>.

编辑 张俊