

WLAN MIMO-OFDM系统DSAP设计与实现

朱勇旭¹, 易芝玲¹, 吴斌², 周玉梅²

(1. 中国移动研究院 北京 西城区 100053; 2. 中国科学院微电子研究所 北京 朝阳区 100029)

【摘要】针对无线局域网(WLAN)多输入多输出和正交频分复用(MIMO-OFDM)系统中矩阵的QR分解预处理的延时问题,提出一种分布式脉动阵列处理器(DSAP)进行QR分解预处理。该处理器通过脉动阵列边界单元和内部单元中流水线CORDIC计算,实现子载波信道矩阵的QR分解分布式处理,不同子载波QR分解分布于脉动阵列边界单元和内部单元中CORDIC流水线计算的不同级。与串行脉动阵列处理器(SSAP)相比,在复杂度几乎没有增加情况下,DSAP结构充分利用时钟周期,分解延时约为SSAP结构的8%。在SMIC 0.18 μm CMOS工艺下,该分布式脉动阵列结构应用于2发2收MIMO-OFDM数模混合芯片中,芯片测试验证结果表明,数据处理延时能有效减少。

关键词 分布式脉动阵列处理器; 低延时; MIMO-OFDM; QR分解

中图分类号 TN911

文献标志码 A

doi:10.3969/j.issn.1001-0548.2014.03.006

Design and Implementation of Distributed Systolic Array Processor for WLAN MIMO-OFDM Systems

ZHU Yong-xu¹, YI Zhi-ling¹, WU Bin², and ZHOU Yu-mei²

(1. China Mobile Research Institute Xicheng Beijing 100053; 2. Institute of Microelectronics, Chinese Academy of Sciences Chaoyang Beijing 100029)

Abstract To reduce the delay of QR-decomposition in WLAN (wireless local area network) MIMO-OFDM (multiple input multiple output and orthogonal frequency division multiplexing) systems, a distributed systolic array processor (DSAP) is proposed. The structure uses the coordinate rotation digital computer (CORDIC) in the boundary and internal cells of systolic array, and distributes the QR-decomposition of different sub-carriers into the different stages of the pipelining operation of CORDIC in systolic array. Compared with serial systolic array processor (SSAP), the clock periods can be put to great use in the DSAP, and the delay is reduced by 92% with the same complexity. In SMIC 0.18 μm CMOS technology, a 2 \times 2 analog-digital mixed MIMO-OFDM chip with DSAP has been implemented, and the test results show that it can reduce the delay of data processing effectively.

Key words distributed systolic array processor; low-delay; MIMO-OFDM; QR-decomposition

MIMO检测器是多输入多输出和正交频分复用(MIMO-OFDM)系统中最为核心的模块。在检测过程中常利用QR分解将检测问题转换为树形结构的星座点搜索,可取得性能和复杂度的平衡^[1-2]。矩阵的QR分解常用的3种方法是:修正格拉姆-施密特(modified Gram-Schmidt, MGS)正交化方法^[3]、Householder变换法和Givens旋转法。Givens旋转法采用协调旋转数字计算(CORDIC)运算实现Givens旋转^[4],通过多次Givens旋转达到矩阵的QR分解目的,在实现上,脉动阵列是常用实现结构,无需复杂乘法、除法和开方等运算,具有结构规则和扩展性强等特点。

无线局域网(WLAN)802.11n/ac协议规定支持

2 \times 2到8 \times 8天线配置,支持20/40/80/160 M带宽,需要对QR分解模块进行可配置设计以支持不同天线维数和子载波数(不同带宽对应不同子载波数)。WLAN通信系统需要进行ACK反馈机制,规定反馈时间不能超过16 μs 。根据这些应用需求,本文对传统的串行脉动阵列处理器(serial systolic array processor, SSAP)进行改进^[5],提出一种分布式脉动阵列结构。通过对分布式脉动阵列的分析和验证,该结构相对于已有的设计在处理延时、天线数和子载波数可扩展性、资源开销方面均有较优越的性能。

1 QR分解及脉动阵列

MIMO-OFDM系统频域复数模型可表示为:

收稿日期: 2013-02-04; 修回日期: 2013-11-28

基金项目: 国家科技重大专项(2013ZX03004007-004); 国家自然科学基金(61204026)

作者简介: 朱勇旭(1983-),男,博士,主要从事MIMO-OFDM系统算法及SoC实现方面的研究。

$$\mathbf{r}(k) = \mathbf{h}(k)\mathbf{s}(k) + \mathbf{n}(k) \quad (1)$$

式中, $\mathbf{s}(k)$ 为发送复数信号矢量; $\mathbf{r}(k)$ 为接收复数信号矢量; $\mathbf{h}(k)$ 为复数信道矩阵; $\mathbf{n}(k)$ 为复数白噪声矢量, 其中 k 为子载波序号。

可进一步将式(1)表示为实数域形式:

$$\begin{bmatrix} \Re(\mathbf{r}(k)) \\ \Im(\mathbf{r}(k)) \end{bmatrix} = \begin{bmatrix} \Re(\mathbf{h}(k)) & -\Im(\mathbf{h}(k)) \\ \Im(\mathbf{h}(k)) & \Re(\mathbf{h}(k)) \end{bmatrix} \times \begin{bmatrix} \Re(\mathbf{s}(k)) \\ \Im(\mathbf{s}(k)) \end{bmatrix} + \begin{bmatrix} \Re(\mathbf{n}(k)) \\ \Im(\mathbf{n}(k)) \end{bmatrix} \quad (2)$$

等效写为:

$$\mathbf{Y}(k) = \mathbf{H}(k)\mathbf{X}(k) + \mathbf{N}(k) \quad (3)$$

式中, \Re 和 \Im 指取实部和虚部; $\mathbf{H}(k)$ 、 $\mathbf{X}(k)$ 、 $\mathbf{Y}(k)$ 、 $\mathbf{N}(k)$ 分别是实数域的信道矩阵、发送矢量、接收矢量、白噪声。

数学上对矩阵 \mathbf{H} 进行QR分解得到正交酉矩阵 \mathbf{Q} 和上三角矩阵 \mathbf{R} , \mathbf{Q} 满足 $\mathbf{Q}^H\mathbf{Q} = \mathbf{I}$, \mathbf{I} 为单位阵, 其相互关系和表达式如下:

$$\mathbf{H} = \mathbf{Q}\mathbf{R} \quad (4)$$

在实现上, 常采用脉动阵列结构实现上述QR分解过程, 如图1所示, 其中圆形是边界单元, 正方形是内部单元。边界单元工作于CORDIC运算向量模式, 将信道元素组成的向量旋转至 x 轴, 实现元素消零并向右输出旋转角度; 内部单元工作于CORDIC运算旋转模式, 根据输入角度对向量进行旋转, 并向下输出旋转后向量虚部和向右传递输入角度。左边的上三角阵列用于计算 \mathbf{R} 矩阵, 其输入是列延时后的信道矩阵, 右边的方阵用于计算 \mathbf{Q} 矩阵, 其输入是列延时后的单位阵。脉动阵列结构处理过程可参考文献[6]。

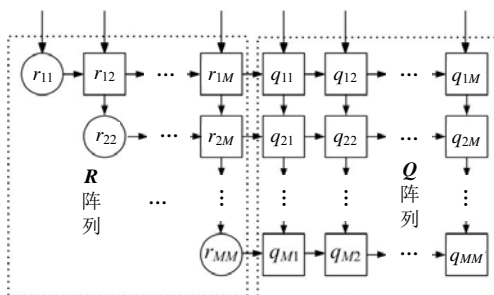


图1 QR分解的脉动阵列

2 WLAN系统特点及分布式脉动处理算法

2.1 WLAN系统特点

WLAN系统利用不同天线流上接收到的长训练

序列进行信道估计, 然后将估计得到信道矩阵 \mathbf{H} 送入QR矩阵分解模块, 经过一定矩阵分解延时后, 得到的分解矩阵 \mathbf{Q} 和 \mathbf{R} 将存入 \mathbf{Q} 和 \mathbf{R} 矩阵存储器中, 再根据数据OFDM符号中子载波号读取与其对应的 \mathbf{Q} 和 \mathbf{R} 矩阵, 进行MIMO处理得到检测信号, 其中, QR分解的延时会直接增加系统延时, 如图2所示。文献[5]采用的串行脉动阵列处理器结构中, 下一子载波必须等前一子载波分解完毕才能输入, 造成更大延时, 其延时随子载波数线性增加, 在80 MHz工作频率下对52个子载波(20 MHz带宽)信道系数进行QR分解的延时是57.2 μs , 即4 576个时钟周期, 远超出了WLAN协议规定的反馈时间16 μs 。在WLAN的40/80/160M带宽模式下, 其延时将进一步增加。

2.2 分布式脉动阵列处理算法

对于不同天线配置, 只需要扩展图2所示的脉动阵列。为了解决传统串行脉动阵列中处理延时随子载波数线性增加的问题, 文献[6]提出了分布式脉动阵列处理算法, 其中分布式脉动阵列处理算法的核心思想包含以下两部分:

1) 采用新的信道系数输入规律, 改变传统的子载波串行输入方式, 对不同子载波信道矩阵系数进行分组交织处理后输入脉动阵列。

2) 进行脉动阵列的分布式计算。将分组交织后的信道矩阵按照列延时方式输入脉动阵列, 脉动阵列中边界单元和内部单元CORDIC采用流水线计算后, 不同子载波信道矩阵的QR分解将分布于脉动阵列中CORDIC流水线运算的不同级。由于边界单元和内部单元流水线级数均是 T , 而且同一子载波信道系数相邻行以间隔 T 个周期输入脉动阵列, 所以同一子载波信道矩阵在脉动阵列中进行QR分解过程里, 每隔 T 个时钟周期将与本子载波下一行的信道系数相遇, 组成的向量在边界单元和内部单元进行CORDIC向量模式和旋转模式的流水线计算。在保证每个子载波QR分解完成的同时, 实现不同子载波信道矩阵的QR分解分布于脉动阵列CORDIC流水线的不同级, 该方式充分利用了脉动阵列的流水线特性, 时间利用率可达到100%, 有效减小了处理延时, 适合WLAN通信系统应用。

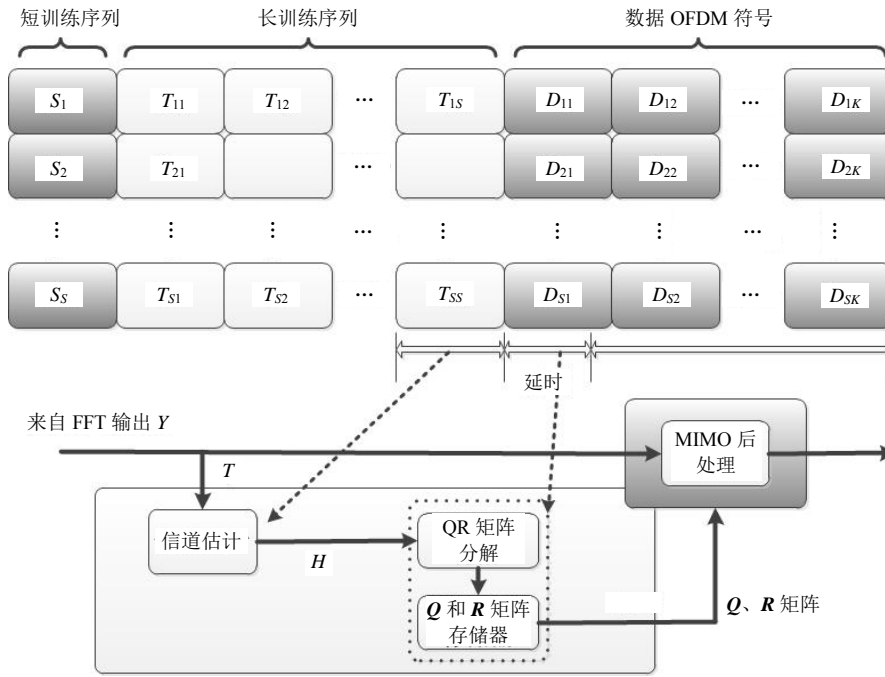


图2 WLAN系统MIMO检测过程

3 分布式脉动阵列结构

3.1 整体结构

分布式脉动阵列处理器架构如图3所示, 用于

$M \times M$ 的实数信道矩阵的QR分解。图中圆形单元是脉动阵列的边界单元, 方形单元是脉动阵列的内部单元, 均采用流水线设计, 级数均为 T 。

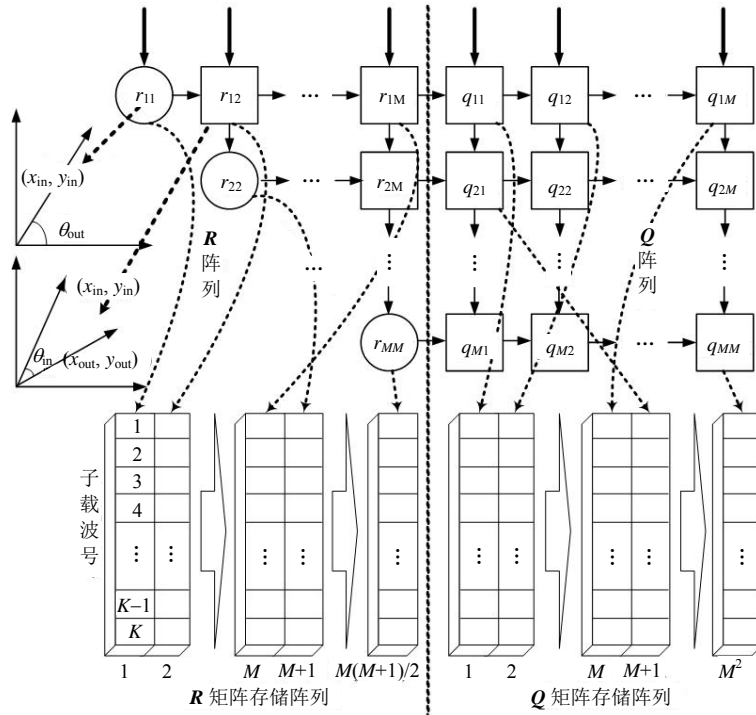


图3 分布式脉动阵列处理器架构

以CORDIC级数 T 为基数对所有的 K 个子载波进行分组, 将每组 T 个子载波按照如前所述的交织规律进行处理, 记为 $[P_{(i)}, E]$, 其中 $P_{(i)}$ 表示第 i 组信

道矩阵交织后的矩阵; 然后将每组信道矩阵交织后的矩阵 $[P_{(i)}, E]$ 按列排列, 以每列延时 T 个时钟周期输入脉动阵列中。左边 $M \times M$ 的上三角阵用于计算

R 矩阵, 输入经过交织后的信道矩阵系数; 右边 $M \times M$ 的方阵用于计算 Q 矩阵, 输入经过交织后的单位矩阵。圆形单元(边界单元)在CORDIC向量模式下, 将输入向量 (x_{in}, y_{in}) 旋转至 x 轴, 并向右输出旋转角度。方形单元(内部单元)在CORDIC旋转模式下, 将向量 (x_{in}, y_{in}) 旋转输入角度 θ_{in} , 得到新的向量值 (x_{out}, y_{out}) 。在对信道矩阵进行QR分解时, 利用

$M(M+1)/2$ 组深度为 K 的存储器, 存 K 个子载波信道矩阵分解得到的 R 矩阵; 利用 M^2 组深度为 K 的存储器, 存 K 个子载波信道矩阵分解得到的 Q 矩阵。下面将具体描述分布式脉动阵列的实现细节。

3.2 边界单元和内部单元CORDIC流水线结构

如图4所示, 图a是边界单元CORDIC流水线结构, 图b是内部单元CORDIC流水线结构。

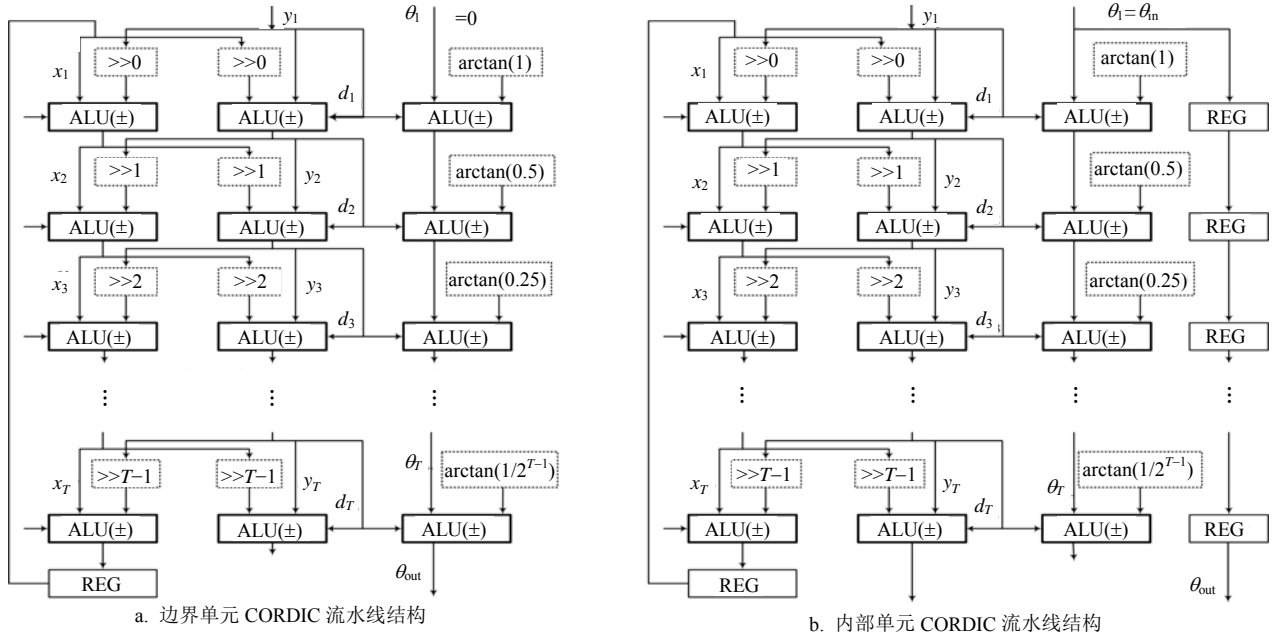


图4 CORDIC流水线结构

边界单元工作于CORDIC向量模式, 采用流水线计算, 将输入 y_{in} 与边界单元内部存储值 x_{in} 组成向量 (x_{in}, y_{in}) 旋转到 x 轴, 向右输出旋转角度 $\theta = \arctan \frac{y_{in}}{x_{in}}$, 并用 $\sqrt{x_{in}^2 + y_{in}^2}$ 更新内部存储器, 运算过程采用式(5)所示的 T 级流水线迭代逼近处理, 初始 $\theta_1 = 0$, $x_1 = x_{in}$, $y_1 = y_{in}$, T 级流水线处理后, 得到的 $\theta_{out} = \theta_{T+1} \approx \theta = \arctan \frac{y_{in}}{x_{in}}$, $y_{T+1} \approx 0$, $x_{T+1} \approx \sqrt{x_{in}^2 + y_{in}^2}$, 输出角度 $\theta_{out} = \theta_{T+1}$, 并用 x_{T+1} 更新内部存储值。CORDIC向量模式的目的是得到旋转角度 $\theta = \arctan \frac{y_{in}}{x_{in}}$, 在第 i 次迭代中, 根据 y_i 的符号确定下次旋转角度的方向参数 d_i , 旋转角度的大小为 $\tan^{-1}(2^{-i})$, 根据旋转角度的方向和大小可确定旋转后的 x_{i+1} 、 y_{i+1} 和 θ_{i+1} 值, 经过 T ($T = 12 \sim 14$) 次迭代后, 输出的 x_{T+1} 、 y_{T+1} 和 θ_{T+1} 可接近真实值。当交织后信道系数流水线输入边界单元中, T 级CORDIC流水线上将连续分布从子载波1~子载波

T 的信道矩阵元素的迭代处理, 相互之间没有干扰, 子载波信道系数经过 T 级CORDIC流水线迭代处理后, 将与输入边界单元的信道系数重新组合为新的向量来进行一样的迭代处理, 而此时输入的信道系数和边界单元输出的旋转值 x_{T+1} 同属于一个子载波。采用交织后的信道系数输入方式和流水线结构的边界单元实现了同一子载波CORDIC向量模式处理的同步性和不同子载波在边界单元中CORDIC向量模式的分布式处理。

$$\begin{cases} x_{i+1} = x_i - y_i d_i \times 2^{-i} \\ y_{i+1} = y_i + x_i d_i \times 2^{-i} \\ \theta_{i+1} = \theta_i - d_i \tan^{-1}(2^{-i}) \end{cases} \quad d_i = \begin{cases} 1 & y_i < 0 \\ -1 & \text{其他} \end{cases} \quad (5)$$

内部单元工作于CORDIC旋转模式, 采用流水线计算, 将输入的 y_{in} 与内部存储值 x_{in} 组成向量 (x_{in}, y_{in}) 旋转输入角度 θ_{in} , 得到旋转后向量 $(x_{in} \cos \theta_{in} + y_{in} \sin \theta_{in}, -x_{in} \sin \theta_{in} + y_{in} \cos \theta_{in})$, 同时向下输出 $(-x_{in} \sin \theta_{in} + y_{in} \cos \theta_{in})$ 和向右输出输入角度 θ_{in} , 并用 $(x_{in} \cos \theta_{in} + y_{in} \sin \theta_{in})$ 更新内部存储值, 实际运算过程采用式(6)所示的 T 级流水线迭代逼近处

理, 初始 $\theta_1 = \theta_{in}$, $x_1 = x_{in}$, $y_1 = y_{in}$, 经 T 级流水线处理后, 得到 $\theta_{T+1} \approx 0$, $y_{T+1} \approx -x_{in} \sin \theta + y_{in} \cos \theta$, $x_{T+1} \approx x_{in} \cos \theta + y_{in} \sin \theta$, 向下输出 $y_{out} = y_{T+1}$ 和向右输出输入角度 $\theta_{out} = \theta_{in}$, 并用 x_{T+1} 更新内部存储值。CORDIC旋转模式的目的是根据输入角度对向量进行旋转, 在第 i 次迭代中, 根据 θ_i 的符号确定下次旋转角度的方向参数 d_i , 旋转角度的大小为 $\tan^{-1}(2^{-i})$; 根据旋转角度的方向和大小可确定旋转后的 x_{i+1} 、 y_{i+1} 和 θ_{i+1} 值, 经过 T ($T = 12 \sim 14$) 次迭代后, 输出的 x_{T+1} 、 y_{T+1} 和 θ_{T+1} 可接近真实值。输入旋转角度来自边界单元的输出角度, 而边界单元得到输出角度需要 T 个时钟周期且要保证分解过程的同步性, 所以交织后信道系数需要按每列延时 T 个时钟周期输入, 当边界单元输出的旋转角度输入内部单元时, 正好和同一子载波的信道矩阵系数相遇, 然后在内部单元中进行CORDIC流水线旋转模式处理。交织信道系数输入方式和CORDIC流水线旋转处理实现了同一子载波CORDIC旋转模式处理的同步性和不同子载波在内部单元中CORDIC旋转模式的分布式处理。

$$\begin{cases} x_{i+1} = x_i - y_i d_i \times 2^{-i} \\ y_{i+1} = y_i + x_i d_i \times 2^{-i} \\ \theta_{i+1} = \theta_i - d_i \tan^{-1}(2^{-i}) \end{cases} \quad d_i = \begin{cases} -1 & \theta_i < 0 \\ 1 & \text{其他} \end{cases} \quad (6)$$

4 FPGA和ASIC实现及结果分析

本文设计采用Verilog HDL描述。首先, 使用ModelSim仿真工具进行功能验证; 然后, 对设计进行FPGA综合并将其加入基于FPGA的2发2收802.11n原型系统中进行系统级验证, 通过WLAN专用测试设备IQNXN进行测试, 能正确解调发射的数据帧。将通过FPGA验证的2发2收802.11n系统进行ASIC实现, 设计了2发2收数模混合MIMO-OFDM SoC, 采用SMIC 0.18 μm CMOS工艺, 芯片面积为 37.5 mm^2 ($7.5 \text{ mm} \times 5.0 \text{ mm}$), 如图5所示。采用QFP-176封装, SoC中集成4路ADC、4路DAC和数字基带(面积为 19.2 mm^2), 支持802.11a/g/n协议, 支持20 MHz带宽和52个数据子载波。其中MIMO检测器采用QR-ZF算法, QR分解采用提出的分布式脉动阵列处理器结构, QR-ZF检测器的面积为 5.76 mm^2 (其中QR分解面积为 3.86 mm^2)。图6是通过FPGA验证的2发2收802.11n系统, 采用130 Mb/s数据率进行高清视频同步传输。

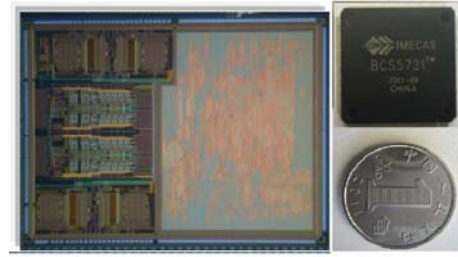


图5 2发2收MIMO-OFDM SOC



图6 2发2收MIMO-OFDM SoC系统演示图

1) 资源开销分析

表1是使用Altera Stratix II EP2S180对 2×2 802.11n系统芯片进行FPGA综合得到的基带整体资源和QR-ZF检测器资源开销。作为基带芯片中主要的计算模块, 分布式脉动阵列预处理单元占用了47%的计算逻辑资源和43%的寄存器资源。本文设计采用全CORDIC计算, 避免了复杂的除法、乘法、开方, 在资源开销上得到有效减小。

表1 2发2收802.11n基带处理器主要模块硬件开销

模块	LUT	REG	MEM	DSP
基带整体/个	46 934	35 888	173 291	182
分布式脉动阵列/个	22 384	15 486	32 880	0
ZF后向相消/个	2 482	2 056	0	32
边界(内部)单元/个	984	576	1 264	0

2) 延时分析

分布式脉动阵列将进行56个子载波QR分解, 从信道系数输入到56个子载波分解处理完成共需要270个时钟周期, 在80 MHz工作频率下延时大小为 $3.375 \mu\text{s}$, 每个子载波处理平均延时是4.8个时钟周期, 而实际每个OFDM符号是320个时钟周期, 在数据OFDM符号来时, 信道估计和信道系数QR分解预处理已经完成, 无需进行缓存处理。与文献[7-9]相比, 在延时上均有很大优势。

3) 天线可扩展性分析

采用脉动阵列结构的QR分解单元有很好的天线可扩展性。根据天线数, 直接扩展相应数目的边界单元和内部单元就可构造不同天线配置下的脉动阵列。在 3×3 天线配置下(实数信道矩阵是 6×6), 脉

动阵列左边是 6×6 的上三角阵, 6个边界单元分布于对角线, 上三角阵中其余位置均是内部单元, 右边是由内部单元组成的 6×6 的方阵。在其他天线配置下, 可依此规律构造。

5 结束语

IEEE 802.11n/ac协议的产品设计及SoC研究实现成为产业和学术界的关注热点, 低延时、低复杂度及可扩展性的QR分解预处理器是WLAN接收机中核心部分。本文提出的分布式脉动阵列处理结构有效解决了QR分解预处理器的延时大、复杂度高及扩展性差的问题, 该结构的延时是传统串行脉动阵列的8%, 避免了大量复杂的乘法、除法及开方等运算, 对于具有不同子载波数和天线维数的QR分解, 只需扩展脉动阵列的维数即可。此外, 本文的分布式脉动阵列思想可扩展至LTE、802.16d/e等通信系统中, 具有较好的参考和实用价值。

参 考 文 献

- [1] KIM T H, PARK I C. Small-area and low-energy K-best MIMO detector using relaxed tree expansion and early forwarding[J]. IEEE Transactions on Circuits and Systems-I: Regular Papers, 2010, 57(10): 2753-2761.
- [2] SHEN C A, ELTAWIL A M. A radius adaptive K-best decoder with early termination: Algorithm and VLSI architecture[J]. IEEE Transactions on Circuits and Systems-I: Regular Papers, 2010, 57(9): 2476-2486.
- [3] HUANG Z Y, TSAI P Y. Efficient implementation of QR decomposition for gigabit MIMO-OFDM systems[J]. IEEE Transactions on Circuits and Systems-I: Regular Papers, 2011, 58(10): 2531-2542.
- [4] MA L, DICKSON K, MCALLISTER J. QR decomposition-based matrix inversion for high performance embedded MIMO receivers[J]. IEEE Transactions on Signal Processing, 2011, 59(4): 1858-1867.
- [5] HAENE S, PERELS D, BURG A. A real-time 4-stream MIMO-OFDM transceiver: system design, FPGA implementation, and characterization[J]. IEEE Journal on Selected Areas in Communications, 2008, 26(6): 877-889.
- [6] 朱勇旭, 吴斌, 周玉梅, 等. 用于MIMO-OFDM系统QR分解的分布式脉动阵列处理算法[J]. 电子与信息学报, 2012, 34(8): 1968-1973.
ZHU Yong-xu, WU Bin, ZHOU Yu-mei, et al. A distributed systolic array processing algorithm for QR-decomposition in MIMO-OFDM system[J]. Journal of Electronics & Information Technology, 2012, 34(8): 1968-1973.
- [7] CHANG R, LIN C, LIN K, et al. Iterative QR decomposition architecture using the modified Gram-Schmidt algorithm for MIMO systems[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2010, 57(5): 1095-1102.
- [8] CHEN D D, SIMA M. Fixed-point CORDIC-based QR decomposition by givens rotations on FPGA[C]// International Conference on Reconfigurable Computing and FPGAs (ReConFig). Cancun, Mexico: [s.n.], 2011.
- [9] HWANG Y T, CHEN W D. Design and implementation of a high-throughput fully parallel complex-valued QR factorisation chips[J]. IET Circuits Devices Systems, 2011, 5(5): 424-432.

编辑 张俊