

CMOS多通道芯片

康 凯, 高宗智

(电子科技大学电子工程学院 成都 611731)

【摘要】针对互补金属氧化物半导体(CMOS)工艺在毫米波集成电路设计中存在的诸多挑战,分别从毫米波器件建模和天线设计,毫米波电路模块设计和多通道收发系统设计方面进行介绍,以克服相应挑战。该文研究和建立了毫米波频段片上互连线,耦合电感和六端口 $M:N$ 变压器的等效模型和太赫兹有源器件模型,并对毫米波片上天线进行设计;介绍了基于噪声抵消的低噪声放大器电路和基于全对称平衡分布式有源变压器的功率放大器电路、毫米波移相器电路以及集成片上天线的CMOS 60 GHz接收机和多通道相控阵收发系统。

关键词 CMOS; 毫米波; 多通道; 无源器件; 移相器; 功率放大器; 接收机
中图分类号 TN4 **文献标志码** A **doi**:10.3969/j.issn.1001-0548.2016.04.002

CMOS Multi-Channel Chips

KANG Kai and GAO Zong-zhi

(School of Electronic Engineering, University of Electronic Science and Technology of China Chengdu 611731)

Abstract In order to overcome a number of challenges in CMOS millimeter-wave integrated circuit design, the millimeter-wave device modeling, antenna design, circuit block, and multi-channel transceiver system are introduced in this paper. The equivalent-circuit models of millimeter-wave on-chip interconnected lines, multiple-coupled inductors, six-port $M:N$ transformers, and the model of terahertz active device are studied and proposed, respectively. Moreover, a low noise amplifier with noise canceling and a power amplifier with a fully symmetrical distributed active transformer are introduced in this paper. Furthermore, the CMOS 60 GHz receiver with on-chip antenna and the multi-channel phase array transceiver are described, respectively.

Key words CMOS; millimeter-wave; multi-channel; passive device; phase shifter; power amplifier; receiver

随着5G通信时代的到来和智能化消费类电子产品的普及,无线通信传输速率须满足Gbit/s的高速率、大容量信息传送。例如多Gbit/s的点对点通信、超大容量的无线局域网(WLANs),无压缩高清视频的无线传输以及智能汽车和可穿戴设备等。已有的无线射频频谱因频带宽度较窄,且频谱资源利用率接近饱和而难以支持Gbit/s的传输速率。依香农定理,数据传输速率与频带宽度和信噪比(signal to noise ratio, SNR)成正比,在信噪比提升有限的条件下增大频带带宽能提高信息的传输速率。在毫米波频段,尤其是60 GHz频谱资源具有高达7 GHz的免授权频带宽度,从而为Gbit/s信息传输提供频带支持。美国联邦通信委员会于1995年免费开放57~64 GHz频谱资源,中国、欧盟、日本、韩国和澳大利亚也相继免授权开放60 GHz频谱。为了进一步提高无线

通信的传输质量、传输速率和频谱利用率以及满足5G通信的需求,多输入多输出(multiple input multiple output, MIMO)技术将被广泛应用。因此,应用于波束赋形的多通道相控阵收发系统变得甚为关键。

CMOS工艺因具有经济成本低、高集成度以及可与数字电路形成片上系统(system on a chip, SoC)等优势,在消费类电子产品中占据主导地位。在摩尔定律的驱动下,当前主流CMOS工艺的截止频率 f_t 和最大振荡频率 f_{max} 均已超过100 GHz,先进的28 nm CMOS工艺的 f_t/f_{max} 已达到349/265^[1]。因此,基于先进的CMOS工艺可进行毫米波集成电路的设计并大规模应用于消费类电子产品的开发。在过去的十年中,CMOS毫米波集成电路吸引了学术界和工业界的极大关注,并有大量研究工作被报道。

收稿日期: 2016-05-15

基金项目: 国家自然科学基金优秀青年科学基金(61422104); 国家863项目(2015AA01A704)

作者简介: 康凯(1979-),男,博士,教授,主要从事射频及毫米波集成电路设计方面的研究。

本文主要从器件模型、电路模块和系统设计3个方面介绍电子科技大学康凯教授团队相关的研究工作。

1 CMOS芯片设计的挑战

随着工作频率的上升, 基于CMOS工艺的毫米波集成电路设计存在诸多挑战, 如图1所示, 主要为以下3个方面: 1) CMOS工艺衬底具有传导特性, 因而导致片上无源器件(如电感、变压器等)能量损耗加剧。与此同时, 毫米波频段片上无源器件的电磁耦合特性和寄生效应更为复杂, 而现有工艺厂商只提供30 GHz以下频段电感模型。因此, 准确的毫米波无源器件模型是电路设计的基础。2) 损耗的衬底进一步引入噪声, 恶化了电路性能, 同时低击穿电压和直流电压使得管子输出功率较小。因此, 应用于低噪声放大器设计中的噪声抵消方法和功率放大器设计中的功率合成技术是提高相应电路性能的关键。3) 大规模相控阵系统是实现波束赋形的途径, 而传统的大规模相控阵系统封装所占面积较大, 成本较高, 而芯片级系统封装能有效降低芯片封装面积, 降低成本。

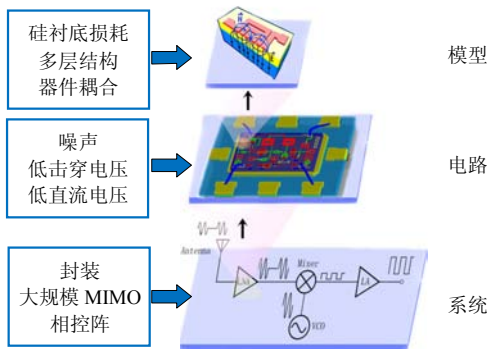


图1 硅基毫米波集成电路的挑战

针对CMOS毫米波芯片设计存在的以上困难, 本文分别从模型、电路、系统方面进行深入研究, 并取得了相应成果, 以克服CMOS毫米波多通道芯片设计的挑战。

2 器件建模和天线设计

2.1 CMOS毫米波无源器件建模

在毫米波频段, 无源器件的尺寸已快速缩小, 因而可设计在片上, 如电感、变压器等。

1) 片上互连线模型: 片上互连线为最常用的无源器件, 广泛存在于电路级间互连、电源网络和数据总线中。本团队在片上互连线建模方面做了许多工作^[2-3], 提出了基于传输线电报方程的毫米波片上

互连线等效集总模型, 如图2所示, 并进行了模型扩展, 提出的模型准确度超过110 GHz。图3为长度分别为300 μm和800 μm的传输线模型的测试结果对比。

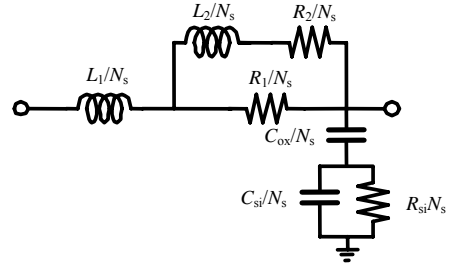


图2 片上互连线单枝节等效电路模型

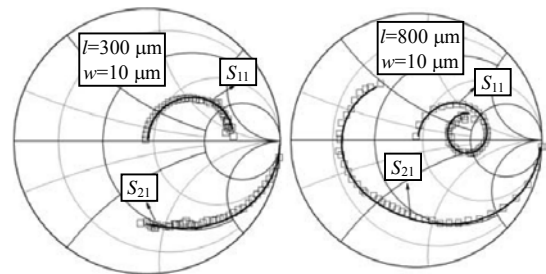


图3 两种传输线模型的测试结果对比^[2]

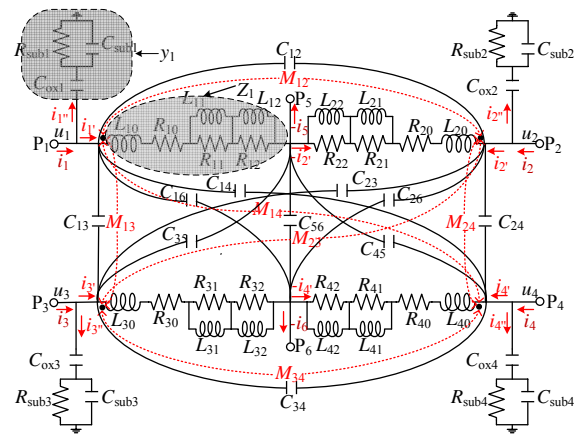


图4 六端口M:N变压器模型^[5]

2) 片上变压器模型: CMOS片上电感由于结构简单, 其毫米波频段模型已有文献报道。而六端口M:N变压器因具有阻抗变换、单端差分转换以及级间匹配和隔离等特性在毫米波集成电路设计中被大量应用。然而由于片上六端口M:N变压器电磁耦合和寄生效应比电感更为复杂, 其等效模型很少被报道。因此, 基于硅基工艺衬底的损耗特性, 综合分析硅基片上无源器件的电磁耦合机理和等效电路表现形式, 本团队提出了CMOS毫米波频段六端口M:N变压器的等效电路模型, 并给出了详细的参数提取方法。所提出的模型能表征低频至100 GHz频段的片上变压器特性^[4-5]。变压器初级和次级线圈分别设计在顶层最厚的两层金属上。等效电路模型如图4所

示，初级和次级线圈分别用对称的两个支路串联表示，每一支路包含金属线圈高频时的趋肤效应和邻近效应。硅基损耗衬底用四组衬底等效网络表示。线圈间的磁场耦合和寄生电容效应分别用互感和电容表征。通过对比1:1, 1:2, 2:2, 2:3和3:3变压器等效模型的测试数据和电磁仿真数据，证明所提出的模型都能准确拟合线圈的电感值、 Q 值、 S 参数和线圈间的耦合因子。

3) 片上多电感耦合模型：CMOS毫米波集成电路设计中，为了追求紧凑的版图结构和更低的成本，片上多个电感被邻近布局或嵌套布局，从而导致电感间的耦合和寄生效应增强，使得单个电感的特性发生变化，影响电路性能。因此，建立毫米波片上多电感耦合模型显得尤为重要。基于对硅基毫米波变压器模型的研究，本团队提出了毫米波片上多个耦合电感的精确模型和参数提取方法^[6-8]，如图5所

示。该模型可由片上两个耦合电感扩展至多个耦合电感，且在低频至120 GHz内能准确表征片上多个耦合电感特性。

2.2 CMOS 220GHz有源器件建模

先进CMOS工艺晶体管截止频率已超过300 GHz，这使得设计CMOS太赫兹频段集成电路成为可能，因此急需建立准确的太赫兹晶体管模型。然而由于测试探头与晶体管之间的接口不匹配，不能直接测得晶体管的散射参数，因此为了获得准确的晶体管模型，需要对测试数据进行去嵌入。然而，太赫兹频段晶体管测试结构寄生效应的影响变得越来越复杂，准确的去嵌入难以实现。因此，本团队提出了考虑焊盘之间耦合以及互连线效应的晶体管完整模型以解决上述问题，并给出了参数提取方法。所提出的模型能表征低频至220 GHz频段的晶体管特性。晶体管的完整模型如图6所示。

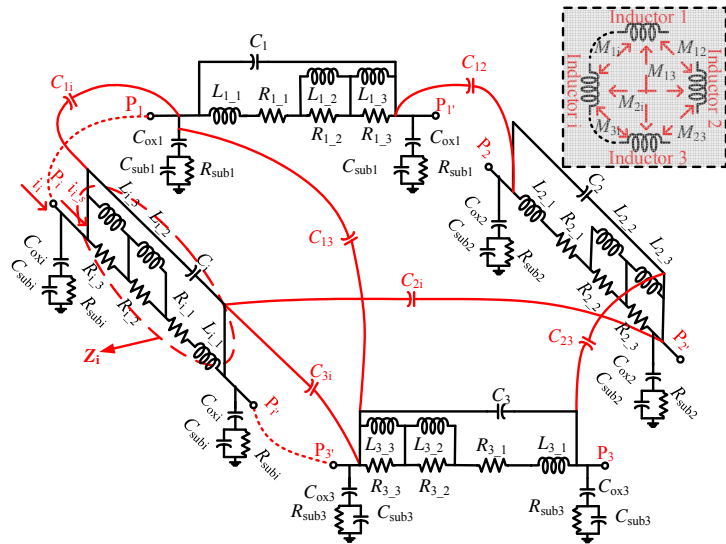


图5 片上多耦合电感模型^[6]

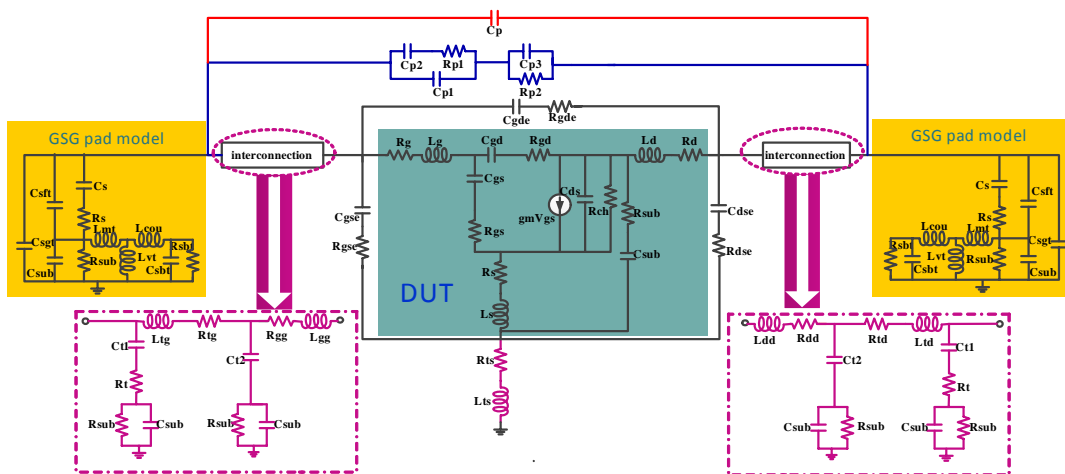


图6 太赫兹频段晶体管和测试结构的完整等效电路模型

2.3 CMOS毫米波天线设计

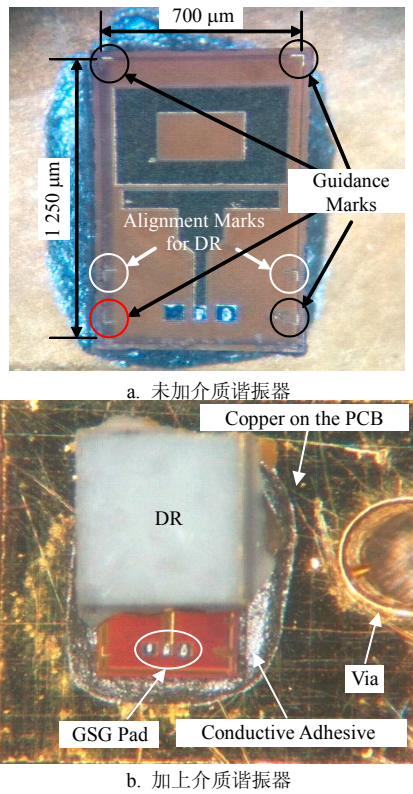


图7 V波段混合集成片上天线芯片图

为了实现片上系统, 减小天线与信道间的互联损耗和封装成本, 片上天线的实现显得尤为重要。然而对于CMOS工艺来说, 硅衬底固有的高介电常数和低电阻率特性, 将导致硅基片上天线所辐射的能量大部分被衬底吸收或者以表面波的形式被消耗, 从而使得硅基片上天线的增益和效率降低。针对这一特性, 本团队设计了一款V波段混合集成高增益的片上天线, 如图7所示。该天线采用高阻硅作为衬

底, 使用off-chip ground结构代替传统的on-chip ground, 在增加天线增益的同时, 将封装底部焊盘对天线的影响也考虑到天线的设计中, 使得片上天线更加贴合实际的运用环境。此外, 在天线上方加入一块谐振频率与天线相近的矩形介质谐振器, 进一步提升了天线增益, 同时也增加了天线带宽。测试结果显示, 该天线在67 GHz处的峰值增益可以达到7.8 dBi, 而芯片尺寸仅为0.7 mm×1.25 mm。

3 CMOS毫米波电路模块设计

3.1 毫米波低噪声放大器

随着CMOS工艺的进步, 晶体管的截止频率已经接近III-V族晶体管的截止频率。然而, CMOS工艺由于衬底损耗大, 且硅晶体边界存在闪烁噪声等原因, 使得CMOS工艺噪声往往大于III-V族工艺。低噪声放大器是接收机中的关键模块, 其性能直接影响接收机的参数指标。低噪声放大器需要较低的噪声系数来提高接收机的灵敏度, 同时需要足够的增益来抑制后续模块的噪声对接收机的性能恶化。

共源极放大器和共栅极放大器是应用较多的低噪声放大器结构。共源级结构通常在MOS管的源极串联电感以实现输入阻抗匹配, 通过多级串联满足增益需求。共栅极放大器主要用于宽带放大器的设计中, 可以实现宽频的输入匹配, 但是因为其输入匹配和噪声系数相互限制, 使得电路的噪声系数通常较高。为了实现较好的噪声性能, 文献[9]首次将噪声抵消理论应用于低噪声放大器中, 成功地设计出了一款性能优良的宽带放大器。该技术广泛应用于射频低噪声放大器的设计, 它能够在宽带范围内同时实现输入共轭匹配和低噪声匹配。然而, 在毫米波频段, 该技术几乎没有得到应用。

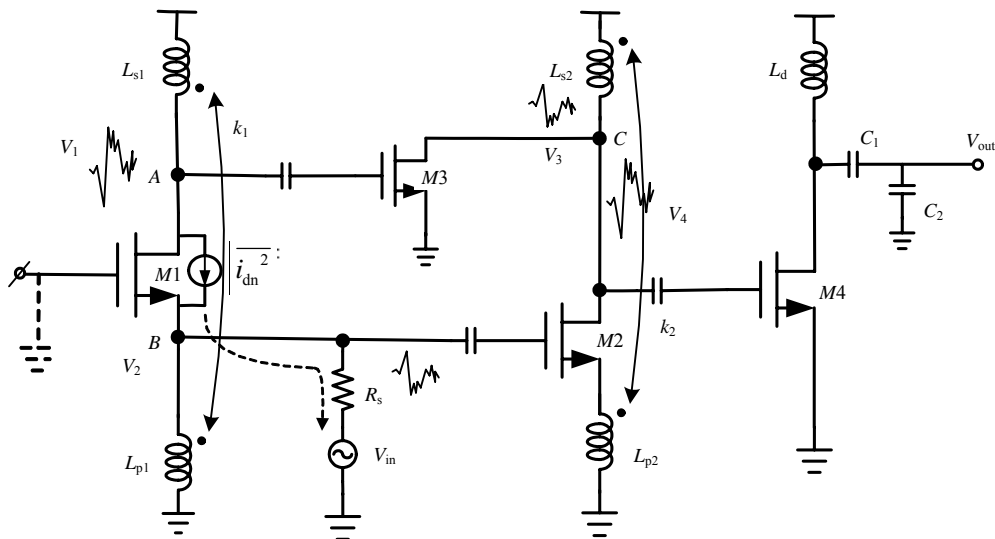


图8 Q波段噪声抵消低噪声放大器原理图^[10]

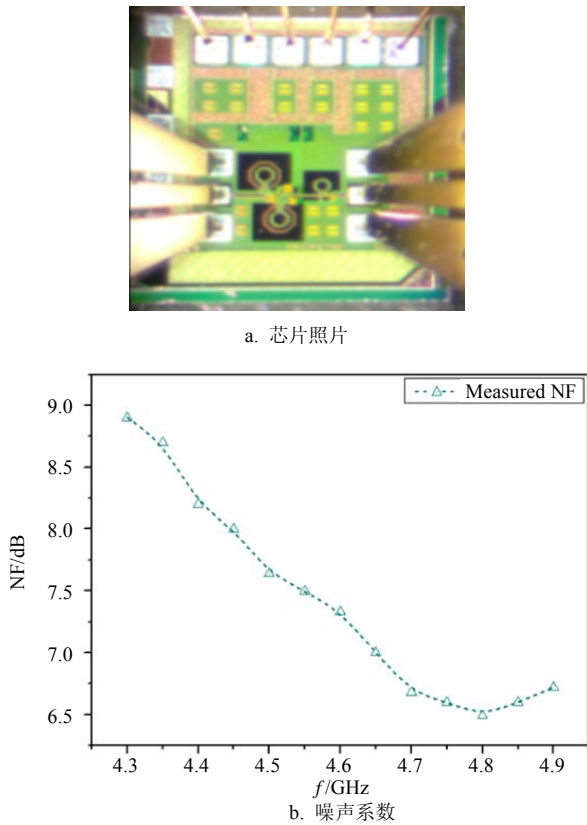


图9 Q波段噪声抵消低噪声放大器芯片图和测试数据^[10]

本团队基于噪声抵消技术实现了一款Q-band低噪声放大器^[10]。该放大器使用90 nm CMOS工艺,实现了11.5 dB增益和6.5 dB噪声系数,输入P₁ dB为-12 dBm。该LNA电路结构如图8所示,共栅极放大器的沟道噪声电流流经电路的A、B两点,并在这两点产生相反相位的噪声电压V₁和V₂。A点的噪声电压V₁经过M₃在C点形成反相的噪声电压V₃,同时B点的噪声电压V₂经过M₂转化成反相的噪声电压V₄。因为V₃和V₄反相,通过调节电路中元件参数使得V₃=V₄,则能够使得噪声信号在C点抵消,从而降低电路噪声系数。版图结构和测试结果如图9a和图9b所示。

3.2 毫米波功率放大器

随着硅基工艺特征尺寸的减小,其击穿电压也随之减小。较低的击穿电压给硅基功率放大器设计带来挑战。对于90 nm CMOS工艺的晶体管,其工作电压通常不超过1.2 V,而65 nm CMOS工艺的工作电压小于1 V。较低的击穿电压限制了功率放大器的输出功率。为了实现较大的输出功率,需要较大的电流和晶体管尺寸,这会导致更高的结温度和更大的寄生效应。更大的晶体管尺寸扩大了无用的功率消耗,显著降低功率放大器的效率,甚至损坏晶体管。

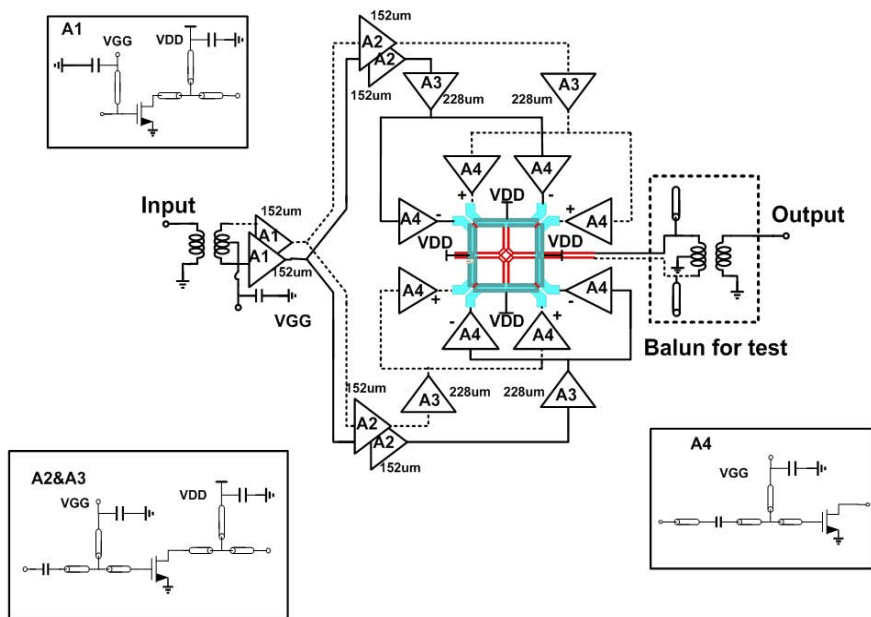
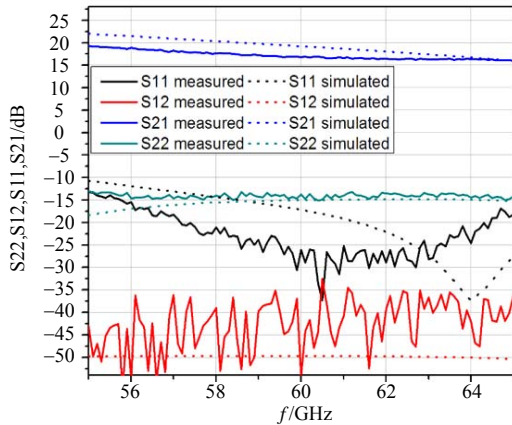


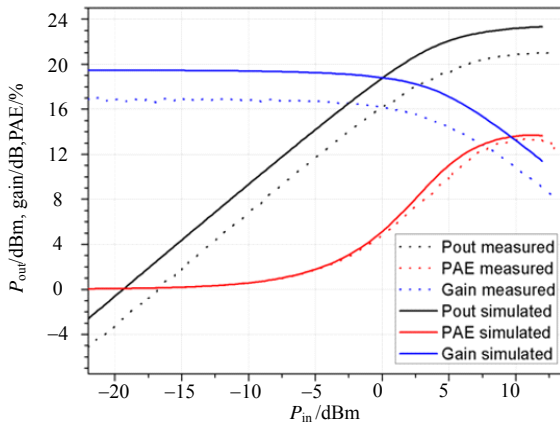
图10 60 GHz变压器耦合功率放大器原理图^[12]

文献[11]发表了基于CMOS 90 nm工艺设计的60 GHz变压器耦合功率放大器,输出功率为12.3 dBm。为解决毫米波频段CMOS功率放大器输出功率较低的问题,本团队提出用全对称平衡分布式有源变压器提高功率合成效率^[12],该全对称平衡分布式有源变压器结构解决了传统分布式变压器的不平衡性问

题,提高了功率合成的效率。所设计的基于CMOS 90 nm工艺的60 GHz功率放大器输出功率为21 dBm。如图10所示,该功率放大器输入信号经功率分配网络形成四路差分信号,最终由分布式变压器进行功率合成输出。测试数据如图11所示。该工作也同时入选2013年国际固态电路会议(ISSCC)学生单元。



a. S 参数测试结果



b. 大信号测试结果

图11 60 GHz变压器耦合功率放大器测试结果^[12]

3.3 毫米波移相器

移相器是相控阵和波束赋型无线系统中的关键模块, 其性能对整个系统有着重要的影响。当前较为常见的毫米波硅基移相器主要有3种: 反射型移相器、开关式移相单元切换移相器和正交矢量调制合成移相器。然而, 由于毫米波频段CMOS工艺衬底能量损耗严重, 使得反射型移相器和开关式移相单元切换移相器的插入损耗和版图面积较大; 同时使得正交矢量调制合成移相器功耗较大和线性度较差。并且以上3种设计方法都面临着相位分辨率低、增益误差大和相位误差较大等局限性。这些问题在很大程度上制约了毫米波硅基相控阵系统性能和应用场合。

为解决以上问题, 本团队基于电流调制分离技术提出一种新型毫米波移相器构架^[13-14]。该工作同时入选2015年国际固态电路会议学生单元。该电路结构主要包含可调增益放大器、正交信号发生器、单转差放大器以及有源信号合成器, 如图12所示。所设计移相器架构的基本原理是通过可调增益放大器获得两路同相不等幅的射频信号, 并经过正交信

号发生器把等相信号变成差分信号; 差分放大器把前级产生的正交调制信号变成差分信号, 从而使移相器能覆盖全方位360°; 最后通过有源信号合成器综合出具备所需相位的射频信号。这种结构方便数字控制, 相位精度为4位, 覆盖范围360°。该移相器在单转差放大器和有源信号合成器之间还采用了电流复用技术来降低静态功耗。该移相器面积约为0.61 mm², 如图13所示。测试结果表明在57~64 GHz频率范围内, 16个相位状态下均方根增益误差为0.75~1.6 dB, 均方根相位误差为2°~8°。在1.8 V的供电电压下电路功耗为19.8 mW。

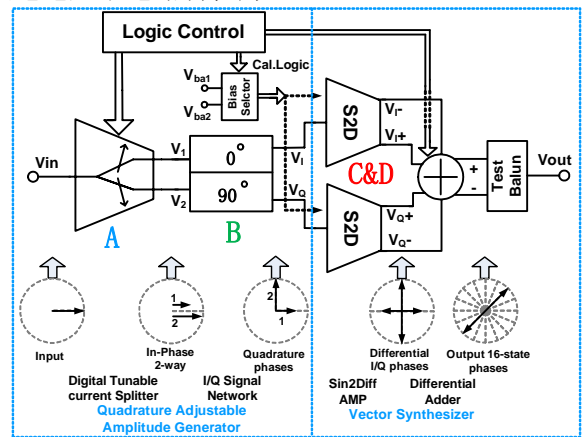
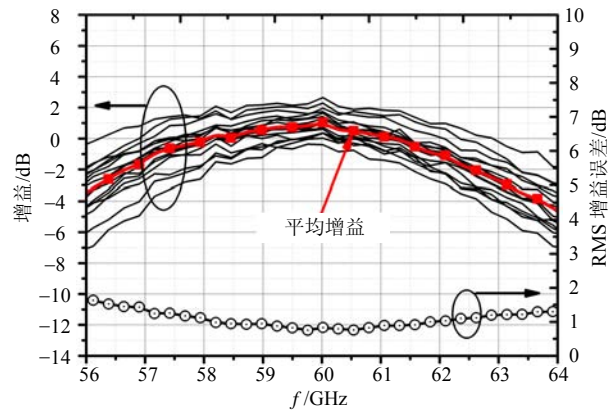
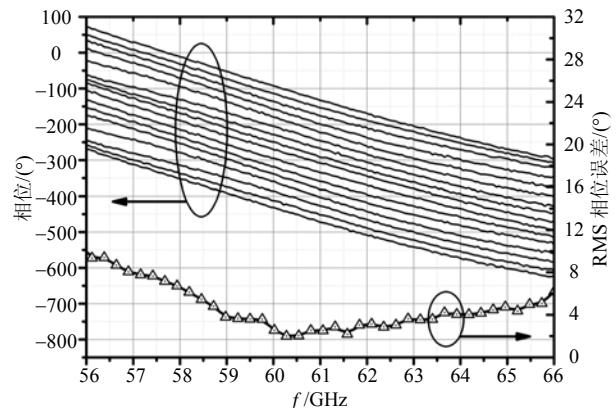


图12 V波段移相器原理图^[13]



a. 16相位状态增益和RMS增益误差



b. 16相位状态插入相位和RMS相位误差
图13 V波段移相器测试数据^[13]

4 CMOS多通道系统设计

4.1 集成片上天线的CMOS毫米波接收机

60 GHz频带的免费开放使得CMOS毫米波收发机成为学术界和工业界的研究热点。基于90 nm CMOS工艺,本团队设计了一款高集成度的60 GHz开关键控(on off keying, OOK)接收机^[15],该接收机集成片上天线从而降低了信号损耗和封装成本,如图14所示,所有电路模块均为差分结构以抑制共模噪声。60 GHz差分检测电路紧随低噪声放大器(low noise amplifier, LNA),检测有用信号并滤除高频信号。60 GHz差分检测电路的使用大大减小对60 GHz本征信号的要求,同时降低接收机的整体功耗。所设计接收机版图结构如图15所示,测试眼图数据如图16所示。该工作发表在集成电路领域顶级期刊JSSC,并入选当月论文下载量前十名。

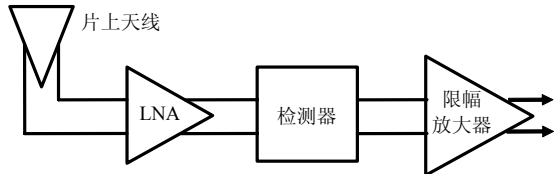


图14 60 GHz OOK接收机架构图^[15]

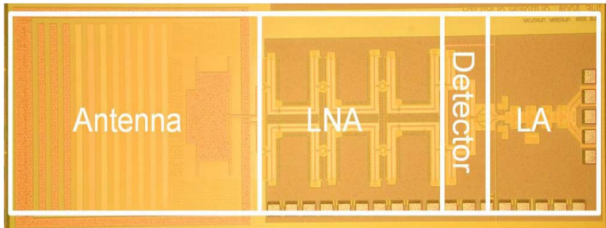
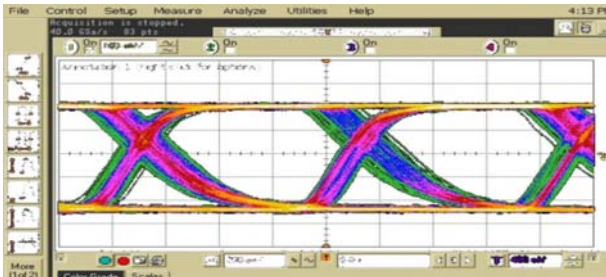
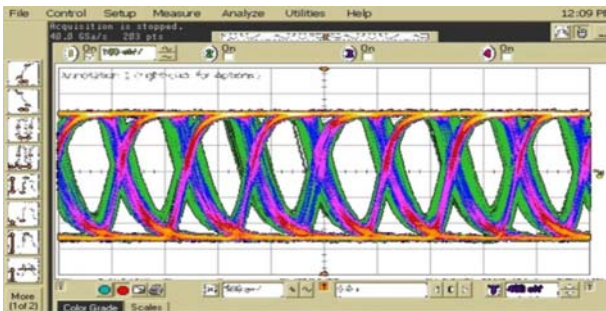


图15 集成片上天线的60 GHz OOK接收机芯片照片^[15]



a. 1.2 Gb/s



b. 1.6 Gb/s

图16 OOK信号解调后测试眼图^[15]

4.2 E波段双发单收相控阵系统

基于对电路模块和收发机的前期研究,本团队设计了E波段双发单收相控阵系统。图17为双通道发射-单通道接收系统的原理图,每个发射通道的发射功率超过10 dBm。发射和接收通道移相器单元均采用5 bit无源移相器外加1 bit有源移相的方案,达到360°移相,移相分辨率达到5.625°,输入中频为15 GHz。图18为发射和接收系统的版图。

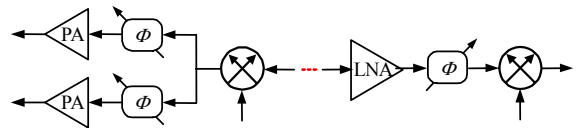
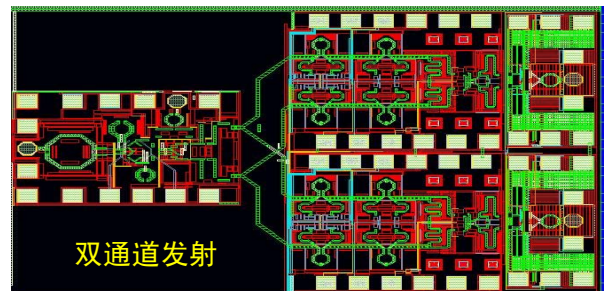
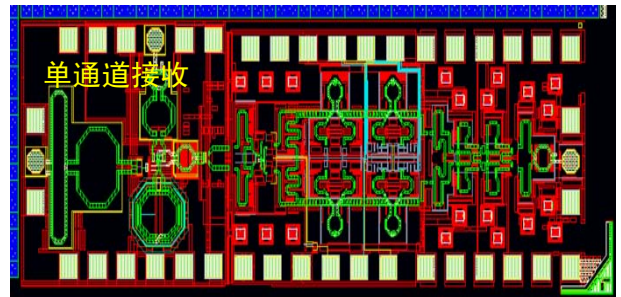


图17 双通道发射-单通道接收系统框图



a. 双通道发射系统

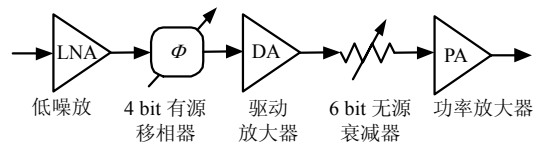


b. 单通道接收系统

图18 版图结构

4.3 四发四收相控阵系统

与此同时,本团队分别设计了Ku波段单通道收发系统和四发四收相控阵系统。图19为单通道收发系统和四发四收系统原理图。为了减小射频信号在信号通路中的插损,提高系统的噪声系数,移相器单元采用4 bit有源移相器方案,达到360°移相,移相精度为22.5°,所得到的RMS相位误差在15~20 GHz,均小于5°。单通道版图结构如图20所示。



a. 单通道

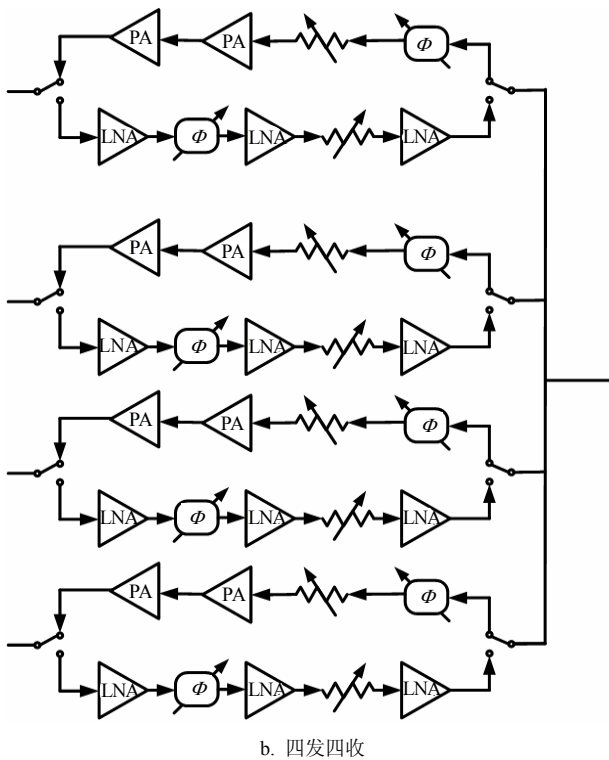


图19 相控阵收发系统框图

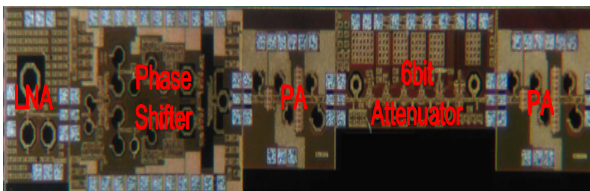


图20 单通道收发系统版图

5 结束语

针对当前CMOS工艺在毫米波频段存在的诸多挑战: 无准确的无源器件模型, 损耗衬底引入的噪声和低击穿电压导致的较低输出功率, 本文分别从CMOS毫米波器件建模、电路模块和无线收发系统设计方面进行了研究和介绍。建立了CMOS毫米波频段的互连线、耦合电感和变压器等效模型和太赫兹晶体管等效模型; 介绍了本团队设计的CMOS毫米波噪声抑制低噪声放大器和全对称平衡分布式有源变压器功率放大器, 以及所提出的新型CMOS毫米波移相器电路; 最后, 介绍了本团队在CMOS毫米波无线接收机和用于波束赋形的多通道相控阵系统方面的工作。

参 考 文 献

[1] YANG M T, LIAO K, WELSTAND R, et al. RF and mixed-signal performances of a low cost 28 nm low-power CMOS technology for wireless system-on-chip applications [C]//2011 IEEE Symposium on VLSI Technology. Kyoto: IEEE, 2011.

[2] KANG Kai, NAN Lan, SHI Jing-lin. A wideband scalable and SPICE-compatible model for on-chip interconnects up to 110 GHz[J]. IEEE Transactions on Microwave Theory and Techniques, 2008, 56(4): 942-951.

[3] ZHU Yu-kun, KANG Kai, WU Yun-qiu, et al. An equivalent circuit model with current return path effects for on-chip interconnects up to 80 GHz[J]. IEEE Transactions on Components, Packaging, and Manufacture Techniques, 2015, 5(9): 1320-1330.

[4] GAO Zong-zhi, SONG Jia-ming, KANG Kai. Analysis and modeling of CMOS millimeter-wave $M:N$ six-port transformers[C]//2014 IEEE International Wireless Symposium. Xi'an: IEEE, 2014.

[5] GAO Zong-zhi, KANG Kai, ZHAO Chen-xi, et al. A broadband and equivalent-circuit model for millimeter-wave on-chip $M:N$ six-port transformers and baluns[J]. IEEE Transactions on Microwave Theory and Techniques, 2015, 63(10): 3109-3121.

[6] GAO Zong-zhi, WU Y, KANG Kai. An improved equivalent circuit model based on the CMOS on-chip multiple coupled inductors from DC to millimeter-wave region[C]//2015 IEEE International Microwave Symposium. Phoenix: IEEE, 2015.

[7] GAO Zong-zhi, KANG Kai, JIANG Zheng-dong, et al. Analysis and equivalent-circuit model for CMOS on-chip multiple coupled inductors in the millimeter-wave region[J]. IEEE Transactions on Electron Devices, 2015, 62(12): 3957-3964.

[8] KANG Kai, ZONG Zhi-rui, GAO Zong-zhi, et al. Characterization and modeling of multiple coupled inductors based on on-chip four-port measurement[J]. IEEE Transactions on Components and Packaging Technologies, 2014, 4(10): 1696-1704.

[9] BRUCCOLERI F, KLUMPERINK E A M, NAUTA B. Noise cancelling in wideband CMOS LNAs[C]//2002 IEEE International Conference on Solid-State Circuits. San Francisco: IEEE, 2002.

[10] YI Kai, ZHENG Qing-you, KANG Kai. A Q-band CMOS LNA with noise cancellation[C]//2014 IEEE International Wireless Symposium. Xi'an: IEEE, 2014.

[11] CHOWDHURY D, REYNAERT P, NIKNEJAD A M. A 60 GHz 1 V 12.3 dBm transformer-coupled wideband PA in 90 nm CMOS[C]//2008 IEEE International Conference on Solid-State Circuits. San Francisco: IEEE, 2008.

[12] GUO Kai-zhe, HUANG Peng, KANG Kai. A 60-GHz 21 dBm power amplifier with a fully symmetrical 8-way transformer power combiner in 90 nm CMOS [C]//2014 IEEE International Microwave Symposium. Tampa: IEEE, 2014.

[13] YU Yi-ming, ZHAO Chen-xi, KANG Kai. A 60-GHz vector summing phase shifter with digital tunable current-splitting and current-reuse techniques in 90 nm CMOS[C]//2015 IEEE International Microwave Symposium. Phoenix: IEEE, 2015.

[14] YU Yi-ming, KANG Kai, ZHAO Chen-xi, et al. A 60 GHz 19.8 mW current-reuse active phase shifter with tunable current-splitting technique in 90 nm CMOS[J]. IEEE Transactions on Microwave Theory and Techniques, 2016, 64(5): 1572-1584.

- [15] KANG Kai, LIN Fu-jiang, PHAM D D, et al. A 60 GHz OOK receiver with an on-chip antenna in 90 nm CMOS[J]. IEEE Journal of Solid-State Circuits, 2010, 45(9): 1720-1731.

编辑 税红

康凯(1979—), 教授, 博士生导师。入选首批青



年千人计划, 国家自然科学基金优秀青年基金获得者。2002年本科毕业于西北工业大学。2008年博

士毕业于新加坡国立大学和法国高等电力学院, 获联合培养博士学位。2006年至2011年历任新加坡微电子研究院高级工程师、新加坡国立大学兼职助理教授、Globalfoundries主任工程师。2011年6月至今任电子科技大学教授、电子工程学院副院长。

现已出版英文专著和章节2部, 在国际期刊和会议上发表论文90余篇, 包括IEEE期刊论文30余篇。担任IEEE固态电路协会(SSCS)成都分会主席, 多个国际会议技术委员会委员和分会主席, 十余次获邀作国际国内会议特邀报告, 并获得国际会议2009 IEEE RFIT最佳论文奖。指导的学生获2014年和2015年ISSCC student travel grant, 2016年ICMMT最佳学生论文奖。

主要研究方向为射频及毫米波集成电路设计。目前主持973子课题、863子课题、国家科技重大专项子课题、国家自然科学基金重点项目等多项科研项目。