

• 通信与信息工程 •

# 基于FFT的DBPSK多路并行接收机设计

刘 皓, 赵敏荐, 侯号前

(电子科技大学通信抗干扰技术国家级重点实验室 成都 611731)

**【摘要】**提出一种基于FFT的高效多路并行下变频算法, 具有实现难度低, 资源利用率高, 解调性能与传统DBPSK接收机性能仅相差1 dB等优点。并提出了一种基于该算法的差分二进制相移键控(DBPSK)新型多路并行接收机设计, 能够并行处理上千路调制在不同子载波的信号。解决同类问题的传统接收机设计需要为每一路子信道分配独立数字下变频(DDC)模块, 增加硬件来提升处理载波数, 消耗较多硬件资源。该方法应用于DBPSK多路并行接收机设计中, 在较低硬件资源消耗下, 获得了良好的接收性能。

**关键词** DBPSK解调; 并行下变频; 离散时间傅里叶变换; 快速傅里叶变换; 多路并行接收机  
**中图分类号** TN92      **文献标志码** A      **doi:**10.3969/j.issn.1001-0548.2018.05.001

## A Novel Multi-Channel Parallel Receiver of DBPSK Based on FFT

LIU Hao, ZHAO Min-Jian, and HOU Hao-Qian

(National Key Lab of Science and Technology on Communications, University of Electronic Science and Technology of China Chengdu 611731)

**Abstract** A novel design of multi-channel parallel differential binary phase shift keying (DBPSK) receiver based FFT is proposed in this paper. This receiver is capable of processing thousands of time-domain overlapped signals. Traditional receivers allocate digital down converter (DDC) for every channel, pre-existing methods mostly adapt the hardware architecture to enhance the hardware parallel processing capability without ideal resource utilization and implementation complexity. The new method takes advantages of high efficient FFT algorithm to implement multi-channel parallel DDC, and thus achieve ideal performances for DBPSK receiver application.

**Key words** DBPSK demodulation; DDC; DTFT; FFT; multi-channel parallel receiver

大规模并行接收机能够并行接收并解调一定带宽范围(宏通道)内, 调制在不同载波子信道的大量时域混叠信号, 这些时域混叠的信号来自不同的发送端<sup>[1-2]</sup>。在诸如传感网络等用于大量发送节点应用中, 多路并行接收机能够满足大量发送节点的并行处理需求。

本文提出了一种高效的基于FFT的多路并行下变频算法, 借助FFT的高效结构, 资源消耗少, 且结构简单易于实现。将该算法应用于DBPSK系统中, 实现了上千路DBPSK发射信号的接收与解调, 最终使用Xilinx FPGA完成硬件平台的搭建和测试, 并取得了良好的性能。

## 1 DBPSK多路并行接收机

传统的DBPSK接收机由射频前端接收数字中

频采样信号, 经过DDC模块完成单载波信道数字下变频, 再由同步模块完成定时同步和频偏估计, 最终完成解调, 系统框图如图1所示。

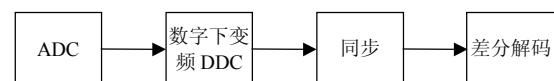


图1 传统DBPSK接收机框图

多路并行DBPSK接收机借助基于FFT的多路并行下变频算法可以完成上千路子信道的并行下变频计算, 再经由同步和解调处理得到解调结果, 从系统资源角度, 同步和解调模块可以复用。其中多路下变频模块含: 数据整理、加窗、FFT多路分离与下变频<sup>[3-4]</sup>、相位补偿。多路并行接收机<sup>[5-7]</sup>的处理流程如图2所示。

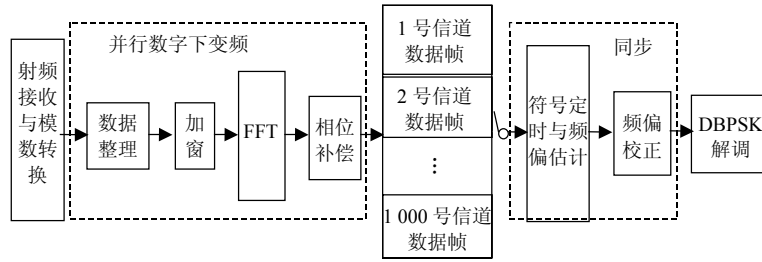


图2 多路并行DBPSK接收机框图

## 2 基于FFT的多路并行下变频算法

### 2.1 算法原理

假设第 $k$ 个子信道调制信号载频为 $f_k$ ，共有 $C$ 个子信道，信号采样率为 $f_s$ ，输入复信号：

$$x[n] = \sum_{k=0}^{C-1} \left[ a_k[n] \exp\left(j2\pi n \frac{f_k}{f_s}\right) + n_k[n] \right] \quad (1)$$

式中， $n_k[n]$ 为第 $k$ 路子信道噪声。将输入信号 $x[n]$ 用长度为 $N$ 的滑动窗口进行分组，窗口每次滑动 $d$ 个样点。窗口长度 $N$ 由中频信号采样率 $f_s$ 和系统子信道间隔 $f_{\text{bin}}$ 决定：

$$N \geq f_s / f_{\text{bin}} \quad (2)$$

滑动点数 $d$ 由中频信号采样率 $f_s$ ，信号波特率 $b$ 和抽取因子 $D$ 确定：

$$d = f_s / Db \quad (3)$$

重组信号为：

$$x_{\text{new}}[m, n] = x[n + dm] \quad n = 0, 1, \dots, N-1 \quad (4)$$

式中， $m$ 代表组号； $n$ 代表每组数据中的采样点。该过程可以看作是使用长度为 $N$ 的矩形滑动窗口对信号进行截断，并进行 $D$ 倍抽取。对分组后的数据依次进行离散时间傅里叶变换(discrete time fourier transform, DTFT)：

$$\begin{aligned} x(f) &= \text{DTFT}(x_{\text{new}}[m]) = \sum_{n=0}^{N-1} x_{\text{new}}[m] e^{-j2\pi n \frac{f}{f_s}} = \\ &= \sum_{n=0}^{N-1} x[n + dm] e^{-j2\pi n \frac{f}{f_s}} = \sum_{n=0}^{N-1} \sum_{k=0}^{C-1} \times \\ &= \left[ a_k[n + dm] e^{j2\pi n \frac{f_k - f}{f_s}} e^{j2\pi n \frac{f}{f_s} dm} + n_k[n + dm] e^{-j2\pi n \frac{f}{f_s}} \right] \end{aligned} \quad (5)$$

取第 $i$ 个子信道的DTFT运算结果：

$$\begin{aligned} X(f_i) &= \sum_{n=0}^{N-1} \times \\ &= \left[ a_i[n + dm] e^{j2\pi n \frac{\Delta f_i}{f_s}} e^{j2\pi n \frac{f_i}{f_s} dm} + n_i[n + dm] e^{-j2\pi n \frac{f_i}{f_s}} \right] + \end{aligned}$$

$$\sum_{n=0}^{N-1} \sum_{k=0, k \neq i}^{C-1} \times$$

$$\left[ a_k[n + dm] e^{j2\pi n \frac{f_k - f_i}{f_s}} e^{j2\pi n \frac{f_k}{f_s} dm} + n_k[n + dm] e^{-j2\pi n \frac{f_i}{f_s}} \right] \quad (6)$$

式中， $\Delta f_i$ 为第 $i$ 信道的频偏；第一项为第 $i$ 个子信道的有效信号下变频结果，含信道噪声；第二项为邻道干扰。若不考虑邻道干扰和噪声，对应第 $k$ 路的有效信号离散傅里叶变换(discrete fourier transform, DFT)结果为：

$$\begin{aligned} X[k, m] &= \exp\left[\frac{j2\pi k}{N} dm\right] \times \\ &= \sum_{n=0}^{N-1} a_i[n + dm] \exp\left[j2\pi n \frac{\Delta f_i}{f_s}\right] \end{aligned} \quad (7)$$

DFT的实现可以利用高效的FFT代替。需要进一步抵消相位增量，它来源于两部分，第一部分由频偏产生，需要在后续同步处理时频偏校正；第二部分由数据整理引入，通过每次FFT结果乘上相应信道的相位增量即可抵消。补偿后的结果为：

$$X[i, m] = \sum_{n=0}^{N-1} a_i[n + dm] \exp\left[j2\pi n \frac{\Delta f_i}{f_s}\right] \quad (8)$$

由此可以得出：通过数据整理，FFT运算和相位补偿，可以实现 $N$ 路时域混叠的不同载波子信道信号的并行下变频计算，经过上述算法处理之后，即可按照一般接收机的设计完成同步与解调处理<sup>[8-9]</sup>。相对于传统下变频算法资源占用和设计复杂度大大降低。

### 2.2 并行下变频的邻道干扰抑制

由于数据整理时域信号的截断效应，能量泄漏产生邻道干扰。影响接收机整体的接收性能。通过选择旁瓣衰减更大的窗函数，对整理后的数据加窗，可以有效地抑制邻道干扰。假设输入数字中频信号整理后为 $x[n]$ ，使用 $w[n]$ 加窗。则对中频信号进行整理和DTFT运算可以表示为：

$$\text{DTFT}(x[n] * w[n]) = X(f) \otimes W(f) \quad (9)$$

假设子信道带宽为 $B$ , 那么信道 $i$ 对信道 $k$ 产生的邻道干扰为:

$$I_{i,k} = X(f_i \pm \frac{B}{2}) \otimes W(f) = \int_{f_i - \frac{B}{2}}^{f_i + \frac{B}{2}} X(f)W(f_k - f)df \quad (10)$$

邻道干扰的大小取决于窗函数 $W(f_k - f)$ 旁瓣在干扰信道的衰减。可以通过使用旁瓣衰减更低的窗函数, 获得良好的邻道干扰抑制效果。仿真表明邻道干扰降低了5 dB以上。

MATAB仿真4个相邻子信道发送信号时对中间信道产生的邻道干扰, 通过对数据整理使用汉明窗, 使得中间信道受到的邻道干扰下降了10 dB。

### 3 并行解调

#### 3.1 并行解调原理

通过前面的分析, 已知加窗可以有效抑制邻道干扰, 假设在加性高斯白噪声(additive gaussian white noise, AWGN)信道中, 不考虑邻道干扰和频偏, 利用基于FFT下变频的第 $i$ 路信号可以表示为:

$$X[i, m] = \sum_{n=0}^{N-1} [a_i[n + dm] + n_i[n + dm] \times \left(-j2\pi n \frac{f_i}{f_s}\right) \exp\left(-j2\pi n \frac{f_i}{f_s} dm\right)] \quad (11)$$

第 $i$ 信道的频域噪声功率 $\sigma_f^2$ 为:

$$\sigma_f^2 = \sum_{n_1=0}^{N-1} \sum_{n_2=0}^{N-1} \times \left[ E(n_i[n_1 + dm]n_i^*[n_2 + dm]) \exp\left(-j2\pi \frac{f_i}{f_s} (n_2 - n_1)\right) \right] = \begin{cases} N\sigma^2, n_2 = n_1 \\ 0, n_2 \neq n_1 \end{cases} \quad (12)$$

式中,  $\sigma^2$ 为基带信号的噪声功率;  $N_0/2$ 为噪声双边功率谱。可以得到:

$$\sigma^2 = f_s \frac{N_0}{2} \quad (13)$$

且对于二进制相移键控(binary phase shift keying, BPSK)调制复信号有:

$$a[n] = \pm \sqrt{\frac{E_{b0}}{T_b}} \quad (14)$$

$N_i$ 仍然服从高斯分布, 其方差为 $N\sigma^2$ 。依据二进制脉冲幅度调制(binary pulse amplitude modulation, 2PAM)的最小平均误码率有<sup>[10]</sup>:

$$P_e = Q\left(\sqrt{\frac{(y_{s1} - y_{s0})^2}{4\sigma^2}}\right) =$$

$$Q\left(\sqrt{\frac{\left(\sum_{n=0}^{N-1} a_1[n + dm] - \sum_{n=0}^{N-1} a_0[n + dm]\right)^2}{4N\sigma^2}}\right) = Q\left(\sqrt{\frac{2NR_b}{f_s} \sqrt{\frac{2E_b}{N_0}}}\right) \quad (15)$$

式中,  $E_{b0}$ 为基带平均码元能量;  $E_b$ 为载波调制后的平均码元能量;  $N_0$ 噪声功率。已知采用匹配滤波器的相干解调接收方法, BPSK理想误码性能为:

$$P_{e\_BPSK} = Q\left(\sqrt{\frac{2E_b}{N_0}}\right) \quad (16)$$

由于DBPSK调制采用差分解码, 因此相较于BPSK调制, 其误码率性能下降约3 dB。

由式(15)看到, 与传统的BPSK接收机解调性能相比, 基于FFT的并行多路接收算法可以通过选取合适的FFT点数 $N$ , 达到与传统BPSK接收机相同的误码性能, 但实际应用中存在的临道干扰会影响解调性能。

#### 3.2 并行解调性能仿真

为了比较基于FFT的并行多路接收算法与传统接收机的性能差异, 本文进行仿真。

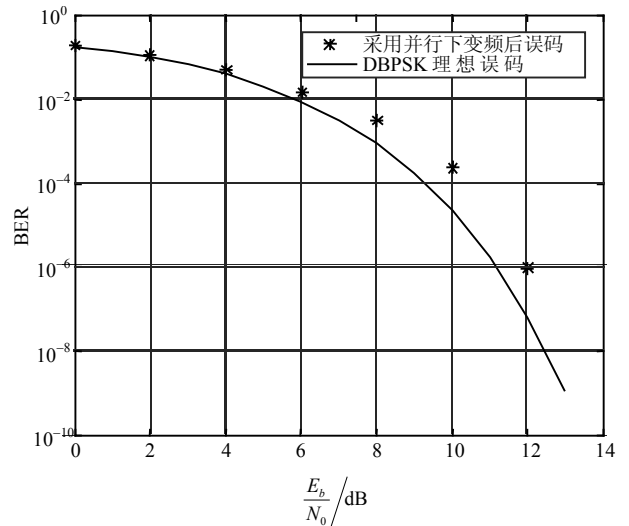


图3 基于FFT的多路DBPSK接收机误码性能

考虑发射端发送信号为DBPSK调制信号, 数据波特率100 b/s, 采用滚降因子为0.25的升余弦成型滤波器, 基带子信道信号带宽125 Hz, 相邻信道载频间隔为200 Hz, 子信道间隔 $B=200$  Hz, 接收机为中频采样率 $f_{IF} = 409.6$  kHz的DBPSK多路并行接收系统, 发射机在第500子信道(即载波频率1 kHz)上发送的信号, 接收机设置FFT点数 $N=2048$ 。得出该系统

参数下的解调性能,第500子信道的Matlab误码率曲线如图3所示。

仿真比较了传统DBPSK接收机的理想误码性能与基于FFT多信道DBPSK接收机的误码性能,可以看到相同误码率下传统接收机的信噪比与新算法相差1 dB,这是由于信道干扰和信号截断导致的能量泄漏引起的。仿真验证了基于FFT多信道DBPSK接收机<sup>[11-12]</sup>具有良好的解调性能。

## 4 硬件实现与测试

依据前文所述原理,完成了原型样机的硬件实现。基于FFT并行多路接收机的硬件实现方案采用了ADI公司的捷变收发器AD9361,借助其接收器功能,完成射频信号接收和模数转换。使用Xilinx公司的Kintex-7 FPGA KC705评估套件完成基带信号处理;采用基于微处理器(Microblaze)嵌入式架构实现配套的软件处理算法。

AD9361接收时域混叠的射频信号,转换为中频数字信号并传输到FFT并行下变频处理模块;经过FFT下变频处理后得到各子信道的基带数据,然后对各个子信道数据进行有效帧检测,提取有效帧信息;Microblaze启动直接内存访问(direct memory access, DMA)将完成有效帧检测的各路子信道数据存入双倍速率同步动态随机存储器(double data rate synchronous dynamic random access memory, DDR SDRAM)中;软件算法将子信道中的有效帧提取出来,利用DMA发送给同步模块以完成同步和解调;解调完成后进行循环冗余校验(cyclic redundancy check, CRC),Microblaze通过AXI4总线读取解调数据,并利用用户数据报协议(user datagram protocol, UDP)发送至网络终端。

XC7K325T FPGA资源消耗如表1所示。

表1 设计资源消耗

资源类型	消耗(占比/%)
Slice LUTs	64543(32)
Slice Registers	65879(16)
F7 Muxs	2481(2)
Block RAM	218(49)
DSPs	104(12)

样机能够完成上千路子信道信息的接收解调,系统参数同3.2节仿真参数。表2给出FPGA实现接收机的灵敏度测试结果,实现接收机接收灵敏度低于-132 dBm。

表2 FPGA实现接收机灵敏度测试

接收信号功率/dBm	测试帧数	误码率
-92	739	$<9.02 \times 10^{-6}$
-102	1 475	$<4.52 \times 10^{-6}$
-112	1 548	$2.2 \times 10^{-5}$
-122	865	$1.5 \times 10^{-5}$
-125	852	$4.68 \times 10^{-4}$
-128	1 031	$1.22 \times 10^{-3}$
-132	1 104	$8.12 \times 10^{-3}$

## 5 结束语

本文提出了一种基于FFT的并行多路下变频新型算法,给出了分析和仿真结果,验证了算法的有效性。将该算法应用于DBPSK多路并行接收机设计中,得到了良好的性能。最后给出了基于AD9361和Xilinx FPGA的实现方案,验证了算法的可实现性和良好性能。该方法充分利用了FFT的高效实现,相对于传统的并行下变频算法具有资源利用率高、实现复杂度低的特点,且解调性能与传统DBPSK接收机性能仅相差1 dB,可以适用于大量终端节点并行通信的应用需求。

### 参考文献

- [1] 王宏伟. 基于傅里叶变换的数字信道化及相关技术[D]. 西安: 西安电子科技大学, 2011.  
WANG Hong-wei. Digital channelization and related technologies based on Fourier transform[D]. Xi'an: Xidian University, 2011.
- [2] SANCHEZ M A, GARRIDO M, LOPEZ-VALLEJO M, et al. Implementing FFT-based digital channelized receivers on FPGA platforms[J]. IEEE Transactions on Aerospace and Electronic Systems, 2008, 44(4): 1567-1585.
- [3] 潘克刚, 张邦宁, 郭道省. 基于FFT的星上多路FDMA/FSK信号解调研究[J]. 通信学报, 2006, 27(8): 82-86.  
PAN Ke-gang, ZHANG Bang-ning, GUO Dao-sheng. Study on demodulating multi-channel FDMA/FSK signals on board based on FFT[J]. Journal on Communications, 2006, 27(8): 82-86.
- [4] 杨君, 袁嗣杰, 吕镜清. FFT滤波性能研究[C]//第十四届全国信号处理学术年会. 长沙: 中国电子学会信号处理分会, 2009.  
YANG Jun, YUAN Si-jie, LÜ Jing-qing. Research on FFT filtering performance[C]//Proceedings of the 14th National Signal Processing Academic Annual Conference. Changsha: Signal Processing Branch of the Chinese Institute of Electronics, Signal Processing Branch of China Instrument and Control Society, 2009.
- [5] 李红领, 谢飞, 杜广超. 单音干扰下BPSK调制信号的最佳干扰性能分析[C]//Proceedings of 2010 Asia-Pacific Conference on Information Theory(APCIT 2010). 西安: 中国电子学会信息论分会, 2010.

- LI Hong-ling, XIE Fei, DU Guang-chao. Optimal interference performance to BPSK with single-tone jamming[C]//Proceedings of 2010 Asia-Pacific Conference on Information Theory (APCIT 2010). Xi'an: Information Theory Branch of the Chinese Institute of Electronics, 2010.
- [6] TANG P, YUAN B, BAO Q, et al. Design and simulation of digital channelized receivers in fractional Fourier domain[J]. Journal of Systems Engineering and Electronics, 2013, 24(1): 36-43.
- [7] WANG H, LU Y, WANG X. Tree structure for channelized digital receivers[C]//2006 CIE International Conference on Radar. Shanghai: [s.n.], 2006.
- [8] 高振斌, 万红星, 陈禾, 等. 超长可变点数FFT处理器设计与实现[J]. 电讯技术, 2005, 45(4): 92-96.
- GAO Zhen-bing, WAN Hong-xing, CHEN He, et al. An ultra long point FFT processor for various-size data[J]. Telecommunication Engineering, 2005, 45(4): 92-96.
- [9] 董晖, 姜秋喜. 数字信道化接收机信号处理技术[J]. 电子信息对抗技术, 2007, 22(2): 3-6.
- DONG Hui, JIANG Qiu-xi. Signal processing technology in channelized digital receiver[J]. Electronic Information Warfare Technology, 2007, 22(2): 3-6.
- [10] SUGANYA V, PARAMASIVAM C. Parallel pipelined FFT architecture for real valued signals[C]//2016 International Conference on Wireless Communications, Signal Processing and Networking (WiSPNET). Chennai, India: [s.n.], 2016.
- [11] 朱肇轩, 王厚军, 王志刚. 基于短时傅里叶变换的自适应采样的研究[J]. 电子测量与仪器学报, 2009, 23(2): 15-18.
- ZHU Zhao-xuan, WANG Hou-jun, WANG Zhi-gang. Research on adaptive sampling based on short time Fourier transform[J]. Journal of Electronic Measurement and Instrumentation, 2009, 23(2): 15-18.
- [12] 李冰. 软件无线电中的信道化技术研究[D]. 郑州: 解放军信息工程大学, 2007.
- LI Bing. Research on channelized technology in software radio[D]. Zhengzhou: Information Engineering University, 2007.

编辑 税红