

• 通信与信息工程 •

## 高效 $2^n$ 并行快速 FIR 算法及其实现方法



胡剑浩\*, 曾维棋, 费超, 陈杰男

(电子科技大学通信抗干扰技术国家级重点实验室 成都 611731)

**【摘要】**快速有限脉冲响应 (FIR) 算法 (FFA) 突破了传统并行 FIR 滤波器复杂度随并行度线性增加的局限性, 效率大幅提高。然而目前缺少对高并行 FFA 通用算法和实现架构的研究。该文提出了高效  $2^n$  并行 FFA, 并给出了其通用算法形式与实现架构; 同时讨论了对于非  $2^n$  并行 FFA 的实现架构。通过算法分析和硬件效率评估, 本文算法及其实现架构在相同的并行度和性能条件下, 比传统并行算法有显著改善, 且随着并行度的增加, 这种优势更加明显。该算法在高并行 FIR 滤波器的应用中有很大优势。

**关键词**  $2^n$  并行; 快速 FIR 算法; FIR 滤波器; 硬件效率

**中图分类号** TN713 **文献标志码** A **doi**:10.12178/1001-0548.2018076

## High-Efficiency $2^n$ -Parallel Fast FIR Algorithm and Its Implementation Method

HU Jian-hao\*, ZENG Wei-qi, FEI Chao, and CHEN Jie-nan

(National Key Laboratory of Science and Technology on Communications, University of Electronic Science and Technology of China Chengdu 611731)

**Abstract** Fast finite impulse response (FIR) algorithm (FFA) can break the limitation that the hardware complexity of traditional parallel algorithm linearly increases with the degree of parallelism, which can improve FIR algorithm efficiency. However, there is few research focusing on the general algorithm and implementation structure for high-parallelism FFA. In this case, we propose high-efficiency  $2^n$ -parallel general FFA and its implementation structure. We also provide the high-parallelism FFA structure with non- $2^n$ -parallelism. According to the algorithm analysis and hardware efficiency estimation, we know that the efficient  $2^n$ -parallel FFA algorithm and structure proposed in this paper can achieve significant advantage over traditional methods, and this advantage is becoming more obvious with the parallelism increasing. Thus, the proposed high-efficiency  $2^n$ -parallel FFA can be used for the implementation of high-parallelism FIR filters.

**Key words**  $2^n$ -parallel; FFA; FIR filter; hardware efficiency

FIR 又称为非递归型滤波器, 是数字信号处理系统中最基本的模块之一。FIR 滤波器在通信、雷达、图像、模式识别等领域都有着广泛的应用<sup>[1-3]</sup>。某些应用领域如光通信、5G 通信系统、高速遥感卫星接收机等, 对滤波器的速率要求越来越高, 而移动设备、手持终端等领域对设备的功耗有着严格的要求<sup>[3]</sup>。

文献 [3] 的研究表明, 并行技术可以提高滤波器的信息吞吐率, 同时降低设备功耗。然而传统的并行处理方式会使硬件复杂度随并行度线性增加, 并行滤波器的硬件效率并没有得到改善, 难以支持高并行度的应用。FFA 能打破传统并行方式的这种局限性<sup>[3-6]</sup>, 可仅用约  $2L-1$  个  $N/L$  抽头的子滤波器

实现  $L$  并行  $N$  抽头的 FIR 滤波器<sup>[3]</sup>。文献 [7] 提出了基于 FFA 的 2 和 4 并行 FIR 滤波器的理论形式与结构, 文献 [8] 介绍了基于 FFA 的 8 并行 FIR 滤波器, 文献 [9] 改进了基于 FFA 的 3 并行 FIR 滤波器, 文献 [10] 给出了基于 FFA 的 16 并行 FIR 滤波器的 ASIC 实现方式。然而, 目前的研究工作没有给出基于 FFA 的  $2^n$  并行 FIR 滤波器的通用算法。

此外, 在高速 FIR 滤波器或滤波器组滤波等应用场合<sup>[11-12]</sup>, 对 FIR 滤波器并行度的要求达到了 160 并行甚至更高。目前基于 FFA 的算法没有提出针对高并行滤波器的设计架构, 很多工程实践仍然采用传统并行 FIR 滤波器的实现方式, 造成了很大的硬件资源浪费。

收稿日期: 2018-03-29; 修回日期: 2019-11-18

基金项目: 国家自然科学基金 (61571083)

作者简介: 胡剑浩 (1971-), 男, 教授, 主要从事通信信号处理方面的研究. E-mail: jhhu@uestc.edu.cn

对此, 本文根据已有的基于 FFA 的 2、4、8 并行 FIR 滤波器的理论形式, 提出了通用的  $2^n$  并行 FFA, 并给出了其相应结构, 进一步给出了 160 并行 FFA 的实现架构。通过硬件复杂度评估和算法分析, 本文提出的算法和实现架构, 可以满足高并行度 FIR 的设计要求, 并且算法复杂度和硬件效率较传统方法有显著改善。

## 1 基于 FFA 的 2、4 与 8 并行 FIR 滤波器

文献 [8] 已经推导出了基于 FFA 的 2、4 与 8 并行 FIR 滤波器的理论形式。本节主要对上述理论形式进行整理, 方便后面进行推导和分析。

### 1.1 基于 FFA 的 2 并行 FIR 滤波器

基于 FFA 的 2 并行 FIR 滤波器的算法形式:

$$Y_{2p} = Q_2 H_{2p} P_2 X_{2p} \quad (1)$$

式中的滤波器输入为:

$$X_{2p} = [X_0, X_1]^T \quad (2)$$

式中,  $X_0$  和  $X_1$  分别是输入序列  $\{x(2k)\}$  与  $\{x(2k+1)\}$  的  $z$  变换, 对于更高并行度情况亦类似。滤波器输出为:

$$Y_{2p} = [Y_0, Y_1]^T \quad (3)$$

同样,  $Y_0$  和  $Y_1$  分别是输出序列  $\{y(2k)\}$  与  $\{y(2k+1)\}$  的  $z$  变换。预加矩阵为:

$$P_2 = \begin{bmatrix} 1 & 0 \\ 1 & 1 \\ 0 & 1 \end{bmatrix} \quad (4)$$

滤波器系数矩阵为:

$$H_{2p} = \text{diag}(P_2 h_2) \quad (5)$$

$$h_2 = [H_0, H_1]^T \quad (6)$$

$H_0$  和  $H_1$  分别是滤波器系数序列  $\{h(2k)\}$  与  $\{h(2k+1)\}$  的  $z$  变换。后级加法及延时矩阵为:

$$Q_2 = \begin{bmatrix} 1 & 0 & z^{-2} \\ -1 & 1 & -1 \end{bmatrix} \quad (7)$$

### 1.2 基于快速 FIR 算法的 4 并行 FIR 滤波器

基于 FFA 的 4 并行 FIR 滤波器的算法形式为:

$$Y_{4p} = Q_4 H_{4p} P_4 X_{4p} \quad (8)$$

式中的滤波器输入为:

$$X_{4p} = [X_0, X_2, X_1, X_3]^T \quad (9)$$

输出为:

$$Y_{4p} = [Y_0, Y_2, Y_1, Y_3]^T \quad (10)$$

预加矩阵:

$$P_4 = P_2 \otimes P_2 \quad (11)$$

滤波系数矩阵:

$$H_{4p} = \text{diag}(P_4 h_4) \quad (12)$$

$$h_4 = [H_0, H_2, H_1, H_3]^T \quad (13)$$

后级加法及延时矩阵:

$$Q_4 = Q_2 (I_{3 \times 3} \otimes Q_{4_1}) \quad (14)$$

$$Q_{4_1} = \begin{bmatrix} I_{2 \times 2} & O_{2 \times 2} & \begin{bmatrix} 0 & z^{-4} \\ 1 & 0 \end{bmatrix} \\ -I_{2 \times 2} & I_{2 \times 2} & -I_{2 \times 2} \end{bmatrix} \quad (15)$$

$$Q_{4_1} = \begin{bmatrix} 1 & 0 & z^{-4} \\ -1 & 1 & -1 \end{bmatrix}$$

### 1.3 基于 FFA 的 8 并行 FIR 滤波器

基于 FFA 的 8 并行 FIR 滤波器的算法形式为:

$$Y_{8p} = Q_8 H_{8p} P_8 X_{8p} \quad (16)$$

式中的滤波器输入为:

$$X_{8p} = [X_0, X_4, X_2, X_6, X_1, X_5, X_3, X_7]^T \quad (17)$$

输出为:

$$Y_{8p} = [Y_0, Y_4, Y_2, Y_6, Y_1, Y_5, Y_3, Y_7]^T \quad (18)$$

预加矩阵:

$$P_8 = P_2 \otimes (P_2 \otimes P_2) \quad (19)$$

滤波系数矩阵:

$$H_{8p} = \text{diag}(P_8 h_8) \quad (20)$$

$$h_8 = [H_0, H_4, H_2, H_6, H_1, H_5, H_3, H_7]^T \quad (21)$$

后级加法及延时矩阵:

$$Q_8 = Q_8 (I_{3 \times 3} \otimes Q_{8_2}) [I_{3 \times 3} \otimes (I_{3 \times 3} \otimes Q_{8_1})] \quad (22)$$

式中,

$$Q_{8_3} = \begin{bmatrix} I_{4 \times 4} & O_{4 \times 4} & \begin{bmatrix} 0 & 0 & 0 & z^{-8} \\ 0 & 0 & 1 & 0 \\ 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 \end{bmatrix} \\ -I_{4 \times 4} & I_{4 \times 4} & -I_{4 \times 4} \end{bmatrix}$$

$$Q_{8_2} = \begin{bmatrix} I_{2 \times 2} & O_{2 \times 2} & \begin{bmatrix} 0 & z^{-8} \\ 1 & 0 \end{bmatrix} \\ -I_{2 \times 2} & I_{2 \times 2} & -I_{2 \times 2} \end{bmatrix}$$

$$Q_{8_1} = \begin{bmatrix} 1 & 0 & z^{-8} \\ -1 & 1 & -1 \end{bmatrix} \quad (23)$$

## 2 基于 FFA 的 $2^n$ 并行 FIR 滤波器算法

基于 FFA 的 2、4、8 并行 FIR 滤波器的算法

形式，推导出  $2^n$  并行算法，并设计了基于 FFA 的  $2^n$  并行与非  $2^n$  并行的 FIR 滤波器整体结构。

### 2.1 算法设计

由式 (1)→式 (8)→式 (16)，可归纳得到  $2^n$  并行的理论形式为：

$$Y_{2^n p} = Q_{2^n} H_{2^n p} P_{2^n} X_{2^n p} \quad (24)$$

由式 (2)→式 (9)→式 (17) 可归纳其输入：

$$X_{2^n p} = [X_0, X_{2^{n-1}}, X_{2^{n-2}}, X_{2^{n-2}+2^{n-1}}, X_{2^{n-3}}, X_{2^{n-3}+2^{n-1}}, \dots, X_{2^{n-1}-1}, X_{2^{n-1}}]_{1 \times 2^n}^T \quad (25)$$

由式 (3)→式 (10)→式 (18)，归纳得输出为：

$$Y_{2^n p} = [Y_0, Y_{2^{n-1}}, Y_{2^{n-2}}, Y_{2^{n-2}+2^{n-1}}, Y_{2^{n-3}}, Y_{2^{n-3}+2^{n-1}}, \dots, Y_{2^{n-1}-1}, Y_{2^{n-1}}]_{1 \times 2^n}^T \quad (26)$$

对于预加矩阵，由式 (4)→式 (11)→式 (19) 推知：

$$P_{2^n} = \underbrace{P_2 \otimes \{P_2 \otimes [P_2 \otimes \dots \otimes (P_2 \otimes P_2)]\}}_{n-1 \text{ calculating operations}} \quad (27)$$

对于滤波系数矩阵，由式 (5)→式 (12)→式 (20) 推知：

$$H_{2^n p} = \text{diag}(P_{2^n} h_{2^n}) \quad (28)$$

由式 (6)→式 (13)→式 (21) 推知：

$$h_{2^n} = [H_0, H_{2^{n-1}}, H_{2^{n-2}}, H_{2^{n-2}+2^{n-1}}, H_{2^{n-3}}, H_{2^{n-3}+2^{n-1}}, \dots, H_{2^{n-1}-1}, H_{2^{n-1}}]_{1 \times 2^n}^T \quad (29)$$

对于后级加法及延时矩阵，由式 (7)→式 (14)→式 (22) 推知：

$$Q_{2^n} = Q_{2^n} (I_{3 \times 3} \otimes Q_{2^{n-1}}) [I_{3 \times 3} \otimes (I_{3 \times 3} \otimes Q_{2^{n-2}})] \times \dots \times \{I_{3 \times 3} \otimes [I_{3 \times 3} \otimes \dots \otimes (I_{3 \times 3} \otimes Q_{2^1})]\} \quad (30)$$

由式 (7)→式 (15)→式 (23) 可归纳得：

$$Q_{2^n} = \begin{bmatrix} 1 & 0 & A_1 \\ -1 & 1 & -1 \end{bmatrix} \\ Q_{2^{n-1}} = \begin{bmatrix} I_{2 \times 2} & O_{2 \times 2} & A_2 \\ -I_{2 \times 2} & I_{2 \times 2} & -I_{2 \times 2} \end{bmatrix} \\ \vdots \\ Q_{2^1} = \begin{bmatrix} I_{2^{n-1} \times 2^{n-1}} & O_{2^{n-1} \times 2^{n-1}} & A_n \\ -I_{2^{n-1} \times 2^{n-1}} & I_{2^{n-1} \times 2^{n-1}} & -I_{2^{n-1} \times 2^{n-1}} \end{bmatrix} \quad (31)$$

式中， $A_k$  满足：

$$A_1 = [z^{-2^n}]$$

$$A_k = \begin{bmatrix} O_{2^{k-2} \times 2^{k-2}} & A_{k-1} \\ I_{2^{k-2} \times 2^{k-2}} & O_{2^{k-2} \times 2^{k-2}} \end{bmatrix} \quad k = 2, 3, \dots, n \quad (32)$$

所归纳的式 (24)~式 (32) 即为基于 FFA 的通用  $2^n$  并行 FIR 滤波器的算法形式。分析式 (24)~式 (32) 可以看出， $2^n$  并行 FIR 算法保持了原 FIR 滤波器的传递函数，因此该算法具有与原 FIR 滤波器的信号处理性能。

### 2.2 基于 FFA 的 $2^n$ 并行 FIR 滤波结构设计

#### 2.2.1 基于 FFA 的 $2^n$ 并行 FIR 实现结构

根据 2.1 节中的算法形式，对基于 FFA 的  $2^n$  并行 FIR 滤波器架构进行设计。

式 (24) 对结构设计起主要指导作用。 $P_{2^n} X_{2^n p}$  意味着首先要进行对输入的预加操作； $H_{2^n p} (P_{2^n} X_{2^n p})$  则说明接下来对预加的结果进行子滤波； $Q_{16} (H_{2^n p} P_{2^n} X_{2^n p})$  则指导着对子滤波结果的后级加法与延时。如此，再根据式 (25)~(32) 的具体指导，可得到基于 FFA 的  $2^n$  并行 FIR 滤波器架构，如图 1 所示。图中，预加处理子模块实现对  $2^n$  并行输入数据的预加操作，预加后得到  $3^n$  路输出。并行滤波器子模块含  $3^n$  路子滤波器，完成对  $3^n$  路输入数据的子滤波操作。延时及后加处理子模块完成对子滤波结果的后级加法及延时功能，得到  $2^n$  并行输出。这样，达到  $2^n$  并行滤波的目的。

#### 2.2.2 基于 FFA 的非 $2^n$ 并行 FIR 实现结构

对于非  $2^n$  并行的 FFA，可以用较低并行度的基于 FFA 的并行 FIR 滤波器组设计高并行度滤波器，本文设计并实现了基于 FFA 的 160 并行 FIR 滤波器。由于  $160=20 \times 8$ ，因此可以用 20 个基于 FFA 的 8 并行 FIR 滤波器组构建基于 FFA 的 160 并行 FIR 滤波器。其设计结构如图 2 所示。

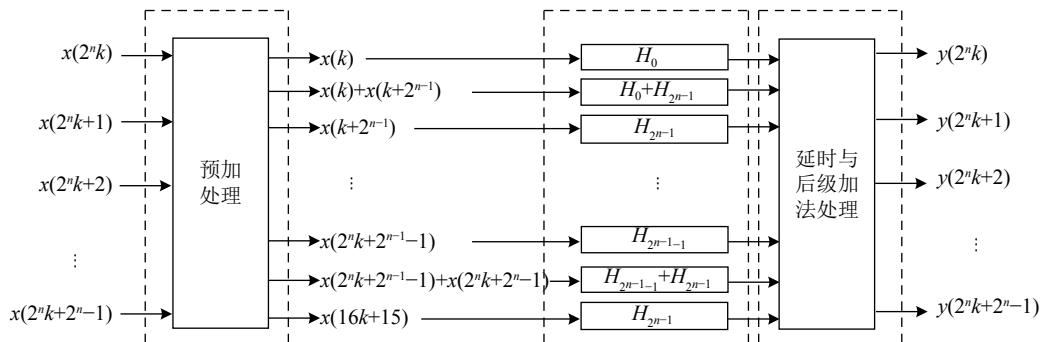


图 1 基于 FFA 的  $2^n$  并行 FIR 滤波器架构

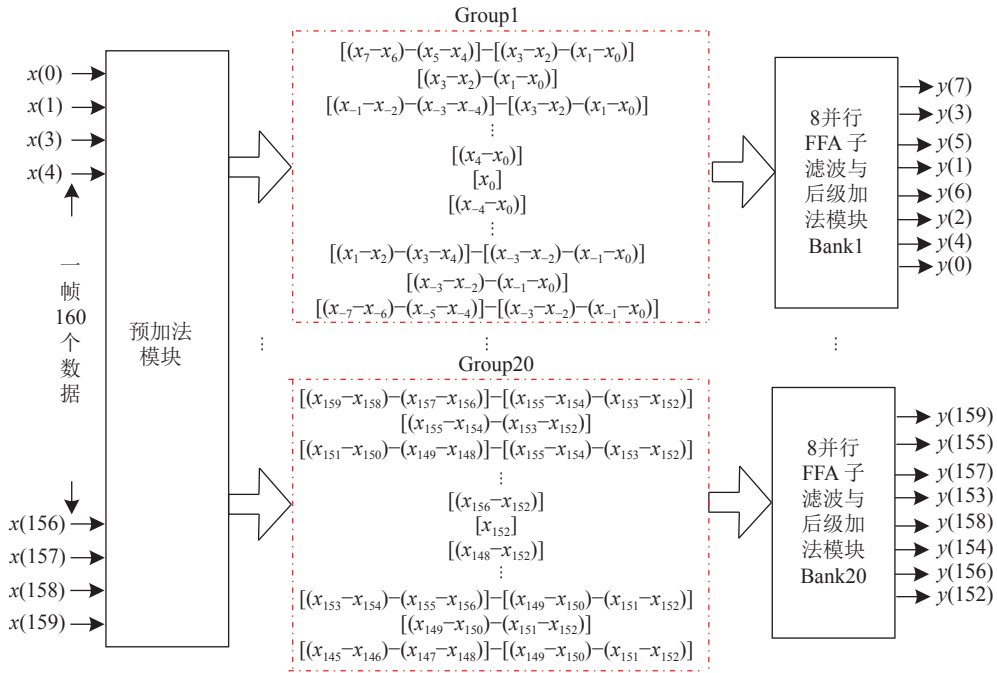


图 2 基于 FFA 的 160 并行 FIR 滤波器架构

### 3 硬件复杂度及算法性能分析

#### 3.1 硬件复杂度分析

设计一个  $L$  并行  $N-1$  阶的 FIR 滤波器, 若多相滤波方式, 需要  $NL$  个乘法器及  $(N-1)L$  个加法器。

若基于 FFA 实现, 当  $L=2$  时, 需要  $3N/2$  个乘法器实现; 当  $L=4$  时, 需要  $9N/4$  个乘法器; 当  $L=8$  时, 需要  $27N/8$  个乘法器;  $L=16$  时, 需要  $81N/16$  个乘法器。那么, 可以归纳出基于 FFA 的  $2^n$  并行

$N-1$  阶 FIR 滤波器所需乘法器的个数为  $3^n N/2^n$ , 所需加法器数量需要具体计算。

由此, 可以统计出  $N-1$  阶不同并行度下, 传统方式与基于 FFA 方式并行 FIR 滤波器的乘法器数量的对比情况, 如表 1 所示。

由表 1 可知, 基于 FFA 的并行 FIR 滤波器所需乘法器个数少于传统方式。且随着并行度的增加, FFA 相对于传统方式将节省更多的乘法器资源。

表 1 设计  $N-1$  阶 FIR 在不同方案下乘法器数目统计表

并行 FIR	2 并行	4 并行	8 并行	16 并行	32 并行	$2^n$ 并行
传统并行	$2N$	$4N$	$8N$	$16N$	$32N$	$N2^n$
FFA	$3N/2$	$9N/4$	$27N/8$	$81N/16$	$243N/32$	$N3^n/2^n$
FFA 相对于传统并行节约/%	25.00	43.75	57.81	68.36	76.27	$[1 - (3/4)^n] \times 100$

#### 3.2 算法性能分析

在硬件实现过程中, 在计算单元层面, 假设传统并行 FIR 结构中加法器的整数位宽为  $m$  bit, 小数位宽为  $n$  bit。由于 FFA 架构在前级有预加运算, 如 16 并行 FFA 在前级最多会有 16 个数的预加, 若仍然采用  $m$  bit 的整数位宽, 会存在运算溢出的情况。此时, 需要拓宽预加 16 个数的加法器的整数位宽至  $m+4$  bit。这样, 会使 FFA 加法器及乘法器的复杂度高于传统 FIR 滤波器。并且相同并行度下 FFA 的加法器个数也多于传统方式。由于 FFA 相比传统方式能节约大量的乘法器, 所以高

效  $2^n$  并行 FFA 还是有显著增益。

为了评估硬件资源总体的收益情况, 针对高速光纤通信系统需要的 7 阶 160 并行 FIR 滤波器进行设计实现。其架构如图 2 所示。根据前文所述算法性能的分析, 在计算单元层面, 传统方式与本文提出的方式的加法器和乘法器的复杂度不尽相同。为了对比分析, 采用本文提出的设计方法和传统的设计方法对该滤波器在 FPGA 上进行资源评估。资源评估按 FPGA 上对应 IPCORE 所占用的查找表 LUTs 等效折算, 所使用 FPGA 为 Xilinx XC7K325T, 乘法器 IPCORE 使用 Multiplier 11.2 中的常数乘法器。

最终, 基于 FFA 的方法比传统方法的乘法器资源 缩减了 56.3%, 总资源缩减了 36.2%, 如表 2 所示。

表 2 7 阶 160 并行 FIR 滤波器 FPGA 资源评估

并行FIR	运算	规格/bit	数量	单个所占LUT	总LUT	总资源
传统方法	乘法	9×8	8×160	36	46 080	60 960
		10	1×160	11	1 760	
	加法	12	2×160	13	4 160	
		13	4×160	14	8 960	
本文方法		9×8	1×20	36	720	38 880
	乘法	10×8	18×20	37	13 320	
		11×8	8×20	38	6 080	
		9	8×20	10	1 600	
	加法	10	30×20	11	6 600	
		11	20×20	12	4 800	
		15	18×20	16	5 760	

## 4 结束语

本文根据已有的基于 FFA 的 2、4、8 并行 FIR 滤波器的理论形式, 推导了  $2^n$  并行 FFA, 然后设计了  $2^n$  并行 FFA 及非  $2^n$  并行 FFA 的架构。接着, 对比了在不同并行度下, 高效  $2^n$  并行 FFA 与传统并行算法实现的乘法器数目, 发现随着并行度的增加前者的优势越发明显。最后, 从计算性能以及计算单元层次上分析了该算法, 得出结论: 虽然高效  $2^n$  并行 FFA 相对于传统并行算法会增加若干加法器与乘法器的复杂度, 但是由于前者对乘法器资源增益明显, 所以其硬件效率较传统并行算法仍有显著改善, 且随着并行度增加, 这种优势会更加明显。

## 参 考 文 献

- [1] ARIYADOOST H, KAVIAN Y S, ANSARI-ASL K. Two dimensional systolic adaptive DLMS FIR filters for image processing on FPGA[C]//20th Iranian Conference on Electrical Engineering (ICEE2012). Tehran, Iran: [s.n.], 2012: 243-248.
- [2] ZHANG Y, HE W, HONG W, et al. Flat topped radiation pattern synthesis based on FIR filter concept[C]//2017 IEEE Asia Pacific Microwave Conference (APMC). Kuala Lumpur, Malaysia: IEEE, 2017: 751-754.
- [3] TIAN J, LI G, LI Q. Hardware-efficient parallel structures for linear-phase FIR digital filter[C]//2013 IEEE 56th International Midwest Symposium on Circuits and Systems (MWSCAS). Columbus, USA: IEEE, 2013: 995-998.
- [4] SELVAKUMAR J, BHASKAR V, NARENDRAN S. FPGA based efficient fast FIR algorithm for higher order digital fir filter[C]//2012 International Symposium on Electronic System Design (ISED). Kolkata, India: [s.n.], 2012: 43-47.
- [5] LEIGH G M. Fast FIR algorithms for the continuous wavelet transform from constrained least squares[J]. *IEEE Transactions on Signal Processing*, 2013, 61(1): 28-37.
- [6] KYRITSIS E, PEKMESTZI K. Hardware efficient fast FIR filter based on Karatsuba algorithm[C]//2016 5th International Conference on Modern Circuits and Systems Technologies (MOCAST). Thessaloniki, Greece: [s.n.], 2016: 1-4.
- [7] PARKER D A, PARHI K K. Area-efficient parallel FIR digital filter implementations[C]//Proceedings of International Conference on Application Specific Systems, Architectures and Processors. Chicago, USA: [s.n.], 1996: 93-111.
- [8] PARHI K K. VLSI digital signal processing systems: Design and implementation[M]. New York: John Wiley & Sons, 2007.
- [9] TSAO Y C, CHOI K. Hardware-efficient VLSI implementation for 3-parallel linear-phase FIR digital filter of odd length[C]//2012 IEEE International Symposium on Circuits and Systems. Seoul, Korea: IEEE, 2012: 998-1001.
- [10] ANNANGI S, PULI R. ASIC implementation of efficient 16-parallel fast FIR algorithm filter structure[C]//2017 8th International Conference on Computing, Communication and Networking Technologies (ICCCNT). Delhi, India: IEEE, 2017: 1-5.
- [11] LEI M, MA Z. Design of high-speed FIR filter with distributed parallel structure[C]//2016 IEEE Information Technology, Networking, Electronic and Automation Control Conference. Chongqing, China: IEEE, 2016: 511-514.
- [12] PARK S, SHIN D, KOH K J, et al. A low-power 3.25GS/s 4th-order programmable analog FIR filter using split-CDAC coefficient multipliers for wideband analog signal processing[C]//2018 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco, USA: IEEE, 2018: 62-64.