



# CP-PLL 快速入锁集成电路方案设计

赵建明<sup>1\*</sup>, 张宜尧<sup>1</sup>, 刘炜恒<sup>1</sup>, 李晓东<sup>2</sup>, 徐银森<sup>2</sup>, 李建全<sup>3</sup>, 徐开凯<sup>1</sup>

(1. 电子科技大学电子科学与工程学院 成都 611731; 2. 四川遂宁市利普芯微电子有限公司 四川 遂宁 629000;  
3. 四川芯合利诚科技有限公司 四川 遂宁 629000)

**【摘要】**该文基于 TSMC 0.18  $\mu\text{m}$  RF CMOS 工艺实现了一个用于加快 CP-PLL 锁定时间的数模混合复合结构, 该复合结构主要包括两个独立单元——动态环路带宽单元及预置位反馈环。其中, 两个单元的控制电路均采用全数字电路实现, 并通过 DC 综合与 ICC 自动布局布线得到版图信息。经过同一 CP-PLL 参数环境下的对比分析, 比较了包括传统结构的 3 种方案的锁定时间。在工作电源 1.8 V 下, 优化后的锁定时间为 1.12  $\mu\text{s}$ , 较传统结构锁定时间提升了 76.7%; 整体相噪在稳态保持  $-103.1 \text{ dBc/Hz}@1 \text{ MHz}$ , 较传统结构仅上升了 0.3%。证明该复合结构能够有效降低上电启动以及跳频时的锁定时间。

**关键词** 动态环路带宽; 快速锁定; 相位噪声; 锁相环; 预置位  
**中图分类号** TN432 **文献标志码** A **doi**:10.12178/1001-0548.2019246

## Design of a Fast Lock-in IC for CP-PLL

ZHAO Jian-ming<sup>1\*</sup>, ZHANG Yi-yao<sup>1</sup>, LIU Wei-heng<sup>1</sup>, LI Xiao-dong<sup>2</sup>, XU Yin-sen<sup>2</sup>, LI Jian-quan<sup>3</sup>, and XU Kai-kai<sup>1</sup>

(1. School of Electronic Science and Engineering, University of Electronic Science and Technology of China Chengdu 611731;  
2. Sichuan Suining Lippxin Microelectronics Co., Ltd Suining Sichuan 629000; 3. Sichuan Xhlc Technology Co.Ltd Suining Sichuan 629000)

**Abstract** Based on TSMC 0.18  $\mu\text{m}$  RF CMOS process, a hybrid digital analog composite structure is implemented to accelerate the locking time of charge-pump phase-locked loop (CP-PLL). The composite structure mainly includes two independent units: dynamic loop bandwidth unit and preset feedback loop. Among them, the control circuits of the two units are all digital circuits, and the layout information is obtained through DC synthesis and ICC automatic layout. Through the comparative analysis under the same CP-PLL parameter environment, the locking times of three schemes including the traditional structure are compared. Under the working power supply of 1.8 V, the optimized locking time is 1.12  $\mu\text{s}$ , which is 76.7% higher than that of the traditional structure; the overall phase noise keeps  $-103.1 \text{ dBc/Hz}@1 \text{ MHz}$  in the steady state, which is only 0.3% higher than that of the traditional structure. Therefore, the composite structure can effectively reduce the lock-in time of power on and frequency hopping.

**Key words** dynamic loop bandwidth; fast lock; phase noise; PLL; preset

频率综合器是现代通信和信息处理系统的重要组成部分, 广泛应用于空间探测、通信、雷达和计算机等领域<sup>[1-3]</sup>。随着通信系统的不断发展, 从 1G、2G-GSM、3G-WCDMA/CDMA2000、4G-LTE 到 5G 网络, 要求工作频率越来越高, 数据量越来越大, 速度也越来越快。因此, 在传统通信系统中应用于调制解调的本振信号源需要更高的性能, 能够满足更密集的信道、更高的输出频率、更快的响应速度以及更低的相位噪声。

通用通信系统调制解调集成芯片 (integrate circuits, IC) 性能极大程度地受限于时钟信号, 其

一般由外部晶体振荡器提供参考频率输入, 对于内部高速时钟信号通常由锁相环电路 (phase lock loop, PLL) 或频率综合器 (frequency synthesizer, FS) 提供。如今的通信系统应用场景需要性能更好的时钟源, 因此本文提出了一种用于低相位噪声的分数分频锁相环的启动响应速度提高方案。如环路拓扑采用基于全数字 MASH 1-1-1 作为分频器的分数锁相环结构<sup>[4]</sup>, 本文在此基础上论证了在保证稳态相位噪声的同时提高启动入锁速度的可行性, 并通过后续数据处理, 得出环路在上电过程与跳频时的锁定时间、变化情况 etc 性能参数。

收稿日期: 2019-11-07; 修回日期: 2020-11-06

基金项目: 四川省科学技术厅项目 (2019YFG0091, 2020ZHC0008)

作者简介: 赵建明 (1964-), 主要从事功率半导体集成电路设计及应用方面的研究。E-mail: jmzhao@uestc.edu.cn

## 1 系统结构

PLL 是一个反馈控制系统<sup>[5]</sup>, 其环路拓扑结构系统框图如图 1 所示, 主要由鉴频鉴相器 (phase frequency detector, PFD)、数控电流可变电荷泵 (charge pump, CP)、压控振荡器 (voltage-controlled

oscillator, VCO)、环路滤波器 (loop filter, LF)、双模预分频器 (8/9Div)、数字分频模组 (/P、/S)<sup>[6]</sup>、全数字  $\Sigma$ - $\Delta$  调制器 (digital sigma delta modulator, DSDM) 等构成。此外, 还包含重点讨论的动态环路带宽变换电路 (dynamic bandwidth, DBW) 以及预置位反馈环路 (preset loop, PL)。

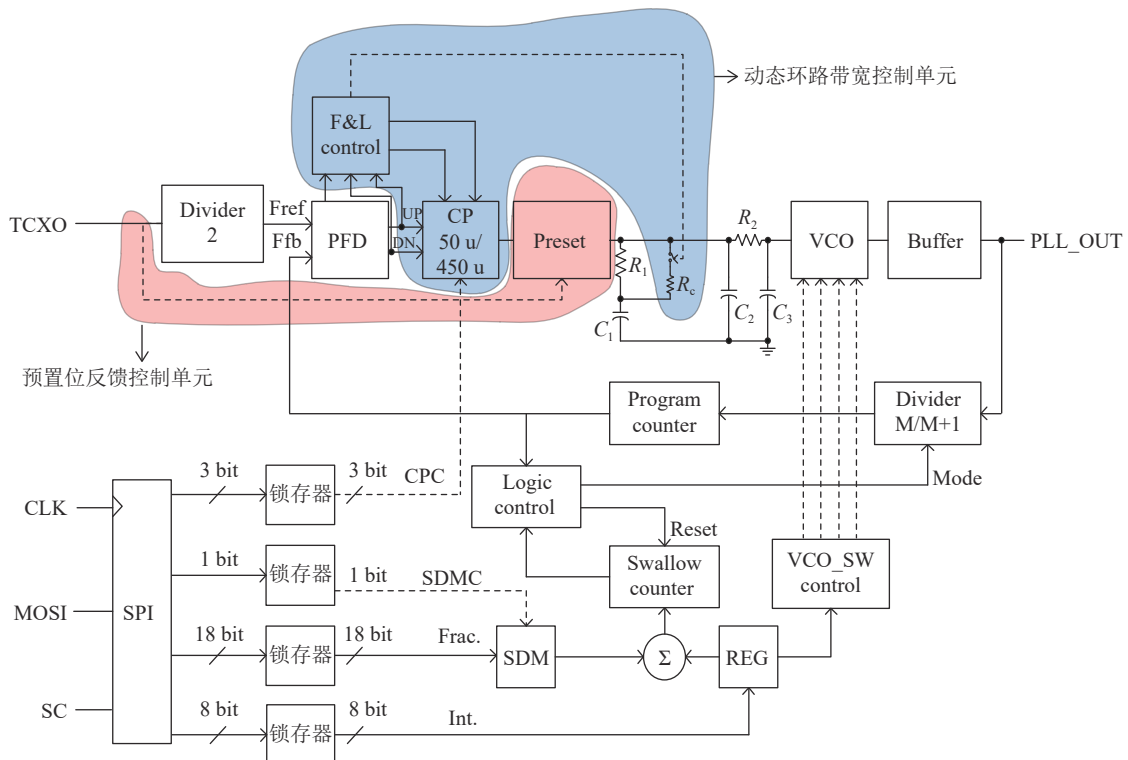


图 1 快速入锁锁相环系统结构

锁相环路将 VCO 输出信号经过分频电路后与输入参考信号进行相位、频率比对, 通过 PFD 计算两信号相位差值, 并通过 CP 将此相位差值转化为受控电流, 再经过 LPF 转化为受控电压量, 最终控制 VCO 的输出信号频率和相位与参考信号对齐, 实现相位和频率的锁定。通过外部设定整数、分数 (二进制) 分频系数<sup>[7]</sup>, 即可以控制 VCO 最终输出信号频率  $f_n$  为输入参考频率  $f$  的  $N$  倍。

动态环路带宽变换电路包括环路带宽控制器、电流可变电荷泵以及可变低通滤波器, 通过设定相位阈值来控制高带宽模式的启动, 以减小频率跳变入锁的时间。预置位反馈环路包括时钟控制器和 CMOS 推拉电路, 通过检测 VCO 控制电压与阈值的差值, 以反馈控制 CMOS 推拉电路, 使得控制

电压能快速响应到合适位置, 以减小上电过程的入锁时间。

## 2 快速入锁方案设计与实现

首先, 根据环路可知, 其闭环传输函数可以简单表示为:

$$F(s) = \frac{H(s)}{H(s)G(s)} = \frac{\frac{I_{cp}}{2\pi} F(s) \frac{K_{VCO}}{s}}{1 + \frac{I_{cp}}{2\pi} F(s) \frac{K_{VCO}}{s} \frac{1}{f_n}} \quad (1)$$

此处使用传递函数二阶近似进行分析, 其高阶项仅对初始特性有较明显的影响, 如过冲, 而锁定时间更多受低阶项影响。三阶 LPF 传递函数可以简单表示为:

$$F(s) = \frac{1}{s} \frac{1 + R_1 C_1 s}{R_1 R_2 C_1 C_2 C_3 s^2 + [R_1 C_1 (C_2 + C_3) + R_2 C_3 (C_1 + C_2)] s + C_1 + C_2 + C_3} \quad (2)$$

由反馈控制原理可以将式 (1) 写为一般形式:

$$H(s) = \frac{2f_n \xi \omega_n s + f_n \omega_n^2}{s^2 + 2\xi \omega_n s + \omega_n^2} \quad (3)$$

因此, 将式 (2) 带入式 (1) 后再与式 (3) 比对参数, 可以得到闭环传输函数的自然频率  $\omega_n$  和阻尼系数  $\xi$  分别为:

$$\omega_n = \frac{R_1 C_1}{2} \sqrt{\frac{K_{VCO} \frac{I_{cp}}{2\pi}}{f_n (C_1 + C_2 + C_3)}} \xi = \sqrt{\frac{K_{VCO} \frac{I_{cp}}{2\pi}}{f_n (C_1 + C_2 + C_3)}} \quad (4)$$

频率响应为 (其中频率变化从  $f_0 \sim f_1$ ):

$$f(t) = f_1 + (f_1 - f_0) \varepsilon(t) \quad (5)$$

式中,  $\varepsilon(t)$  为环路阶跃响应。假设锁相环锁定误差阈值为  $\Delta f$ , 则锁定时间可以简单表示为:

$$t = \frac{1}{\xi \omega_n} \left( -\ln \frac{\Delta f}{f_1 - f_0} \frac{\sqrt{1 - \xi^2}}{1 - 2R_1 C_1 \xi \omega_n + R_2^2 C_2^2 \omega_n^2} \right) \quad (6)$$

从上述推导看出, 影响跳频入锁时间的重要因素主要为环路带宽因子  $\xi \omega_n$  以及跳频距离  $f_1 - f_0$ <sup>[8]</sup>。因为调频距离存在一个对数关系, 所以环路带宽对入锁时间的贡献比调频距离更大。但是在上电启动入锁阶段, 由于系统从“0”状态开始到稳态, 其跳频距离对入锁时间的影响将加剧。

通过上述分析可以知道, 实现任意跳频阶段 (启动与跳频) 的快速入锁功能需要多类方案整合。针对这两个不同的阶段, 提出两种快速入锁方案: 动态环路带宽变换和预置反馈环路。

## 2.1 动态环路带宽变换

根据上述环路瞬态响应分析, 可以看出在任意跳频阶段, 环路带宽对入锁时间的影响最大, 因此首先写出环路带宽简单表达式为:

$$\omega_c = 2\omega_n \xi = \frac{R_1 C_1}{C_1 + C_2 + C_3} \frac{K_{VCO} I_{cp}}{2\pi f_n} \quad (7)$$

由于在三阶 LPF 中  $C_1 \gg C_2$ 、 $C_1 \gg C_3$ , 因此可以简写为:

$$\omega_c = \frac{K_{VCO} I_{cp} R_1}{2\pi f_n} \quad (8)$$

通过式 (8) 可以看出, 增大环路带宽可以极大地缩减入锁时间, 进一步说可以通过增大电荷泵电流  $I_{cp}$ , 增大 VCO 增益  $K_{VCO}$ , 增大环路滤波器第一级电阻  $R_1$  或者减小分频比  $N$  来提高环路带宽。

而通常情况下, 分频比无法随意改变, 因为输入输出频率关系决定了当前工作环境下分频比的大小。VCO 增益  $K_{VCO}$  一般也不希望能够可变并且应当保持较小的值, 过大的  $K_{VCO}$  会导致较大的输出相位噪声。因此, 既要满足尽量低的相位噪声的同时又要提高环路带宽, 最直接的方案是改变电荷泵电流  $I_{cp}$  和环路滤波器第一级电阻  $R_1$  的值<sup>[9-10]</sup>。

数控电流可变电荷泵结构如图 2 所示。

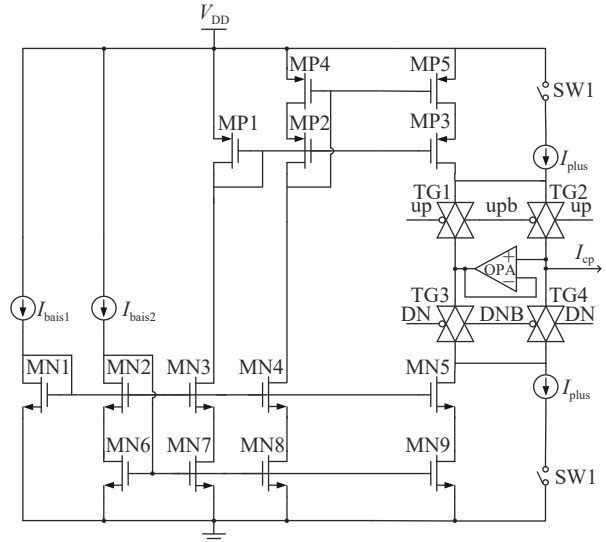


图 2 1 bit 数控电流可变电荷泵结构

增流支路控制开关 SW1 信号由环路带宽控制电路输出端口得到, 其中环路带宽控制电路结构如图 3 所示, 其工作时序如图 4 所示。图中 delay 量为环路带宽切换阈值, 以相位差大于 delay 为例, DFF 的 D 端口信号只要 UP 或 DN 任一为高, 经过 delay 延迟后就为高; CLK 端口则需要 UP 和 DN 同时为高时才为高。即当相位差大于 delay 时, CLK 信号落后于 D 信号, 此时  $Q=1$ ,  $QN=0$ , 控制器的输出等效于 PFD 的输出信号, 使得 CP 中增流支路控制开关 SW1 同步 TG 变化。同理也可以推导出相位差小于 delay 的情况, 此处不再赘述。

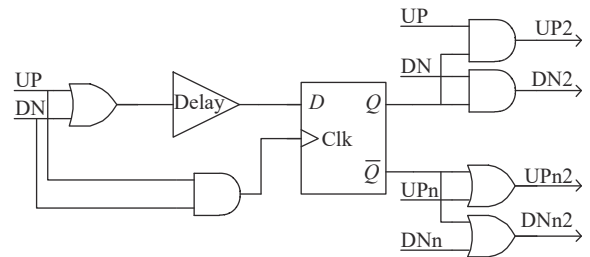


图 3 环路带宽控制电路结构

虽然在工作状态改变时使用大电流进行快速锁定的时间很短, 但仍需要考虑这段时间的环路稳定

性问题, 以防止锁相环的错锁或稳定状态进程的恶化。因此, 讨论在环路带宽切换过程中的相位裕度变化情况, 环路相位裕度可以写为:

$$\phi_c(\omega) = \pi + \tan^{-1}(\omega\tau_c) - \tan^{-1}(\omega\tau_p) \quad (9)$$

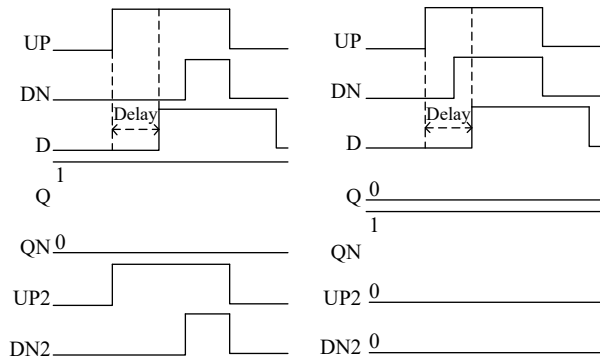


图 4 环路带宽控制器时序逻辑

对于起主要作用的环路滤波器前两级, 可以简单写作  $\tau_c = R_1 C_1$ ,  $\tau_p = R_1 (C_2 + C_3)$ 。快速充放电过程中, 因为环路带宽  $\omega$  增大, 为了保证相位裕度, 应减小  $\tau_c$  和  $\tau_p$ , 通常不应改变 LPF 中的电容, 因为电容变化会引起电荷分享效应, 会增大  $V_{ctrl}$  噪声, 恶化锁相环性能, 可以通过改变阻容串联级的电阻来实现。由式 (8) 可知, 假设要使得环路带宽增大  $K$  倍, 则在电荷泵电流整体增大  $K_2$  倍的情况下, LPF 中的  $R_1$  应该减小  $K$  倍, 以此保证环路相位裕度在高环路带宽时仍保持相对合适的值。综上, 电荷泵电流配置如式 (10) 所示, 此时的环路带宽  $\omega'_c = K\omega_c$ 。

$$\begin{cases} I_{CP\_L} = KI_{bias} \\ I_{CP\_H} = K(K-1)I_{bias} \end{cases} \quad (10)$$

## 2.2 预置位反馈环路

此结构用于加快系统上电启动过程中的入锁速

度, 其简要结构如图 5 所示。

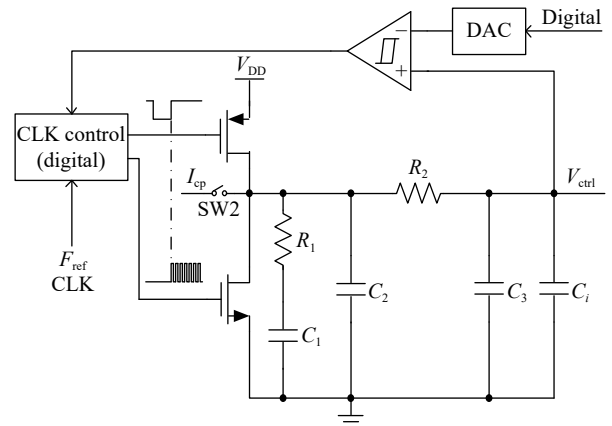


图 5 预置位反馈环路示意结构

图中  $R_1$ 、 $R_2$ 、 $C_1$ 、 $C_2$ 、 $C_3$  组成三阶 LPF,  $C_i$  为压控振荡器 VCO 的输入等效电容。具体工作过程为: 1) 在系统启动阶段开始时, SW2 开关断开, 此时锁相环环路被切断,  $V_{ctrl} \approx 0$  V 且锁相环输出约为 VCO 的最低振荡频率。2) 由 digital 端口送入 DAC 设定的参考控制电压量并随后送入迟滞比较器的负相端口, 此时迟滞比较器的输出为“0”, 启动 PMOS 上拉  $V_{ctrl}$  电压直至超过迟滞比较器上门限电压  $V_{th}$  后, 迟滞比较器输出跳变为“1”, 至此 PMOS 关闭, 并对 NMOS 送入频率固定的控制时钟, 此时  $V_{ctrl}$  电压呈“阶梯式”下降, 直至小于迟滞比较器下门限电压后, 迟滞比较器重新输出“0”, 至此实际预置位进程基本完成。3) 关闭 NMOS, 闭合 SW2, 使得锁相环路闭合, 通过环路最终实现输出时钟频率锁定。控制电路部分的 DC 综合网表如图 6 所示, 其中 CLK 为参考时钟输入, State 为迟滞比较器输出,  $N_{out}$  为 NMOS 控制端,  $P_{out}$  为 PMOS 控制端。各节点电压与时序关系如图 7 所示。

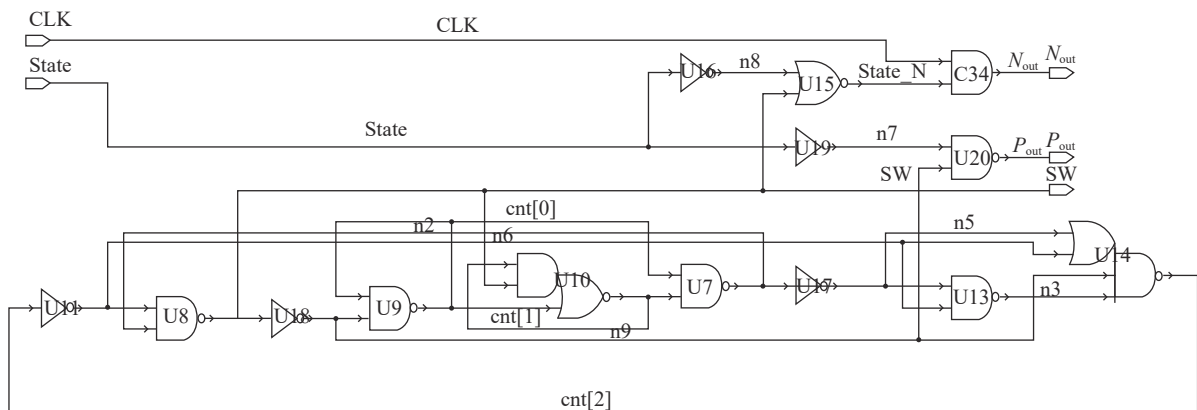


图 6 预置位反馈环控制电路 DC 综合网表

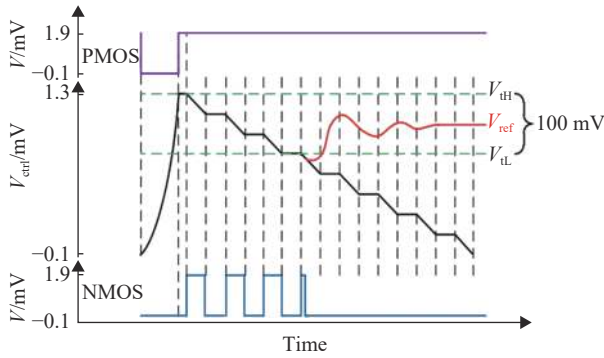


图 7 预置位反馈环路各节点电位变化与时序关系

设置的预置位参考电压通过对压控振荡器各子带区间的  $K_{VCO}$  曲线经过适当数据拟合得到, 这样可以得到一个在整体输出区间内的“频率-电压”关系, 数据拟合精度和迟滞比较器阈值共同决定了频率抬升与目标频率的距离。

### 3 实现及测试结果

基于图 1 的基本分数锁相环拓扑结构, 采用 TSMC 0.18  $\mu\text{m}$  RF CMOS 工艺, 对上述提出的快速锁定方案进行在线仿真测试, 环境如表 1 所示。

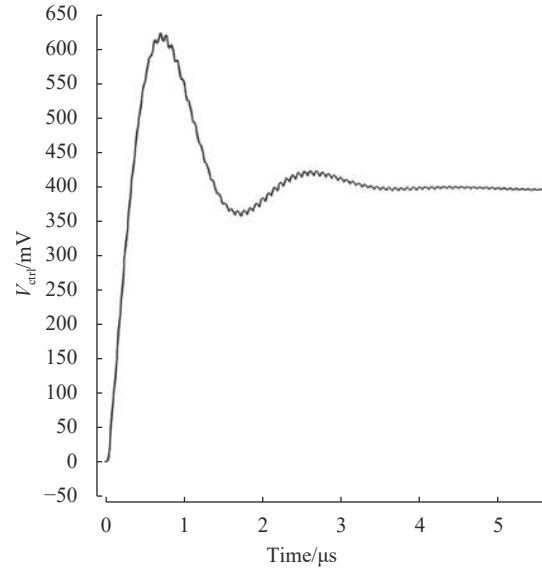
表 1 锁相环拓扑结构性能环境

参数	结果
工艺	0.18 $\mu\text{m}$ RF CMOS
电源电压/V	1.8
输出频率/GHz	1~1.5
相位噪声	-103.1 dBc/Hz@1 MHz -140.1 dBc/Hz@10 MHz
分频比	92
数字功耗/mW	2.232
模拟功耗/mW	4.320

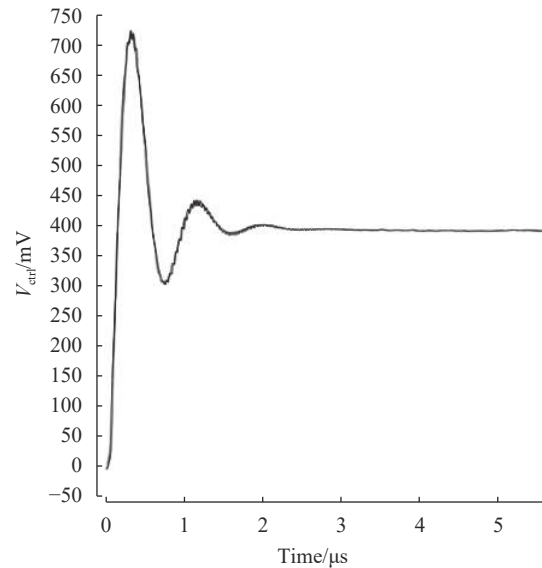
在上述环路环境中, 对 3 类结构进行瞬态仿真, 其 3 类结构分别为: 传统经典 CP-PLL 结构、采用动态环路带宽技术后的 CP-PLL 结构以及本设计所使用的复合快速入锁 CP-PLL 结构。得到如图 8 所示的控制电压瞬态仿真曲线, 对比数据如表 2 所示。

表 2 3 类 PLL 锁定时间数据对比

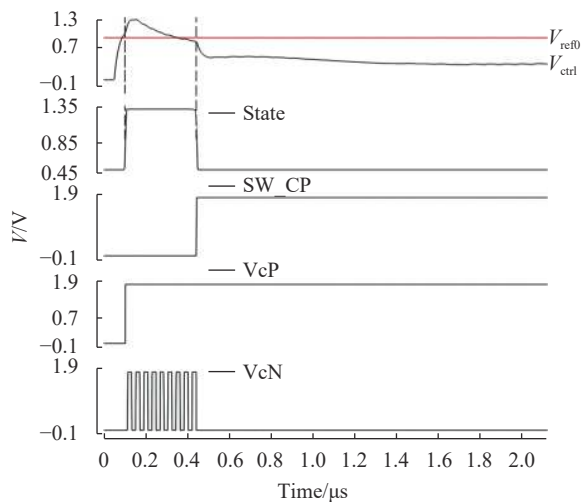
结构	锁定时间/ $\mu\text{s}$	相位噪声/dBc·Hz <sup>-1</sup> @1 MHz
传统结构	4.80	-84
动态BW结构	2.80	-96
复合结构	1.12	-103



a. 传统无加速技术的控制电压曲线



b. 采用动态环路带宽的控制电压曲线



c. 采用复合快速入锁结构的控制电压曲线

图 8 对比传统结构的控制电压仿真曲线

如图 8a 所示, 在相位精度 5 ns 内, 传统结构的入锁时间约为 4.8  $\mu\text{s}$ ; 如图 8b 所示, 引入动态环路带宽后入锁时间约为 2.8  $\mu\text{s}$ , 相比传统结构入锁速度提升了 41.7%; 但是从仿真结果看出在上电启动过程中, 因为受到电荷泵极限电流限制, 其从 0 电位上升过程消耗时间较长, 且由于过大电流造成环路相位裕度下降, 阻尼振荡过程时间加长, 故可以采用该复合结构, 如图 8c 所示, 其入锁时间约为 1.12  $\mu\text{s}$ , 相比传统结构速度提升了 76.7% (其中还包含因为时序要求的启动初始化阶段消耗的 50 ns 时间)。由此看出, 用于分数 CP-PLL 的快速入锁复合结构能够有效提高锁相环锁定速度。

复合结构的模块版图 (Layout) 如图 9 所示, 其有效面积约为  $176.06 \times 91.5 \mu\text{m}^2$ 。

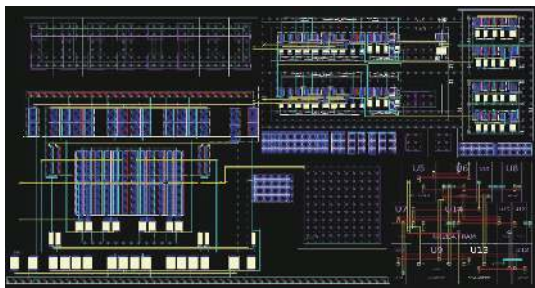


图 9 复合结构的版图设计

## 4 结束语

本文基于 TSMC 0.18  $\mu\text{m}$  RF CMOS 工艺实现了一个用于加速 CP-PLL 锁定速度的复合结构, 其单元 layout 面积约为  $176.06 \times 91.5 \mu\text{m}^2$ 。采用了数字电路控制方式的动态环路带宽变换电路, 用于在相差大于 5 ns 时加快环路调整速度, 缩短入锁到小于相差精度所需要的时间; 在上电启动阶段使用预置位反馈环, 进一步缩短初始充电的时间, 使得在极短时间内输出频率抬升至目标频率的  $\pm 20\%$ 。对于 26 MHz 输入参考频率, 输出频率为 1.196 GHz, 综合功耗约为 4 mA 的 CP-PLL, 优化后的锁定时间为 1.12  $\mu\text{s}$ , 整体相噪在稳态保持  $-103.1 \text{ dBc/Hz}@1 \text{ MHz}$ 。工作电压 1.8 V 时, 其复合结构静态功耗约为 100  $\mu\text{A}$ 。

## 参 考 文 献

- [1] JO J G, LEE J H, PARK D, et al. An L1-band dual-mode RF receiver for GPS and galileo in 0.18  $\mu\text{m}$  CMOS[J]. *IEEE Trans on Microwave Theory and Techniques*, 2009, 57(4): 919-927.
- [2] LIU Yao-hong, LIN T H. A wideband PLL-based G/FSK transmitter in 0.18  $\mu\text{m}$  CMOS[J]. *IEEE Journal of Solid-State Circuits*, 2009, 44(9): 2452-2462.
- [3] LEUNG L L K, LUONG H C. A I-V 9.7- mW CMOS frequency synthesizer for IEEE 802.11 a transceivers[J]. *IEEE Trans on Microwave Theory and Techniques*, 2008, 56(1): 39-47.
- [4] PERUMAL S M, KARTHIGEYAN K A, CHANDRAMANI P V. Implementation and verification of MASH 1-1-1 for fractional-N frequency synthesizer in Zynq-7000 series SoC platform[C]//2017 Devices for Integrated Circuit (DevIC). [S. l.]: IEEE, 2017: 825-829.
- [5] SU Pin-en, PAMARTI S. Fractional-N phase-locked-loop based frequency synthesis: A tutorial[J]. *IEEE Trans on Circuits and Systems*, 2009, 56(12): 881-885.
- [6] 李振荣, 庄奕琪, 龙强. 具有高线性调谐特性的 1.2 GHz CMOS 频率综合器[J]. *电子科技大学学报*, 2012, 41(6): 853-858.  
LI Zhen-rong, ZHUANG Yi-qi, LONG Qiang. 1.2 GHz CMOS frequency synthesizer with high linear tuning characteristics[J]. *Journal of University of Electronic Science and Technology of China*, 2012, 41(6): 853-858.
- [7] HSIEH G C, HUNG J C. Phase-locked loop techniques-a survey[J]. *IEEE Trans on Industrial Electronics*, 1996, 43(6): 609-615.
- [8] 柏翰, 余乐. 锁相环锁定时间的分析与测量[J]. *电子世界*, 2016(15): 110-112.  
BAI Han, YU Le. Analysis and measurement of phase-locked loop lock time[J]. *Electronic World*, 2016(15): 110-112.
- [9] 徐栋. 一种改进型快速入锁电荷泵锁相环的设计[D]. 苏州: 苏州大学, 2013.  
XU Dong. Design of an improved fast lock-in charge pump phase-locked loop[D]. Suzhou: Soochow University, 2013.
- [10] 任传阳. 快速锁定电荷泵锁相环研究与设计[D]. 济南: 山东大学, 2016.  
REN Chuan-yang. Research and design of fast-locking charge pump phase-locked loop[D]. Jinan: Shandong University, 2016.

编辑 叶芳