



任意占空比数字信号位同步时钟盲提取的数字实现

赵仕良, 谷 婧, 张 婕*, 汪文蝶

(四川师范大学物理与电子工程学院 成都 610101)

【摘要】该文用 FPGA 和 DSP 设计的双核数字系统结合软件算法完成了任意占空比数字信号的自动识别, 实现了较宽范围的位同步时钟盲提取。同时根据双向打点原理, 详细分析了盲提取位同步时钟频率产生误差的原因, 并总结出双向打点盲提取频率相对误差和最大相对误差的公式。该公式对所有双向打点系统具有理论指导和工程实践意义。通过测试, 采用 150 MHz 的打点时钟, 对于 12 Kbps 以下的单极性非归零数字信号, 可以很好地实现盲同步的频率跟随性。实验数据表明: 对于相同速率的单极性非归零码 (NRZ) 和占空比为 D 的单极性归零码 (RZ), RZ 的盲提取频率相对误差是 NRZ 的 $1/(D, 1 - D)_{\min}$ 倍。实验结论证明该文建立的盲提取频率相对误差公式是正确的。

关键词 盲提取; 位同步时钟; 占空比; 数字实现; 位同步时钟频率最大相对误差
中图分类号 TN911.72 **文献标志码** A **doi**:10.12178/1001-0548.2021130

Digital Realization of Blind Extraction for Bit Synchronized Clock of Digital Signal with Any Duty Cycle

ZHAO Shiliang, GU Jing, ZHANG Jie*, and WANG Wendie

(College of Physics and Electronic Engineering, Sichuan Normal University Chengdu 610101)

Abstract This paper proposes a dual-core digital system which is designed by using field programmable gate array (FPGA) and digital signal processing (DSP). The system applies software algorithm to realize automatic identification of digital signal with arbitrary duty cycle and wide range of blind extraction of synchronous clock. At the same time, according to the principle of two-way dotting, the reason causing the error of blind extraction bit synchronous clock frequency is analyzed in detail, and the formulas of relative error and maximum relative error of blind extraction frequency of two-way dot are summarized. The formulas have theoretical guidance and practical significance for all two-way dot systems. Through the test, by using 150MHz clock, frequency tracking in blind synchronization can be realized for the single-polarity not-return-to-zero digital signal below 12Kbps. The experimental data show that for the same rate of unipolar not-return-to-zero code (NRZ) and unipolar return-to-zero code (RZ) with duty cycle D , the relative error of blind extraction frequency of RZ is $1/(D, 1 - D)_{\min}$ times that of NRZ. The experimental results show the validity of the relative error formulas of blind extraction frequency.

Key words blind extraction; bit-synchronized clock; duty cycle; digital implementation; maximum relative error of bit synchronization clock frequency

数字信号可以作为数据信息的载体在信道中传输, 其信号取值只有有限个的特性使其在信息传输过程中有很强的抗干扰性。数字信号有 3 个要素: 位同步时钟、波形和码型^[1]。其中位同步时钟提取是抽样判决的前提, 是数字通信系统的重要组成部分^[2]。位同步时钟速率等于数字信源的信息传输速率。接收端进行数字信号恢复时需要位同步时钟提供抽样脉冲, 然后对抽样值进行判决以恢复数字信

号。因此收发同步最主要的是指位同步时钟的步调一致性, 获得位同步时钟将为进一步的字同步或帧同步奠定必要基础^[3]。同步性能会对通信系统的性能产生影响, 如果系统出现同步错误或失去同步有可能使通信系统性能下降或中断^[4]。

在目前的数字通信中, 常用的方法有数字锁相环法^[5-10]、测周法^[11]、内插法^[12]等, 主要使用 FPGA 平台实现。数字锁相环法首先将信号与时钟

收稿日期: 2021-05-10; 修回日期: 2021-06-25

作者简介: 赵仕良 (1971-), 男, 副教授, 主要从事电子通信方面的研究。

*通信作者: 张婕, E-mail: 326949502@qq.com

进行鉴相, 对所得相位超前滞后信息进行计数, 数控振荡器根据前方计数数据得出的增减指令进行一个时钟脉冲的加减, 由此调整时钟的相位。测周法获取输入码元的周期信息, 计算信号的频率, 然后提取其上升沿以实现位同步。近些年来, 也常使用基于 Gardner 算法的内插法来实现位同步, 主要利用内插滤波器改变输入信号, 从而恢复出数字信号的位同步^[13]。

数字锁相环法和测周法可调整的范围相对较小, 其中应用广泛的数字锁相环法往往需要已知频率的大致范围, 同步带宽较窄, 若对于宽范围的不同频率的信号, 则需要花费大量资源, 造成结构复杂^[14]。基于 Gardner 算法的内插法消耗的硬件资源大, 同步建立时间长, 稳定性较差。为适应现今高速数字处理的需要, 改进 Gardner 算法的内插法通常环路结构复杂, 实现较为困难, 且同步性能有所下降。并且上述文献中研究的都是非归零 (non return zero, NRZ) 的位同步提取, 同时基于事先已知位同步时钟的大致范围来实现。

本文综合测周法和数字锁相法的优点, 以任意占空比的单极性数字信号为研究对象, 利用 FPGA 进行高速打点和 DSP 的软件算法来完成位同步时钟速率的计算, 然后由 FPGA 进行数字分频得到一个频率和位同步一致的时钟, 让该时钟和 FPGA 构建的数字锁相环进行相位比对, 从而完成任意占空比数字信号的自动识别、占空比的计算和位同步时钟盲提取。

1 系统总体方案

1.1 系统总体设计思想

系统方案采用 DSP 和 FPGA^[15-18] 的双核系统, 总体设计思想如图 1 所示。充分利用 FPGA 的高速特性进行高低电平双向打点计数、数字分频和数字锁相的构建。利用 DSP 的灵活性进行整个控制, 利用 DSP 高精度计算特性完成占空比和位同步频率的计算, 利用 DSP 程序逻辑识别功能完成 NRZ 和 RZ 的自动识别功能。

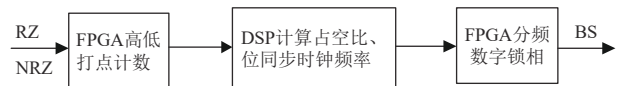


图 1 系统总体设计思想框图

1.2 系统总体框架

按照上述总体设计思想, 该文所用系统总体原理框图如图 2 所示。首先将外部时钟送给 FPGA 产生一个 m 序列用于测试^[19-20], 其中 m 序列有 NRZ 和 RZ 有两种模式; 然后将 m 序列送入计数器, 用高速时钟进行高低电平双向打点, DSP 从 FPGA 中获取高低电平的一系列打点数, 通过算法先自动识别出 NRZ 和 RZ, 计算占空比和位同步时钟频率字; 最后 DSP 将位同步时钟频率字返回至 FPGA, FPGA 用设计的分频模块产生出和位同步时钟频率相同的时钟, 并将该时钟送入 FPGA 构建的数字锁相环进行相位比对, 从而完成位同步时钟盲提取的数字实现。

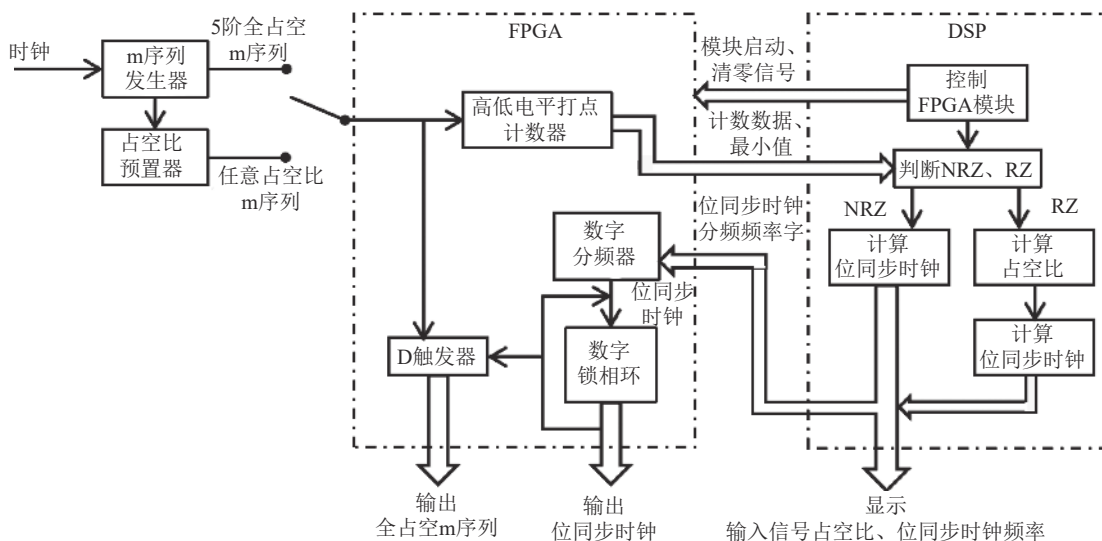


图 2 系统总体原理框图

2 盲提取数字实现主要原理

2.1 打点计数原理

在一个码元周期中, 高电平持续时间间隔 τ 与码元时间间隔 T_b 的比值即为信号的占空比 D , 即 $D = \frac{\tau}{T_b} \times 100\%$ 。 $D = 100\%$ 时称为全占空, 这样的数字信号称为非归零信号, $0 < D < 100\%$ 时的数字信号称为归零信号。

以任意占空比的单极性 RZ 信号为研究对象, 用速率为 f_m 的高速时钟对其高低电平打点, 将高低电平各自打点的第 i 个数据分别记为 $N_{H,i}$ 和 $N_{L,i}$, 原理见图 3。FPGA 从这一系列值中寻找各自最小的计数值, 分别记为 $N_{H,\min}$ 和 $N_{L,\min}$, 最短高电平持续时间 $T_{H,\min}$ 和最短低电平持续时间 $T_{L,\min}$ 分别为:

$$\begin{cases} T_{H,\min} = \frac{N_{H,\min}}{f_m} \\ T_{L,\min} = \frac{N_{L,\min}}{f_m} \end{cases} \quad (1)$$

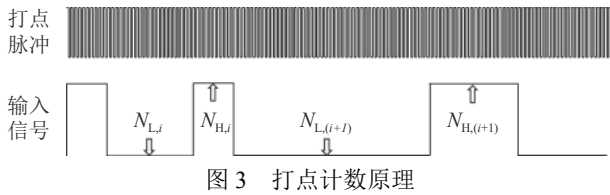


图 3 打点计数原理

2.2 DSP 盲同步算法原理

假设在时间范围内能捕捉到单独的高电平打点数据, 单极性信号的占空比为 D , 根据最短高电平持续时间 $T_{H,\min}$ 可以得到码元时间间隔 T_b 为:

$$T_b = \frac{T_{H,\min}}{D} \quad (2)$$

选一组 $T_{H,\min}$ 、 $T_{L,\min}$ 作为研究对象, 令这段时间出现低电平的个数为 n , 如图 4 所示。根据时间关系可以得到 $T_{H,\min}$ 、 $T_{L,\min}$ 和 D 满足关系:

$$T_{L,\min} = (1-D)T_{H,\min} + nT_b = (1-D)T_{H,\min} + \frac{nT_{H,\min}}{D} \quad (3)$$

所以 D 可以表示为:

$$D = \frac{(1+n)T_{H,\min}}{T_{H,\min} + T_{L,\min}} \quad (4)$$

DSP 可以根据检测的 $T_{H,\min}$ 、 $T_{L,\min}$ 以及 n 的整数特性、最小性(也是 $T_{L,\min}$ 的最小性)和 $0 < D < 100\%$ 的特点, n 从 0 开始逐渐增大寻找 D 的解, 最先求解出来满足条件的 D 就是系统的占空比, 再

根据式 (2) 得到码元时间间隔 T_b 。

同时在算法中考虑了占空比为 50% 和 100% 的区别。通过分析, 若占空比为 50%, 则高电平打点计数值中不会出现最小高电平打点计数值的倍数; 在 100% 占空比中, 一般会出现其倍数值。

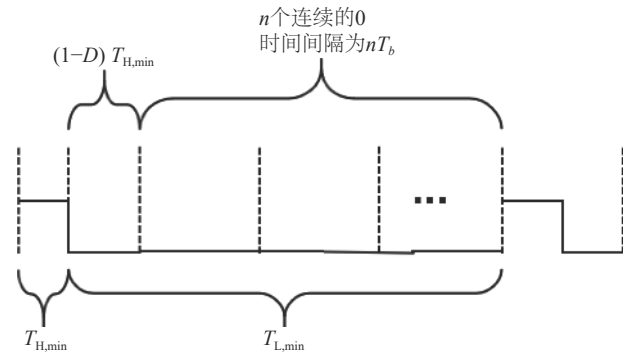


图 4 $T_{H,\min}$ 、 $T_{L,\min}$ 和 D 的关系示意图

2.3 数字锁相环原理

数字锁相环采用超前-滞后型锁相环, 其基本工作原理是通过增加或减少脉冲的方式来调整位同步时钟的相位^[21-25], 锁相环系统框图如图 5 所示。

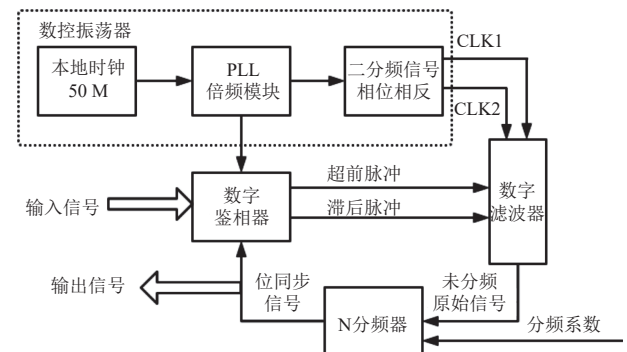


图 5 数字锁相环

首先生成数控振荡器 (digital controlled oscillator, DCO) 模块, 利用 QUARTUS 内部 PLL 模块生成高频时钟信号, 并将其分频并生成两个相位相反的脉冲信号; 同时将输入信号与本地估算信号 (输出信号) 经过数字鉴相器 (digital phase detector, DPD) 得出滞后、超前脉冲信号; 将上述生成信号输入到数字环路滤波器 (digital loop filter, DLF) 中, 内部产生加脉冲信号和减脉冲信号并进行相“或”运算, 得到的输出信号进入 N 分频器中输出位同步时钟信号。输出信号经鉴相器、滤波器、N 分频器后又回到鉴相器, 形成闭环, 当环路达到稳定时锁定环路, 输出信号与输入信号频差为 0, 相位差恒定。

3 盲同步数字实现系统的误差分析

$$f_b'' = \frac{f_m}{N} \quad (6)$$

3.1 位同步时钟频率信息传输过程

假设码元时间间隔为 T_b , 则位同步时钟频率 $f_b = \frac{1}{T_b}$ 。在该文建立的系统中 f_b 的信息传输过程可以用图6来描述。首先FPGA对速率为 $R_b = f_b$ 、占空比为 D 的数字信号进行高低电平双向打点, 然后将每次高电平打点计数值 N_H 和低电平打点计数值 N_L 传给DSP。DSP通过软件算法计算出占空比 D' 以及位同步时钟频率通过高速打点时钟 f_m 离散化后的整数频率字 N , 最后通过FPGA中时钟频率为 f_m 的数字分频器分出一个与原始位同步时钟(BS)频率基本一致但相位未知的一个时钟BS', 其频率记为 f_b'' 。

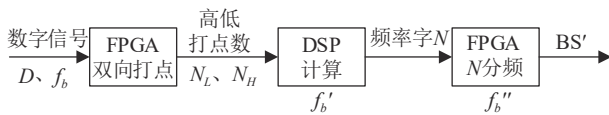


图6 位同步时钟频率信息传输过程

3.2 位同步时钟频率相对误差

在上述位同步时钟频率信息传输和转换过程中, 将出现两次误差。假设原始数字消息为NRZ(占空比 $D = 100\%$), 下面详细分析这两次误差的情况。

第一次出现在FPGA打点过程中。本系统用高速打点时钟 f_m 对高低电平双向打点。计数器对高速打点结果进行计数, 这个数永远都是整数。打点过程可以理解为对连续信号进行离散量化的过程。对连续变化的数字信号位同步时钟频率 f_b 进行打点量化后的结果记为 f_b' 。这将产生第一种误差, 这也是系统的主要误差。

第二次出现在DSP传输给FPGA的频率字 N 上, 这个频率字也称为分频系数 N 。DSP测得码元间隔 T_b' 的计算公式为 $T_b' = \frac{T_{H,min}}{D}$, 一般而言 T_b' 是一个浮点数, 但传给FPGA的频率字 N 是一个整数, 所以这个频率字的传输也将产生误差。

通过上述分析, 假设数字信号位同步时钟频率为 f_b , 高速打点时钟速率为 f_m , 则频率字或分频系数 N 为:

$$N = \left\lfloor \frac{f_m}{f_b} \right\rfloor \Big|_{\text{只取整数}} \quad (5)$$

式中, N 是整数, 其范围为 $1 \leq N \leq f_m$ 。

理论上系统最后输出的位同步时钟频率 f_b'' 为:

第一次误差是连续信号量化过程中产生的误差, 第二次误差由浮点数转换成整数产生, 这些误差是数字化实现系统必然存在的。一般而言, 第一个过程已经经过数字化处理, 第二个过程的误差相对较小, 可以忽略不计, 所以整个系统的误差来源于第一个过程, 可以认为 $f_b' = f_b''$ 。

根据高低电平双向打点原理详细分析第一过程产生的误差。假设原始数字消息为NRZ(占空比 $D = 100\%$)的信息速率为 R_b , 位同步时钟频率理论值为 $f_b = R_b$, 分频器时钟速率为 f_m , 频率字为 N 。根据打点原理, 当 f_b 满足 $\frac{f_m}{N} \leq f_b < \frac{f_m}{N-1}$ 时, 系统最后提取出来的时钟频率为 $f_b'' = \frac{f_m}{N}$, 将此段的频率相对误差记为 $\delta(f_b)$ 。根据式(6)可以得到: 当 $\frac{f_m}{N} \leq f_b < \frac{f_m}{N-1}$ 时, 此段的频率相对误差为:

$$\delta(f_b) = \frac{f_b - f_b''}{f_b} = 1 - \frac{f_m}{N f_b} \quad (7)$$

由式(7)可以看出, 位同步时钟频率相对误差 $\delta(f_b)$ 与原始数字信号时钟频率 f_b 、打点时钟速率 f_m 和频率字 N 有关系。当 $f_b = \frac{f_m}{N}$ 时, 频率相对误差为最小值 $\delta_{\min}(f_b) = 0$ 。当 f_b 趋于 $\frac{f_m}{N-1}$ 时, 频率相对误差为最大值 $\delta_{\max}(f_b) = \frac{1}{N}$ 。在 $\frac{f_m}{N} \leq f_b < \frac{f_m}{N-1}$ 这一段内, 随着 f_b 从 $\frac{f_m}{N}$ 到 $\frac{f_m}{N-1}$, 频率相对误差从最小值0开始按照 $1 - \frac{f_m}{N f_b}$ 逐渐攀升, 最后达到此段的最大值 $\frac{1}{N}$ 。每一段都按照这样的规律重复, 但随着 N 的减小, 每一段的最大值在逐渐攀升。

在工程上可以不考虑每个微观小段的具体变化情况, 将每个微观小段最大值 $\delta_{\max}(f_b)$ 连起来的曲线称为位同步时钟频率相对误差理论最大曲线。频率字 N 比较大的情况, $\delta_{\max}(f_b)$ 的工程近似计算公式为:

$$\delta_{\max}(f_b) = \frac{1}{N} \approx \frac{f_b}{f_m} \quad (8)$$

由式(8)可以看出, 位同步时钟频率相对误差理论最大值 $\delta_{\max}(f_b)$ 和 f_b 近似成正比关系。 f_b 越小, $\delta_{\max}(f_b)$ 越小, 盲提取位同步时钟越准确; f_b 越大, $\delta_{\max}(f_b)$ 越大, 盲提取位同步时钟误差越大。 $\delta_{\max}(f_b)$ 和 f_m 成反比, f_m 越大, 计数产生的相对误差

越小, $\delta_{\max}(f_b)$ 越小。

以上分析的是 NRZ($D = 100\%$) 双向打点系统盲提取位同步时钟的理论误差情况。对于 RZ, 即 $0 < D < 100\%$ 时, 双向打点系统的准确度在高低电平两边相对精度约束均衡的状态被打破。因为在打点计数过程中最大偏差 $\Delta N \equiv 1$ 的情况下, 计数个数少的相对误差就大, 所以考虑相对误差时就要以“高低电平中实际打点宽度小的一方”为参考依据。因此对于任意占空比的数字信号, 将位同步盲提取频率相对误差 $\delta(f_b)$ 修正为:

$$\delta(f_b) = \begin{cases} 1 - \frac{f_m}{Nf_b} & D = 100\% \\ \frac{1 - \frac{f_m}{Nf_b}}{(D, 1-D)_{\min}} & 0 < D < 100\% \end{cases} \quad (9)$$

同理可得, 修正后的最大相对误差为:

$$\delta_{\max}(f_b) = \begin{cases} \frac{f_b}{f_m} & D = 100\% \\ \frac{f_b}{(D, 1-D)_{\min} f_m} & 0 < D < 100\% \end{cases} \quad (10)$$

式中, f_b 为数字信号的位同步时钟频率; f_m 为高低电平双向打点时钟频率; D 为数字信号的占空比。

3.3 盲提取位同步时钟频率的理论极限

根据上述分析, 双向打点系统不可能做到对每个频率都很准确的进行盲提取。在实际通信中已知打点系统的时钟频率 f_m , 给定盲提取位同步时钟的相对误差最大值 δ_{\max} , 根据式 (10) 可以得到满足上述条件实现盲提取的位同步时钟频率的理论最大值 $f_{b\max}$ 为:

$$f_{b\max} = \begin{cases} \delta_{\max} f_m & D = 100\% \\ (D, 1-D)_{\min} \delta_{\max} f_m & 0 < D < 100\% \end{cases} \quad (11)$$

3.4 打点系统盲提取相对误差的仿真

用 MATLAB 来仿真 NRZ 双向打点系统位同步时钟频率相对误差。建立的仿真模型为: 高速双向打点时钟频率 $f_m = 150 \text{ MHz}$; 连续位同步时钟频率 f_b 为横轴, 其范围从 $1 \text{ Hz} \sim 150 \text{ MHz}$; $\delta(f_b)$ 为纵轴; 将横纵坐标都取对数进行绘制, 其 MATLAB 仿真结果见图 7。

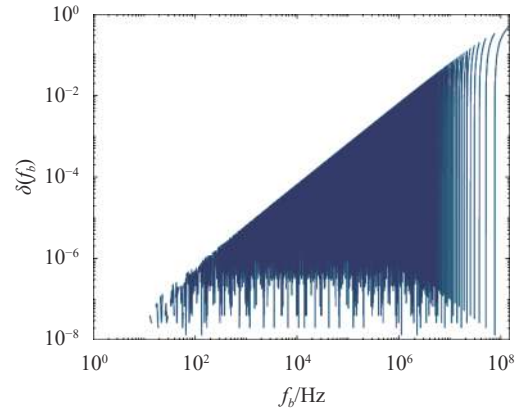
由理论仿真图可知:

1) 图 7b 和 7c 可以看到, 在频率字 N 不变的局部范围内, 随着位同步时钟频率 f_b 增加, $\delta(f_b)$ 从 0 增加到局部最大; 同时 f_b 越小, N 越大, 局部越线性, $\delta_{\max}(f_b)$ 越小。

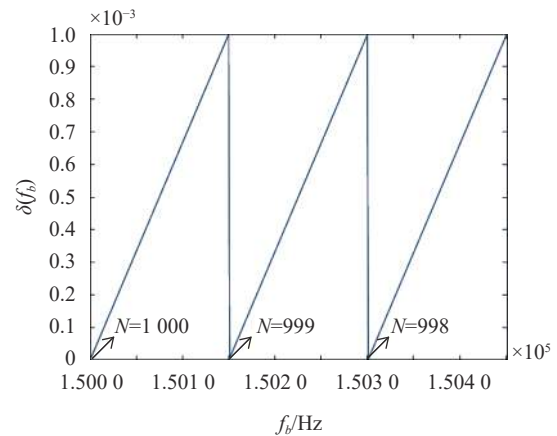
2) 从图 7a 可看出, 在 $1 \text{ Hz} \sim 10 \text{ MHz}$ 范围内, 曲线都比较密, 容易盲提取, 纵轴取值越小,

相对误差越小, 精度越高。

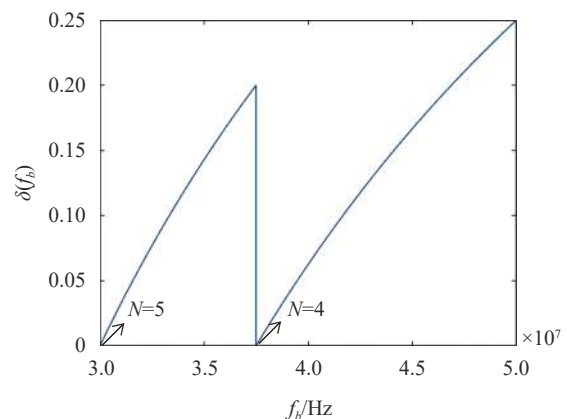
3) 在图 7a 中给定了一些相对误差的最大值 δ_{\max} , 由仿真程序计算出可以实现最高位同步时钟频率 $f_{b\max}$, 如表 1 所示。



a. 相对误差整体曲线



b. N 较大的局部情况



c. N 较小的局部情况

图 7 双向打点系统位同步时钟频率相对误差仿真图

表 1 NRZ 情况下 δ_{\max} 和 $f_{b\max}$ 的理论关系表

δ_{\max}	10^{-6}	10^{-5}	10^{-4}	10^{-3}	10^{-2}	10^{-1}
$f_{b\max}/\text{Hz}$	153	1583	15149	150300	1.5×10^6	15×10^6

当 $\delta_{\max} = 10^{-3}$ 时, $f_{b\max} = 150.3$ KHz, 表示原始位同步时钟整数频率 $f_b < 150.300$ KHz 时都满足最大误码率 $\delta_{\max} = 10^{-3}$ 。根据实际商用通信系统情况来看, 在 $f_b \leq 1.5$ KHz 时, 最大相对误差 $\delta_{\max} = 10^{-5}$, 理论上可以做很高质量的类似于固定电话级别的数字通信系统位同步时钟盲提取; 在 $f_b \leq 150$ KHz 时, 最大相对误差 $\delta_{\max} = 10^{-3}$, 可以做类似于互联网级别的数字通信系统位同步时钟盲提取; 在 $f_b \leq 1.5$ MHz 时, 最大相对误差 $\delta_{\max} = 10^{-2}$, 可以做类似于手机级别的数字通信系统位同步时钟盲提取。从相对误差来看, 该系统能达到较高精度, 但从时钟频率大小看还有待提高。

4 测试结果

4.1 测试条件

硬件条件: FPGA 芯片为 EP4CE6E22C8N, 其晶振为 50 MHz; DSP 芯片为 TMS320 F28335, 其晶振为 30 MHz。

FPGA 打点时钟频率: 150 MHz。

单极性数字信号: NRZ 用 PN31 的 m 序列, RZ 用 PN7 的 m 序列。

4.2 系统打点时钟的选择

选择不同的 f_m 作为系统高速打点时钟和分频器时钟进行测试, 实验数据见表 2。

表 2 系统打点时钟和分频器时钟选择

打点时钟选择/MHz	盲提取时钟下限/Hz	盲提取时钟上限/MHz	原始时钟频率 f_b /MHz	盲提取时钟频率 f'_b /MHz	相对误差 $\delta(f_b)/\%$
25	10	5	1.975	1.923	2.6329
50	1	10	1.975	1.923	2.6329
100	50	10	1.975	1.961	0.7089
150	10	10	1.975	1.974	0.0759
200	30	10	1.975	1.971	0.2025

根据前面理论分析的系统误差公式可以看出, 理论上 f_m 越大越好。实验选择的 FPGA 芯片最多由 50 M 倍频到 400 M, 但发现系统配合起来, 频率太高可能造成打点和分频不太准, 所以在能保证打点计数较多, 同时也可以实现较宽的盲提取范围及其准确程度的前提下, 选择了 $f_m = 150$ MHz 作为系统打点和分频时钟频率。

4.3 盲提取误码率公式及位同步时钟频率极限值的验证

4.3.1 盲提取误码率公式的验证

选择打点时钟频率为 150 MHz, 以 PN31 的 NRZ 进行位同步盲提取, 实验数据见表 3。

表 3 NRZ 位同步盲提取实验数据

原始位同步时钟频率 f_b /Hz	盲提取位同步时钟频率 f'_b /Hz	相对误差 $\delta(f_b)/\%$
50.000	50.000	0.0000
51.000	51.001	0.0020
53.000	53.000	0.0000
⋮	⋮	⋮
12285.000	12285.240	0.0020
12286.000	12285.820	0.0015
12287.000	12287.200	0.0016
12288.000	12290.700	0.0220
12289.000	12271.860	0.1395
⋮	⋮	⋮
150000	150000	0.0000
150030	150000	0.0200
150060	150000	0.0400
150090	150000	0.0600
150120	150000	0.0799
150150	150150	0.0000
⋮	⋮	⋮
1.460×10^6	1.456×10^6	0.2740
1.500×10^6	1.500×10^6	0.0000
1.503×10^6	1.500×10^6	0.1996
1.506×10^6	1.500×10^6	0.3984
1.509×10^6	1.500×10^6	0.5964
1.512×10^6	1.500×10^6	0.7937
1.515×10^6	1.515×10^6	0.0000
⋮	⋮	⋮
4.500×10^6	4.417×10^6	1.8444
5.500×10^6	5.356×10^6	2.6182
9.000×10^6	8.821×10^6	1.9889
10.000×10^6	10.063×10^6	0.6300

占空比为 $D = 20\%$ 、 50% 、 80% 这 3 种情况的 RZ 位同步盲提取测试实验数据见表 4。

实验数据分析:

1) NRZ 实验数据分析: 由表 3 可知, 在 NRZ 情况下, 误码率随着位同步时钟频率上升的过程中, 在两个相邻极小值点中出现了 $\delta(f_b)$ 逐渐攀升的过程, 攀升到最大值然后突变到极小值, 同时 $\delta(f_b)$ 总体趋势是随着 f_b 的增加而增加的。在实验中还发现, 如果从最低频开始频率每 1 Hz 逐渐增加到 12.288 KHz 附近时, 盲提取位同步时钟频率能够很好的同步跟随原始时钟频率。这样的通信系统基本就没有错误, 可以和语音电话通信系统媲美。

2) RZ 实验数据分析: 由表 4 可知, 相同 f_b 情况下, 占空比 $D = 20\%$ 和 $D = 80\%$ 的相对误差基本相等。实验数据证明了: 对于 RZ 盲提取, 用“高低电平中实际打点宽度小的一方”为参考依据来计算相对误差的正确性, 也就是说相对误差 $\delta(f_b)$ 和 $\delta_{\max}(f_b)$ 与 $(D, 1 - D)_{\min}$ 成反比是正确的。

表 4 3 种不同占空比 RZ 位同步盲提取实验数据

占空比 $D/\%$	原始位同步时钟频率 f_b/Hz	实测占空比 $D'/\%$	占空比误差 $\frac{ D-D' }{D}/\%$	盲提取位同步时钟频率 f_b''/Hz	盲提取位同步时钟频率误差 $\delta(f_b)/\%$
20	150.0	20.0001	0.0003	150.0	0.0000
	2500.0	20.0010	0.0050	2499.4	0.0240
	7500.0	20.0030	0.0150	7501.6	0.0213
	46012.3	20.0184	0.0920	46010.0	0.0050
	300000.0	20.1195	0.5976	299760.0	0.0800
	350000.0	23.4973	17.4863	409500.0	17.0000
	500000.0	11.3971	43.0147	551440.0	10.2880
50	480.0	50.0000	0	480.7	0.1458
	750.0	50.0000	0	750.9	0.1200
	4000.0	49.9987	0.0027	4015.5	0.3875
	150000.0	49.8501	0.2997	149850.0	0.1000
	750000.0	50.5050	1.0101	750100.0	0.0133
	800000.0	51.6483	3.2967	818980.0	2.3725
	900000.0	51.8750	3.7500	931660.0	3.5178
80	150.0	79.9999	0.0001	150.0	0.0000
	2500.0	79.9990	0.0013	2499.4	0.0240
	7500.0	79.9920	0.0100	7503.8	0.0507
	46012.3	79.9755	0.0307	46024.0	0.0254
	300000.0	79.9599	0.0501	299760.0	0.0800
	350000.0	88.6305	9.7376	391100.0	11.7429
	500000.0	71.0900	11.1374	706960.0	41.3920

综上所述,表 3 和表 4 验证了文中分析的双向打点系统中任意数字信号盲同步时钟盲提取的相对误差公式即式 (9) 是正确的。

4.3.2 盲提取同步时钟频率理论极限值的验证

给定盲提取位同步时钟频率最大相对误差 $\delta_{\max} = 10^{-2}$ 和 $\delta_{\max} = 10^{-3}$, 在 D 分别为 50%、100% 两种

情况下最大位同步时钟频率 $f_{b\max}$ 的实验数据见表 5。

通过表 5 可以发现,在最大相对误差 δ_{\max} 相同的情况下,输入数字信号最大位同步时钟频率 $f_{b\max}$ 与 $(D, 1-D)_{\min}$ 呈线性关系,同时,相同占空比情况下, $f_{b\max}$ 与 δ_{\max} 成正比。说明文中建立的盲提取时钟频率理论极限公式即式 (11) 是正确的。

表 5 盲提取位同步时钟最大频率理论极限实验数据表

占空比 $D/\%$	$\delta_{\max} = 10^{-2}$			$\delta_{\max} = 10^{-3}$		
	位同步极限值 $f_{b\max}/\text{KHz}$	盲提取极限值 $f_{b\max}''/\text{KHz}$	相对误差 $\delta_{\max} = 10^{-2}/\%$	位同步极限值 $f_{b\max}/\text{KHz}$	盲提取极限值 $f_{b\max}''/\text{KHz}$	相对误差 $\delta_{\max} = 10^{-3}/\%$
50	743.8017	736.52	0.9790	74.2574	74.1997	0.0777
100	1483	1471	0.8092	150.88×10^3	150.753	0.0842

4.4 位同步时钟盲提取波形

4.4.1 NRZ 位同步时钟盲提取波形

实验发现,位同步时钟频率 $f_b < 12.288\text{KHz}$ 时,提取的位同步时钟频率可以很好的跟随输入的变化而变换,输入位同步时钟频率变化 1 Hz,提取的位同步时钟频率也相应变化 1 Hz。随着频率增加个别频率会出现无法锁相的情况,这种情况随着频

率变大越来越严重。这是由于打点系统最大相对误差越来越大造成的。文中理论分析的误差原理和仿真结果完全相同。

NRZ 的位同步时钟频率为 1.002 MHz,用示波器观察原始位同步时钟、原始 NRZ、盲提取位同步时钟及同步后的 NRZ 波形,原始数据和识别数据之间不存在延时,如图 8 所示。

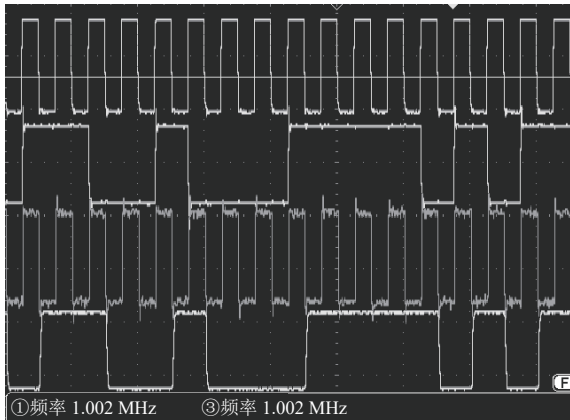


图8 NRZ位同步时钟盲提取的实验波形

4.4.2 RZ位同步时钟盲提取波形

当RZ的速率 f_b 为50 KHz、占空比 D 为80%，用示波器观察原始位同步时钟、原始RZ、盲提取位同步时钟及同步后的RZ波形，原始数据和识别数据之间存在2 us的延时，如图9所示。

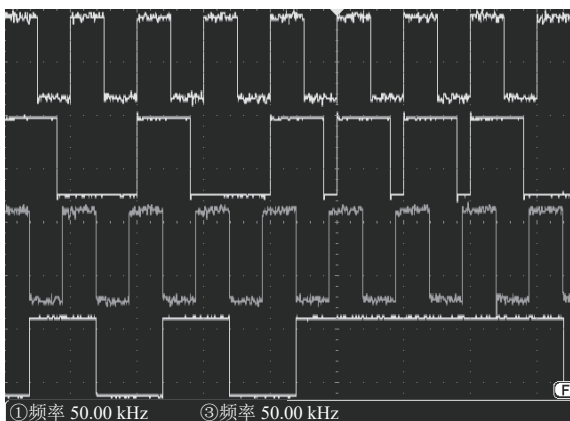


图9 RZ位同步时钟盲提取的实验波形

4.4.3 NRZ和占空比50%的RZ位同步时钟盲提取波形

位同步时钟频率 f_b 为151.5 KHz的NRZ盲提取测试结果如图10所示。图中由上至下依次为原始位同步时钟、原始NRZ序列、盲提取的位同步时钟及识别的数字信号，原始数据和识别数据之间不存在延时。

位同步时钟频率 f_b 为149.3 KHz、占空比 $D=50\%$ 的RZ盲提取测试结果如图11所示。图中由上至下依次为原始位同步时钟、原始占空比 $D=50\%$ 的RZ序列、盲提取的位同步时钟及识别的数字信号，原始数据和识别数据之间有800 ns的延时。

通过在DSP程序中引入算法进行自动识别，从而区别NRZ和RZ。通过高低电平双向打点，得到一系列高低电平打点计数值，判断高电平打点系列值中是否有最小值的 m 倍(m 为大于1的整数)，

如果有就是NRZ，若没有则是RZ。这个判别等价于：假设原始数字信号中存在连续的“1”和单独的“1”，从理论上讲NRZ高电平打点计数值应该存在一个最小数及其最小数的整数倍；如果是RZ，则高电平打点计数值会出现基本不变的一个值，从而区别NRZ和RZ。通过实验结果，验证了上述判别原理是正确的。

理论分析发现，NRZ和 $D=50\%$ 的RZ最难自动识别。实验数据和波形很好的证明了DSP中设计的自动算法很好的识别了NRZ和RZ，从而盲提取了各自的位同步时钟。

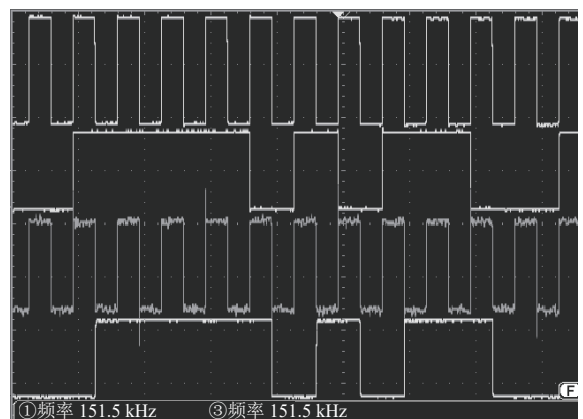


图10 NRZ位同步时钟盲提取的实验波形

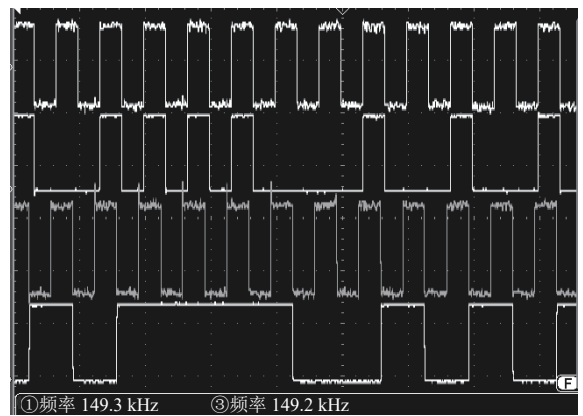


图11 50%占空比的RZ位同步时钟盲提取的实验波形

5 结束语

该文搭建“FPGA+DSP”的双核硬件系统，该系统是一种纯数字的双核系统，兼顾了FPGA的高频高速性能和DSP的灵活控制、自动识别和计算功能，从而实现了任意数字信号位同步时钟的自动盲提取。同时也兼顾了测周法和数字锁相环的优点，从而实现了宽范围的位同步时钟的自动提取。通过测试，该系统具有很好的稳定性和可靠性，具

有较小的延时。

该系统也有一些缺陷：1) 硬件平台搭建相对复杂，同时功耗也相对较大；2) 数字实现系统在描述连续量时就会产生量化误差。行之有效的方法是选择晶振频率高的 FPGA，以及通过内部稳定的倍频实现稳定可靠的双向打点系统，来完成任意占空比数字信号的位同步时钟盲提取，达到减少相对误差的目的。

参 考 文 献

- [1] 周炯槃. 通信原理[M]. 第3版. 北京: 北京邮电大学出版社, 2008.
ZHOU J P. Principles of communication[M]. 3rd ed. Beijing: Beijing University of Posts and Telecommunications Press, 2008.
- [2] 卢稳新. 高速数据传输中的位同步技术研究[D]. 西安: 西安电子科技大学, 2014.
LU W X. Research on bit synchronization technology in high-speed data transmission[D]. Xi'an: Xidian University, 2014.
- [3] GANG F, JIAN C, YUE F. Bit synchronization of data transmission signal based on instantaneous frequency measurement[C]//Proceedings of the 2016 International Conference on Computer Engineering, Information Science & Application Technology (ICCIA 2016). [S.l.]: Atlantis Press, 2016, DOI: <https://doi.org/10.2991/iccia-16.2016.8>.
- [4] 李欣, 管绍军, 胡晓天. 基于 FPGA 的光纤通信系统的设计与实现[J]. 电子设计工程, 2012, 20(8): 85-87, 91.
LI X, GUAN S J, HU X T. Design and implementation of FPGA-based optical fiber communication system[J]. *Electronic Design Engineering*, 2012, 20(8): 85-87, 91.
- [5] 岳志琪, 杨晨茜, 孙玲, 等. 位同步时钟提取电路的设计与实现[J]. 电脑与电信, 2019(Z1): 13-16.
YUE Z Q, YANG C Q, SUN L, et al. Design and implementation of bit synchronization clock extraction circuit[J]. *Computer and Telecom*, 2019(Z1): 13-16.
- [6] DUAN H M, HUANG H, LI C H, et al. Improved design of bit synchronization clock extraction in digital communication system[J]. [2019-11-10]. <https://www.hindawi.com/journals/jece/2018/8024168/>.
- [7] PATEL G S, SHARMA S. Field programmable gate arrays-nanotechnology based analysis, design and implementation of all-digital phase locked loop[J]. *Journal of Computational and Theoretical Nanoscience*, 2014, 11(9): 1968-1974.
- [8] 许家瑜, 黄启俊, 罗将, 等. 一种用于 E1 接口的全数字锁相环[J]. 微电子学, 2017, 47(5): 658-661.
XU J Y, HUANG Q J, LUO J, et al. A fully digital phase-locked loop for E1 interface[J]. *Microelectronics*, 2017, 47(5): 658-661.
- [9] 薛一飞. 基于 IEEE802.1AS 的时钟同步系统设计[D]. 西安: 西安电子科技大学, 2019.
XUE Y F. Design of clock synchronization system based on ieee802.1as[D]. Xi'an: Xi'an University of Electronic Science and technology, 2019.
- [10] 徐泽琨, 黄明, 汪弈舟, 等. 高速 NRZ 码同步时钟提取设计及 FPGA 实现[J]. 工业技术创新, 2019, 6(5): 28-33.
XU Z K, HUANG M, WANG Y Z, et al. High-speed NRZ code synchronization clock extraction design and FPGA implementation[J]. *Industrial Technology Innovation*, 2019, 6(5): 28-33.
- [11] 夏蒙, 范龙飞, 王富栋. 一种基于 FPGA 的位同步时钟提取电路[J]. 内蒙古科技与经济, 2017(7): 73-74.
XIA M, FAN L F, WANG F D. A bit synchronization clock extraction circuit based on FPGA[J]. *Inner Mongolia Science Technology and Economy*, 2017(7): 73-74.
- [12] HUANG Z, YANG P, ZHANG W H. Improved gardner suppression timing jitter synchronization algorithm[J]. *Journal of Electrical and Electronic Engineering*, 2020, 8(1): 21.
- [13] 李维, 江虹, 伍春, 等. 改进环路结构的 Gardner 定时恢复算法[J]. 计算机应用, 2019, 39(10): 3013-3017.
LI W, JIANG H, WU C, et al. Gardner timing recovery algorithm with improved loop structure[J]. *Computer Applications*, 2019, 39(10): 3013-3017.
- [14] 苏淑靖, 吴征. 基于 FPGA+DDS 的位同步时钟恢复设计与实现[J]. 电子技术应用, 2014, 40(8): 51-53, 61.
SU S J, WU Z. Design and implementation of bit-synchronized clock recovery based on FPGA+DDS[J]. *Application of Electronic Technology*, 2014, 40(8): 51-53, 61.
- [15] 郭琦, 杨江涛, 马喜宏. 基于 FPGA 的高速信号采集电路的设计与实现[J]. 实验室研究与探索, 2015, 34(4): 124-128.
WU Q, YANG J T, MA X H. Design and implementation of FPGA-based high-speed signal acquisition circuit[J]. *Laboratory Research and Exploration*, 2015, 34(4): 124-128.
- [16] 程雨, 杜馨瑜, 顾子晨, 等. 基于 FPGA 和 DSP 的高速实时轨道巡检图像采集处理系统[J]. 中国铁道科学, 2021, 42(1): 32-42.
CHENG Y, DU X Y, GU Z C, et al. High-speed real-time track inspection image acquisition and processing system based on FPGA and DSP[J]. *China Railway Science*, 2021, 42(1): 32-42.
- [17] PORTNIAGIN N N, REPINA Y V, PORTNIAGIN V N. Field-programmable gate arrays: Application in the digital signal processing[J]. *Journal of Computational and Theoretical Nanoscience*, 2019, 11(2): 2900-2906.
- [18] 张松, 李筠. FPGA 的模块化设计方法[J]. 电子测量与仪器学报, 2014, 28(5): 560-565.
ZHANG S, LI J. FPGA modular design method[J]. *Journal of Electronic Measurement and Instrument*, 2014, 28(5): 560-565.
- [19] 晏浩文, 陈伟, 吴琼, 等. 基于 FPGA 可配置 m 序列发生器的设计与实现[J]. 现代电子技术, 2018, 41(8): 1-4.
YAN H W, CHEN W, WU Q, et al. Design and implementation of FPGA-based configurable m-sequence generator[J]. *Modern Electronic Technology*, 2018, 41(8): 1-4.
- [20] 翁玲, 陈长江, 徐行, 等. 基于 FPGA 的 m 序列发生器设计与实验[J]. 实验技术与管理, 2020, 37(2): 41-44, 63.
WENG L, CHEN C J, XU X, et al. Design and experiment of FPGA-based m-sequence generator[J]. *Experimental*

- Technology and Management, 2020, 37(2): 41-44, 63.
- [21] LATA K, KUMAR M. ADPLL design and implementation on FPGA[C]//International Conference on Intelligent Systems and Signal Processing. [S.l.]: IEEE, 2013: 272-277.
- [22] 杨三三, 贾豫东, 张晓青, 等. 基于FPGA的可消除高频非线性的动态分频鉴相器[J]. 电子技术应用, 2017, 43(12): 55-58.
YANG S S, JIA Y D, ZHANG X Q, et al. FPGA-based dynamic frequency division phase detector that can eliminate high-frequency nonlinearity[J]. Application of Electronic Technology, 2017, 43(12): 55-58.
- [23] 田禹泽, 王煜, 代海山, 等. 基于数字锁相环的星载光谱仪本地时钟源设计[J]. 电子与信息学报, 2017, 39(10): 2397-2403.
TIAN Y Z, WANG Y, DAI H S, et al. Design of local clock source for spaceborne spectrometer based on digital phase-locked loop[J]. Journal of Electronics and Information, 2017, 39(10): 2397-2403.
- [24] 周郭飞, 杨宏, 杨延峰. 基于自适应环路滤波算法的全数字锁相环设计与分析[J]. 微电子学与计算机, 2020, 37(9): 62-67, 72.
ZHOU G F, YANG H, YANG Y F. Design and analysis of all-digital phase-locked loop based on adaptive loop filter algorithm[J]. Microelectronics and Computer, 2020, 37(9): 62-67, 72.
- [25] FU X, FONG K, YIN Z, et al. A digital phase-locked loop based LLRF system[EB/OL]. [2019-12-11]. <https://www.sciencedirect.com/science/article/pii/S0168900220302497>.

编辑 叶芳