



# 塑闪阵列探测器读出 ASIC 阈值产生与调节电路的设计

敬雅冉<sup>1,2</sup>, 千奕<sup>1,2\*</sup>, 蒲天磊<sup>1</sup>, 赵红赟<sup>1,2</sup>, 杨鸣宇<sup>1,2</sup>,  
孙志坤<sup>1,2</sup>, 张家瑞<sup>1,2</sup>, 孔洁<sup>1,2</sup>, 余乾顺<sup>1,2</sup>,  
颜俊伟<sup>1</sup>, 孙志朋<sup>1</sup>, 王长鑫<sup>1</sup>

(1. 中国科学院近代物理研究所 兰州 730000; 2. 中国科学院大学核学院 北京 石景山区 100049)

**【摘要】**基于 GF 0.18  $\mu\text{m}$  CMOS 工艺, 设计并实现了 ASIC 芯片中的重要组成部分——阈值产生与调节电路, 包括 DAC 模块和基于 SPI 慢控接口模块的控制模块。为了有效减少 ASIC 芯片版图面积、降低功耗, 同时提高调节精度, 提出通过组合高、低两个 4 位的 DAC 实现一个 8 位 DAC 的阈值调节, 其中多个通道复用一个高 4 位 DAC 进行阈值粗调, 每通道各自包含一个低 4 位 DAC 进行阈值细调。SPI 慢控接口模块不仅实现对 8 位 DAC 输入的控制来调节触发阈值, 还能够控制前放的增益和成型时间的档位。测试结果表明: DAC 模块的 DNL $<0.10$  LSB; INL $<0.18$  LSB; 阈值粗调范围约为 900 mV; 阈值细调范围约为 60 mV, 精度误差小于 7%, 可满足 ASIC 芯片中的甄别器对阈值调节的需求。

**关键词** ASIC; DAC; SPI 慢控; 塑闪阵列探测器; 阈值

中图分类号 TL822.4 文献标志码 A doi:10.12178/1001-0548.2021243

## Development of the Readout ASIC Chip's Threshold Generating and Regulating Circuit for Plastic Scintillator Detector

JING Yaran<sup>1,2</sup>, QIAN Yi<sup>1,2\*</sup>, PU Tianlei<sup>1</sup>, ZHAO Hongyun<sup>1,2</sup>, YANG Mingyu<sup>1,2</sup>, SUN Zhikun<sup>1,2</sup>,  
ZHANG Jiarui<sup>1,2</sup>, KONG Jie<sup>1,2</sup>, SHE Qianshun<sup>1,2</sup>, YAN Junwei<sup>1</sup>, SUN Zhipeng<sup>1</sup>, and WANG Changxin<sup>1</sup>

(1. Institute of Modern Physics, Chinese Academy of Sciences Lanzhou 730000;

2. College of Nuclear Science, University of Chinese Academy of Sciences Shijingshan Beijing 100049)

**Abstract** This paper designs and implements a variable voltage threshold generation and regulation circuit in the global foundries (GF) 0.18  $\mu\text{m}$  CMOS technology, including the DAC module and the control module based on the SPI module interface. The circuit is an important part of the readout ASIC chip. In order to effectively reduce the layout area of ASIC chip, reduce power consumption, and improve the adjustment accuracy, it is proposed to realize the threshold adjustment of an 8-bit DAC by combining high and low 4-bit DACs, in which multiple channels share a high 4-bit DAC for coarse threshold tuning, and each channel contains a low 4-bit DAC for fine threshold tuning. The SPI slow control interface module not only controls the input of 8-bit DAC to adjust the trigger threshold, but also controls the gain of the preamplifier and the shaping time. The overall layout size of the chip is 800  $\mu\text{m}$  $\times$ 1 000  $\mu\text{m}$ . The results of laboratory electronics performance tests show that the DNL of DAC is less than 0.10LSB, and the INL is less than 0.18LSB, Also, the coarse adjustment range of the threshold is about 900 mV, and the fine threshold adjustment is about 60 mV, the accuracy error is less than 7%, which can meet the requirements of threshold adjustment of discriminator in ASIC chip.

**Key words** ASIC; DAC; SPI slow control; the plastic scintillator array detector; threshold

我国首颗暗物质粒子探测卫星“悟空号”, 在电子能谱 $\sim 0.9$  TeV 处测量到了拐折, 并在 $\sim 1.4$  TeV 处发现了疑似的精细结构迹象, 引起了国内外同行

的高度关注<sup>[1]</sup>。然而, 受限于探测器的尺寸和结构, “悟空号”的伽马射线探测能力较弱。为了提高伽马射线的探测能力, 科学家提出要研制新一代

收稿日期: 2021-09-03; 修回日期: 2021-11-08

基金项目: 国家自然科学基金面上基金 (11975293)

作者简介: 敬雅冉 (1995-), 女, 博士生, 主要从事探测器专用集成电路方面的研究。

\*通信作者: 千奕, E-mail: qianyi@impcas.ac.cn

高性能的甚大面积伽马空间望远镜 (very large area gamma-ray space telescope, VLAST)<sup>[2]</sup>。VLAST 包括 4 个子探测器, 分别是径迹探测器、量能器、中子探测器和塑料闪烁体阵列探测器 (the plastic scintillator array detector, PSD)<sup>[3]</sup>; 其中大面积 PSD 对前端读出电子学提出了多通道、大动态、高计数率的需求; 同时由于卫星功耗资源及硬件的限制, 还要求前端读出电子学具有紧凑型、低功耗、低噪声及抗辐照等特性。随着半导体探测技术的日趋成熟, 高集成度的专用集成电路 (application specific integrated circuit, ASIC) 芯片技术已被广泛应用于粒子物理与核物理实验的谱仪系统中; 在空间探测领域中, 这一技术也逐渐成为发展趋势, ASIC 芯片的利用, 极大简化了前端电子学的设计, 减少了星上功耗开销和硬件支出<sup>[4]</sup>。因此, 需要研制一款多通道 ASIC 芯片, 用于实现大面积 PSD 对核素电荷的处理与测量。

## 1 ASIC 芯片设计

ASIC 芯片的整体结构图如图 1 所示, 其中每通道包括低噪声前放、CR-RC 滤波成形、峰值保持电路、甄别电路、SPI 慢控接口<sup>[5-6]</sup>, 同时该芯片具有自触发模式, 每通道输出独立的触发信号, 触发阈值由片内数模转换 (DAC) 模块产生<sup>[7]</sup>。本文主要设计了 ASIC 芯片中阈值产生与调节电路 (图 1 虚框内所示), 通过 SPI 控制接口, 可以为片内的甄别电路提供可调节的触发阈值<sup>[6]</sup>。在物理实验中, 由于不同离子的能量不同, 经前放和快成形电路处理后的输出电压也不同, 该输出电压进入甄别电路和阈值电压进行比较后输出 Trigger 信号。通常, 对阈值电压的设置是越低越好, 在保证抑制噪声的前提下, 让尽可能多的信号过阈。但是, 有时为了降低 Trigger 率, 需要提供较高的阈值电压。本设计中的阈值电压具有较大的调节范围, 约 15~960 mV, 最小调节步进好于 4 mV, INL 和 DNL 均好于 0.2 LSB。

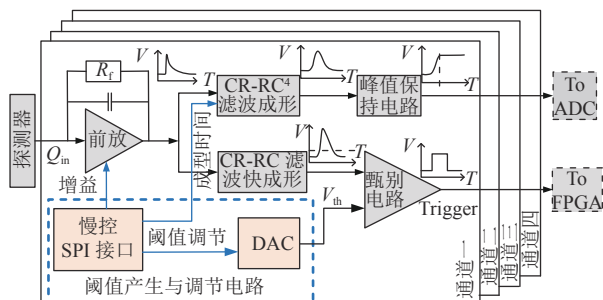


图 1 ASIC 芯片整体结构图

## 2 阈值产生与调节电路的设计

芯片中的触发阈值产生与调节电路利用高 4 位 DAC 与低 4 位 DAC 结合的方法, 实现一个 8 位 DAC 的阈值调节, 其结构如图 2 所示。包括 DAC 模块和基于 SPI 慢控接口的控制模块, 外部输入信号通过 SPI 慢控接口的 din 端口输入, 门控信号 sck 在使能信号 cs 为低时有效, 并对相应 DAC 寄存器进行读写。通过改变写入寄存器的数据来控制 DAC 的输入信号, 从而控制 DAC 的输出幅值, 为甄别电路提供了可调阈值。

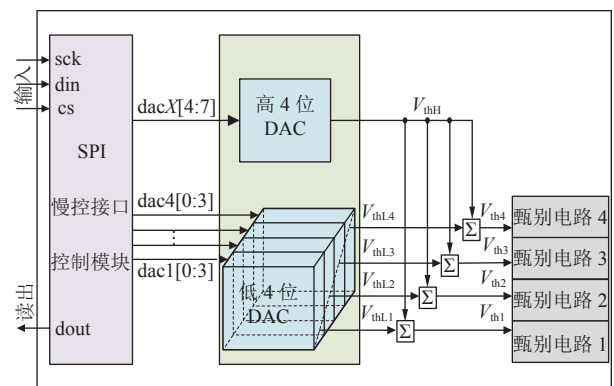


图 2 阈值产生电路的结构

为了简化芯片内部电路结构, 减小版图面积, 降低功耗, 提出通过组合高、低两个 4 位 DAC 分别进行粗细阈值调节来实现一个 8 位 DAC 阈值调节的方法。在芯片内所有通道复用一个大 4 位 DAC, 实现阈值的粗调, 产生阈值电压  $V_{thH}$ , 调节范围约为 900 mV; 每个通道内部包含一个低 4 位 DAC, 实现阈值的细调, 产生阈值电压  $V_{thL}$ , 调节范围约为 60 mV; 每通道内甄别电路的输入阈值电压  $V_{th} = V_{thH} + V_{thL}$ 。通过粗调和细调相结合的方法, 实现了大动态范围、高精度的阈值电压调节。

### 2.1 DAC 模块设计

为了在芯片内设计并实现面积小、功耗低、转换速度较快的 DAC 模块, 对比不同类型 DAC 的优缺点<sup>[8-10]</sup>, 并对设计要求进行衡量, 本文最终选择采用电流按比例缩放型中的二进制加权型电流舵 DAC。电流舵 DAC 首先利用有源器件 MOS 管构成加权电流源, 再通过数字输入信号选通相关电流源支路输出; 数字输入信号的不同, 决定开关阵列电路中每个开关的通断, 从而决定每个电流源阵列是否接入电路。随着数字输入信号的变化, 流入运算放大器的电流随之变化, 其输出端的电压也发生变化, 实现数字信号向模拟信号的转变。图 3 所

示为电流舵 DAC 的结构, 包括  $N$  个二进制电流源:  $I_{\text{LSB}}, 2I_{\text{LSB}}, \dots, 2^{(N-1)}I_{\text{LSB}}$ , 其中,  $I_{\text{LSB}}$  表示最小权值对应的电流大小。当第  $i$  位输入数字信号  $S_i=1$  时, 受信号  $S_i$  控制的开关闭合, 第  $i$  个电流源与运算放大器的输入负端连接, 相反, 当  $S_i=0$  时, 开关  $S_i$  断开, 对应电流源的输出电流不再流入运算放大器中。所以, 流入运算放大器 I1 的电流  $I_{\text{out}}$  如式 (1) 所示, DAC 的输出电压  $V_{\text{out}}$  如式 (2) 所示:

$$I_{\text{out}} = \sum_{i=0}^{N-1} S_i 2^i I_{\text{LSB}} \quad (1)$$

$$V_{\text{out}} = V_{\text{ref}} + \frac{R_{f1} R_{f2}}{R_3} I_{\text{out}} \quad (2)$$

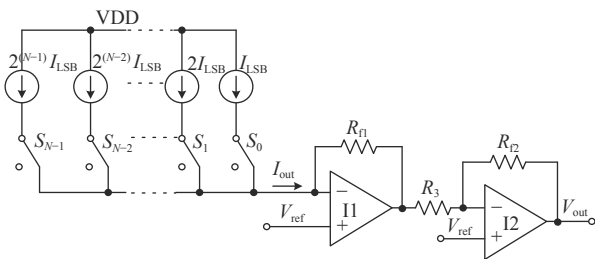


图 3 二进制加权型电流舵 DAC 结构

图中, I1 和 I2 均为低失调、高增益、低噪声的运算放大器。I1 主要是把加权电流源网络的电流转化为电压输出, 并提高输出的精度。其结构如图 4 所示, 由两级电路组成。

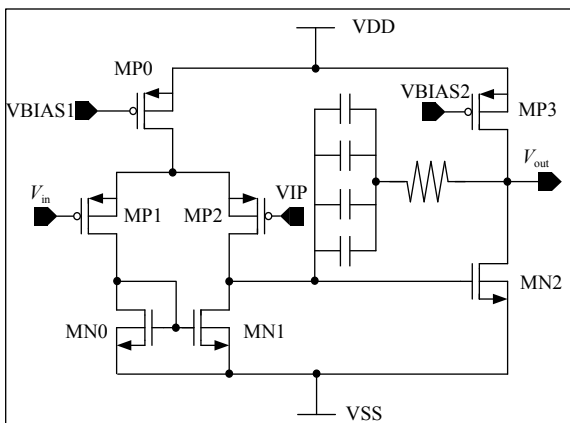


图 4 运算放大器电路结构

第一级为差分放大级, 由 MP0、MP1、MP2、MN0 和 MN1 共 5 个晶体管组成, 由于 PMOS 具有良好的抗辐射能力, MP1 与 MP2 差分对使用 PMOS 作为输入级, 差分对管通过调整栅长与宽长比, 能够显著降低失调, 由于  $L$  的增大, 导致单极运算放大器无法满足增益需求。因此, 第二级采用

了共源级来进一步提高增益, 由 MP3、MN2 共 2 个晶体管组成。I2 为低失调的运算放大器, 可对 I1 的输出信号进行反向并提高驱动能力。由于 DAC 需要驱动较大的容性负载, 所以采用大驱动能力的运算放大器能够提高电路的稳定性。

## 2.2 SPI 慢控接口模块设计

串行外设接口 (serial peripheral interface, SPI) 是一种高速、同步、全双工的通信总线, 连线简单, 可以有效节约芯片的输入管脚<sup>[11-12]</sup>。本文设计的 SPI 慢控接口模块的功能包括: 控制前放的增益、控制成型时间的档位以及控制 DAC 的输入来调节甄别电路的触发阈值。图 5 为 SPI 慢控接口模块的设计结构框图, 数据信号通过数据线  $d_{\text{in}}$  输入, 通过串并转换模块后, 进入控制模块。控制模块中的读写控制逻辑对并行数据进行判断, 并识别读写控制信号, 当控制信号为写信号时, 在状态控制逻辑的控制下, 进入写数据过程, 向各个寄存器中写入数据信号; 当控制信号为读信号时, 在状态控制逻辑的控制下, 进入读数据过程, 从相应寄存器中读出并行数据信号, 再通过并串转换模块, 由  $d_{\text{out}}$  数据线输出。外部串行数据在使能信号有效时, 通过 SPI 慢控接口完成对寄存器的读写, 写入寄存器中的数据作为 DAC 模块中开关的控制信号。本文中, 时钟频率设计为 30 MHz, 输出可驱动负载电容为 6 pF。

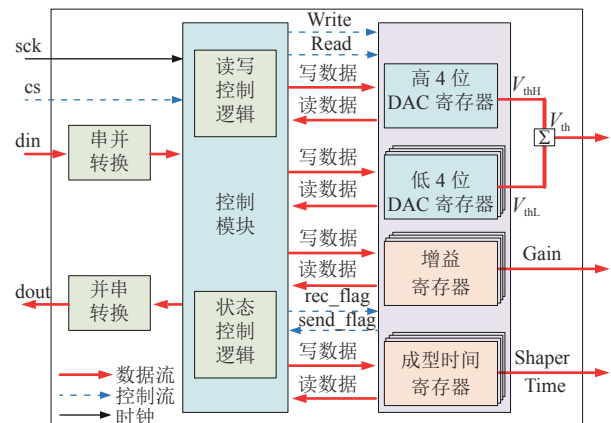


图 5 SPI 慢控接口结构

## 3 电路仿真

### 3.1 DAC 模块仿真结果

DAC 模块的设计基于 3.3 V 电源电压, 利用 Spectre 软件对阈值粗调的高 4 位 DAC 和阈值细调的低 4 位 DAC 进行原理仿真。相比于粗调的 DAC,

细调 DAC 的精度要求更高。常温条件下, 对细调的低 4 位 DAC 进行前仿真和提参后的后仿真, 并分别对数据进行处理, 计算 INL 和 DNL 值:

$$e_{\text{offset}} = \frac{V_{\text{offset}}}{V_{\text{LSB}}} \quad (3)$$

式中,  $e_{\text{offset}}$  为 DAC 的失调误差;  $V_{\text{offset}}$  为失调电压;  $V_{\text{LSB}}$  为一个 LSB 对应的电压; 而增益误差  $e_{\text{gain}}$  采用输入为 0000 和 1111 时的输出值之差与无增益误差的 1111 对应输出的偏差进行衡量, 计算公式为:

$$e_{\text{gain}} = \frac{V_{1111} - V_{0000}}{V_{\text{LSB}}} - (2^N - 1 - 0) \quad (4)$$

式中,  $N$  为 DAC 的位数。计算非线性 INL 和 DNL 时, 首先应去除失调误差  $e_{\text{offset}}$  和增益误差  $e_{\text{gain}}$ , 然后采用 LSB 进行归一后, 各个输出值  $V_{n,\text{LSB}}$  为:

$$V_{n,\text{LSB}} = \frac{V_n}{V_{\text{LSB}}} - e_{\text{offset}} - \frac{n}{2^N - 1} e_{\text{gain}} \quad (5)$$

式中,  $n=0,1,\dots,2^N-1$ ;  $V_n$  是输入码为  $n$  时对应的输出电压。将  $V_{n,\text{LSB}}$  值与理想的 4 位 DAC 的输出值  $V_{n,\text{ideal}}(0\sim 15 \text{ LSB})$  进行对比, 可以得到 INL 和 DNL 的值:

$$\text{INL}_n = V_{n,\text{LSB}} - V_{n,\text{ideal}} \quad n = 0, 1, \dots, 2^N - 1 \quad (6)$$

$$\text{DNL}_n = V_{n,\text{LSB}} - V_{n-1,\text{LSB}} - 1 \quad (7)$$

对计算出的数据进行拟合, 从而得到 DAC 前后仿真的 DNL 对比图和 INL 对比图, 如图 6 所示。

从图中可以看出 DNL 为  $-0.016\sim 0.018 \text{ LSB}$ , INL 为  $-0.02\sim 0.011 \text{ LSB}$ , 线性均小于  $0.02 \text{ LSB}$ , 表明设计具有较好的线性。

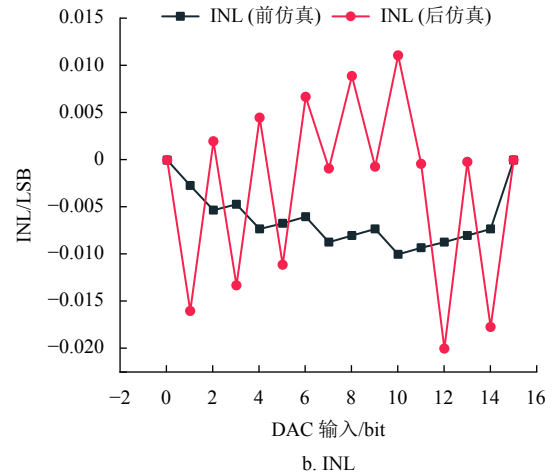
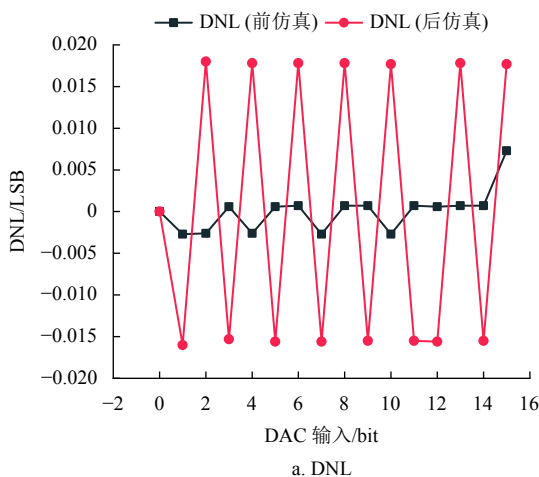


图 6 低 4 位 DAC 的 DNL 和 INL 仿真图

### 3.2 SPI 慢控接口模块仿真结果

首先利用 Modelsim 软件对设计的 SPI 接口模块进行 RTL 级功能仿真验证。在 testbench 文件中, 设置基本时钟周期 clk 为 100 ns, 信号时钟周期 sck 为 1000 ns, 整个写数据仿真流程如图 7 所示, 按照写入复位信号、写入公共成型时间和公共增益信号、写入公共高 4 位 DAC 值, 以及写入各通道低 4 位 DAC 值依次进行仿真和验证。

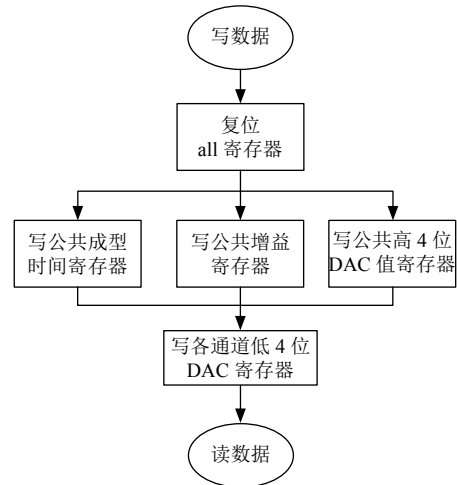


图 7 写数据仿真流程图

以写数据操作验证为例, 写公共部分数据时, 高 4 位为指令, 规定写的寄存器, 后面指定为实际写进寄存器的数据, 分别验证了写公共成型时间、写公共增益和写高 4 位 DAC 数据, 仿真图如图 8 所示, 可以看出相应寄存器中被写入与指令中数据位相同的数据。写各通道低 4 位 DAC 数据的仿真图如图 9 所示, 先是 16 位的指令, 包括指定要写的低 4 位 DAC 的通道号以及使能位, 后是 16 位数据位, 图中标出来的框图为输入寄存器的



数据,同时可以看出低 4 位 DAC 寄存器中也被写入与框图中一致的数据。即写数据过程满足设计要求。读数据操作验证结果也一致。表明所设计的 SPI 慢控接口能够对寄存器进行正确的读写操作。

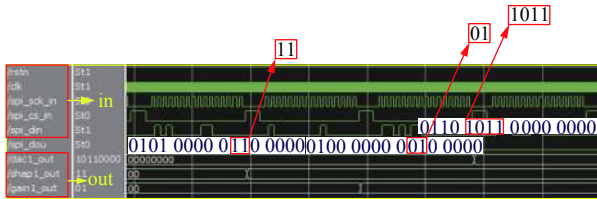


图 8 写公共成型时间、增益及高 4 位 DAC 数据波形图

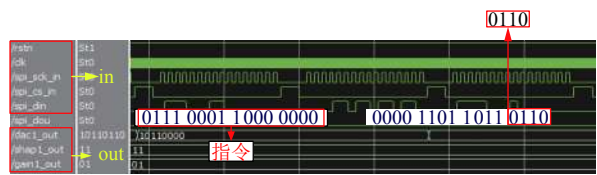


图 9 写低 4 位 DAC 数据波形图

功能仿真验证后,利用 Synopsys 公司的 DC (design compiler) 软件,对代码进行综合过程,将 RTL 代码映射为与工艺库相关的网表文件;然后利用 Cadence 公司的 SOC Encounter 软件进行后端的布局布线,对综合产生的门级网表进行布局规划 (floor planning)、布局布线 (placement & routing),并生成生产用的版图;再对版图进行提参 (star-rc)、静态时序分析 (STA) 和形式验证 (formality),以便进行后仿真。完成后仿真后,对得到的后仿真结果和前仿真结果进行对比,每个输出信号的延时间在 6 ns 以内,完全符合输出设计要求,也保证了流片结果的可靠性。

## 4 版图设计

该芯片采用 global foundries (GF) CMOS 0.18  $\mu\text{m}$  工艺,3.3 V 单电源供电。芯片整体版图如图 10 所示,尺寸为 800  $\mu\text{m}$  × 1000  $\mu\text{m}$ 。芯片在 foundry 流片后,使用 QFN68 进行封装。

在版图设计过程中,考虑到设计的用途,对版图进行了优化,包括电路中的信号线采用适当的宽度并且走线要尽量短,减小寄生参数;偏置电路的位置要避开电路的敏感器件;在电流源阵列布局时,考虑不同电流源的权重不同,将电流源阵列采用共质心布局来减小失配。

同时,为了防止发生单粒子闩锁,DAC 模块的版图设计时加入了抗辐照考虑,采取以下措施:1) 在晶体管周围增加保护环;2) 尽量让 NMOS 靠

近 VSS,PMOS 靠近 VDD,使 NMOS 和 PMOS 晶体管之间保持足够大的距离;3) 在晶体管四周密集排布阱接触孔,减小接触孔与晶体管有源区的距离。

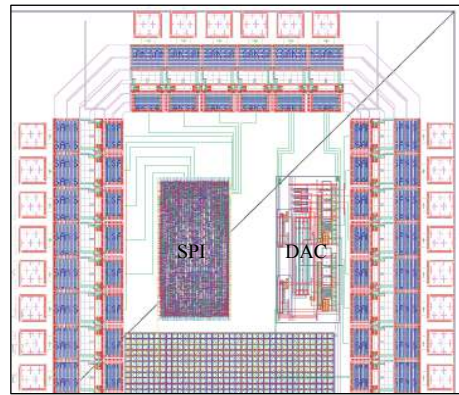


图 10 整体模块版图

## 5 电路测试

在实验室进行 DAC 的测试,测试现场如图 11 所示。通过改变 DAC 的输入,来改变接入 DAC 电流源电路输出电流的大小,使 DAC 输出电压相对应的改变。表 1 为低 4 位 DAC 的测试数据表,由测试结果可以看出,低 4 位 DAC 在输入偏置电流为 3.73  $\mu\text{A}$  时,仍可得到合适的输出,且精度误差均小于 7%,可见其精度好于 4 mV。对于于细调的低 4 位 DAC 输出数据进行线性处理,得到其 DNL 为 -0.10 ~ 0.09 LSB,INL 为 -0.01 ~ 0.18 LSB,均小于 0.2 LSB,符合设计要求。将测试数据的输入输出传输曲线与理想的输入输出传输曲线进行对比,对比图如图 12 所示。由测试数据可得此设计噪声低,精度高,动态范围大,各参数均符合设计的要求。因此,本文通过组合两个 4 位 DAC,分别进行粗细阈值调节,来实现一个 8 位 DAC 阈值调节的方法是具有可行性的。

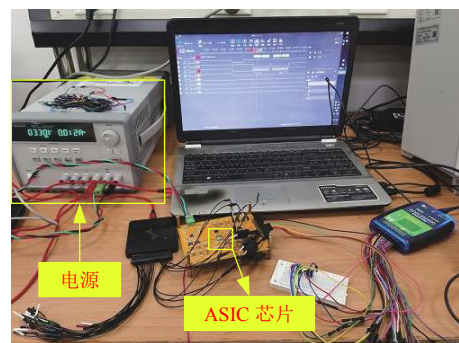


图 11 测试现场图

测试结果表明,本文的设计具有良好的线性,但也仍然存在误差。经过分析,误差产生的原因主

要在偏置电路的结构设计上, 形成电流源阵列的晶体管需要的偏置电流过小, 测试时实现起来较难, 会造成一定的误差, 可以通过优化和改进偏置电路的结构来设置合适的偏置电流, 减小由这一原因带来的误差。

表1 低4位DAC测试数据表

输入				输出电压	电压差
CTL4	CTL3	CTL2	CTL1	$V_{out}/V$	$\Delta V/mV$
0	0	0	0	1.2003	3.6
0	0	0	1	1.2039	3.6
0	0	1	0	1.2075	3.9
0	0	1	1	1.2114	3.8
0	1	0	0	1.2152	3.7
0	1	0	1	1.2189	3.6
0	1	1	0	1.2225	3.4
0	1	1	1	1.2259	3.3
1	0	0	0	1.2292	3.6
1	0	0	1	1.2328	3.6
1	0	1	0	1.2364	3.6
1	0	1	1	1.2400	3.7
1	1	0	0	1.2437	3.7
1	1	0	1	1.2474	3.8
1	1	1	0	1.2512	3.3
1	1	1	1	1.2545	

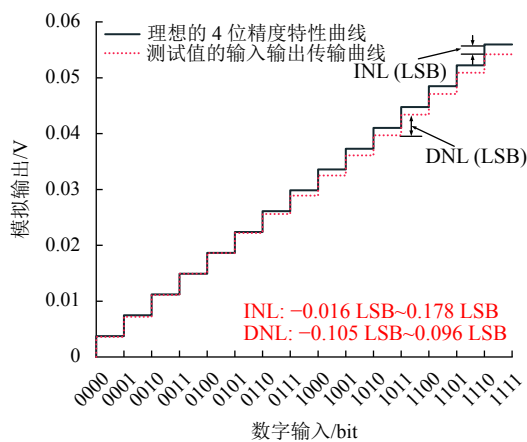


图12 低4位DAC理想和测试的输入输出传输曲线对比图

## 6 结束语

本文介绍了可适用于PSD阵列探测器读出ASIC芯片中的阈值产生单元模块的设计与实现。利用0.18  $\mu\text{m}$  CMOS工艺实现了该单元电路的原理设计、版图设计、前后仿真和最终的芯片流片。并对流片成功的芯片进行了实验室测试, 结果表明其DAC的积分非线性、微分非线性、输出误差、阈值范围、噪声等性能良好。该单元电路能够为读出ASIC芯片内的甄别电路提供可调节的阈值电压; 通过高4位DAC结合低4位DAC, 实现粗细阈值的调节, 达到较好的调节精度; 并且版图面积

小, 功耗低, 易于集成。本文研究为后续VLAST中PSD前端读出ASIC芯片的整体设计提供了重要技术保障, 也为读出ASIC芯片中慢控模块的设计积累了相关经验。

## 参考文献

- [1] AMBROSI G, AN Q, ASFANDIYAROV R, et al. Direct detection of a break in the teraelectronvolt cosmic-ray spectrum of electrons and positrons[J]. *Nature*, 2017, 552(7683): 63-66.
- [2] 汪慎. VLAST 硅微条径迹探测器模块原型设计及参数化模拟研究[D]. 合肥: 中国科学技术大学, 2020.
- [3] 常进. 暗物质粒子空间间接探测[J]. *上海航天*, 2019, 36(4): 1-8.
- [4] 汪波, 王佳, 刘伟鑫, 等. 星载ASIC芯片单粒子效应检测及在轨翻转率预估[J]. *半导体技术*, 2019, 44(9): 728-734.
- [5] PEZZOTTA A, CORRADI G, CROCI G, et al. GEMINI, a CMOS 180 nm mixed-signal 16-channel ASIC for Triple-GEM detectors readout[C]//2015 IEEE Sensors. [S.l.]: IEEE, 2015: 1-4.
- [6] LIU J F, ZHAO L, YU L, et al. An analogue front-end ASIC prototype designed for PMT signal readout[J]. *Chinese Physics C*, 2016, 40(6): 53-62.
- [7] GAN B, WEI T C, GAO W, et al. Design and performances of a low-noise and radiation-hardened readout ASIC for CdZnTe detectors[J]. *Journal of Semiconductors*, 2016, 37(6): 181-187.
- [8] 吕超群. 0.18  $\mu\text{m}$  CMOS 高速高精度电流舵 DAC 的研究设计[D]. 南京: 南京邮电大学, 2013.
- [9] 宋春雨. 8位高速数模转换器的研究与设计[D]. 南京: 东南大学, 2017.
- [10] 杨会利. 高可靠高精度R-2R型数模转换器的研究[D]. 合肥: 安徽大学, 2018.
- [11] ZHANG J L, WU C Y, ZHANG W J, et al. The design and realization of a comprehensive SPI interface controller[C]//The 2nd International Conference on Mechanic Automation & Control Engineering. [S.l.]: IEEE, 2011: 4529-4532.
- [12] 曹侯, 王祥, 程野, 等. SPI控制器的ASIC设计与实现[J]. *数字通信*, 2010, 37(1): 94-96.