

CSR 外靶径迹探测器的前端电子学升级



许佳鹏^{1,2}, 王长鑫¹, 颜俊伟¹, 蒋洪灿¹, 孙志朋¹,
孔洁^{1,2}, 千奕^{1,2*}, 苏弘^{1,2}

(1. 中国科学院近代物理研究所 兰州 730000; 2. 中国科学院大学核科学与技术学院 北京 石景山区 100049)

【摘要】多丝漂移室(MWDC)用于兰州重离子加速器-冷却存储环上外靶实验终端的径迹测量,其前端电子学中放大芯片采用 SFE16 芯片,目前前端电子学单板通道数较少,且慢控配置模块老旧,无法兼容新设备,配置效率较低。该文对前端板(FEE)进行升级,单板实现 32 通道;并设计一种基于现场可编程门阵列(FPGA)的配置板,通过上位机 USB 接口实现对多块 SFE16 芯片的快速高效配置。电子学测试实验结果表明,升级后的前端电子学在增加通道数的基础上保证了原有性能,并实现单次对 248 片 SFE16 芯片的配置,使用简单,配置效率高,实用性好。

关键词 现场可编程门阵列; 上位机; 多丝漂移室; SFE16; 径迹测量

中图分类号 TL824 **文献标志码** A **doi**:10.12178/1001-0548.2022306

Upgrade of Front-End Electronics for CSR External Target Track Detector

XU Jiapeng^{1,2}, WANG Changxin¹, YAN Junwei¹, JIANG Hongcan¹,
SUN Zhipeng¹, KONG Jie^{1,2}, QIAN Yi^{1,2*}, and SU Hong^{1,2}

(1. Institute of Modern Physics Chinese Academy of Sciences Lanzhou 730000;

2. School of Nuclear Science and Technology, University of Chinese Academy of Sciences Shijingshan Beijing 100049)

Abstract The multi wire drift chamber (MWDC) is used for track measurement of the external target experimental terminal at heavy ion research facility in Lanzhou-Cooler storage ring. The amplification chip in the front-end electronics (FEE) adopts SFE16 chip. At present, the number of single board channels in the front-end electronics is few; In addition, the slow control configuration module is obsolete and cannot be compatible with new devices, resulting in low configuration efficiency. Therefore, the FEE is upgraded in this paper, and the single board realizes 32 channels; and a configuration board based on field programmable gate array (FPGA) is designed to realize fast and efficient configuration of multiple SFE16 chips through USB interface of host computer. The electronics test results show that the upgraded FEE guarantees the original performance on the basis of increasing the number of channels, and realizes the configuration of 248 SFE16 chips at a time. It is simple to use, efficient to configure, and practical.

Key words FPGA; host computer; MWDC; SFE16; track measurement

兰州重离子加速器-冷却存储环是我国核科学领域的重大科学装置,其第二条放射性束流线上的实验终端用于开展重离子物理与交叉学科研究。外靶实验终端由一套谱仪组成,包含众多探测器,其中多丝漂移室(multi wire drift chamber, MWDC)探测器用于径迹测量,结合 TOF 墙可以实现粒子鉴别与径迹重建^[1]。

MWDC 探测器的读出电子学选用 TOT 方案来实现^[2],其中放大甄别芯片选用 SFE16,该芯片是 CERN 为 COMPASS 实验装置上的探测器设计的高集成度基于 TOT 技术的 ASIC 芯片^[3],用于气体探测器探测 X 射线或带电粒子,并获得高精度的电荷测量、能量分辨和时间分辨。SFE16 芯片集成了电荷灵敏前放与滤波成形、甄别和伪差分驱动输出

收稿日期: 2022-06-13; 修回日期: 2023-03-06

基金项目: 国家自然科学基金(11927901)

作者简介: 许佳鹏(1993-),男,博士生,主要从事核电子学及数据获取方面的研究。

*通信作者: 千奕, E-mail: qianyi@impcas.ac.cn

等模块, 并可配置多种增益与阈值模式, 能满足多种实验测量的需求。利用该系统已经完成了多个物理实验, 并取得了相应的物理成果^[4-5]。

为进一步提高前端读出电子学的集成度和密度, 并解决由于设备升级, 而原有的电子学慢控配置模块老旧, 无法兼容新设备, 且配置效率较低这一紧迫的问题。本文对前端板进行升级, 增加单板上 SFE16 芯片的数量, 扩展单板通道数至 32 通道; 并设计基于现场可编程门阵列 (field programmable gate array, FPGA) 的慢控配置模块, 实现对 SFE16 芯片高效配置。

1 系统方案设计与实现

1.1 系统需求

外靶实验终端的径迹探测器具有较大的有效面积 ($0.4 \sim 1 \text{ m}^2$), 检测效率高 ($>95\%$), 空间分辨率好 ($\sim 230 \mu\text{m}$), 具有三维多粒子跟踪的能力, 通道数目达到 1 440 路^[5], 这对电子读出系统提出了高集成度、低功耗、小体积的要求。TOT 电路结构简单, 减少了模拟电路, 在集成度、功耗、成本方面有很大优势。且 TOT 电路有快速的时间响应, 信号前沿很快, 而输出脉冲的前沿代表了时间信息。输出脉冲宽度与输入信号幅度存在一定的函数关系, 通过测量输出脉冲宽度就可以得到输入信号的幅度。TOT 电路的原理如图 1 所示, 将放大成形后的信号送到一个阈值固定的甄别器就得到

输出脉冲。电路的输出脉冲信号用 TDC 进行数字化。由于不同幅度带来的脉冲宽度不同, 从而实现能量信息的测量。考虑到欧洲核子中心研制的数据驱动型时间数字芯片 HPTDC^[6] 具有低功耗、高精度、高集成度的特点。采用 HPTDC 进行 TOT 信号数字化处理, 来提高可靠性和集成度。

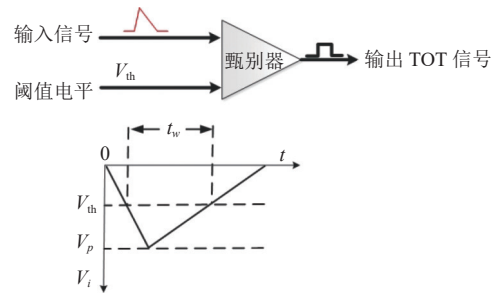


图 1 TOT 原理图

前端电子学系统主要由前端板、配置板、时间-数字变换插件和上位机构成。如图 2 所示, 前端板负责接收来自 MWDC 探测器输出的微弱电荷信号, 并完成对电荷信号的积分、整形、甄别和伪差分输出。配置板对 SFE16 芯片的寄存器进行配置, 使前端板上 SFE16 芯片工作在期望的工作状态。基于 HPTDC 的时间-数字变换插件实现对前端板输出的 TOT 信号的处理, 得到能量和时间信息。上位机通过 USB 总线与配置板进行交互, 完成指令的下发与数据上传处理。

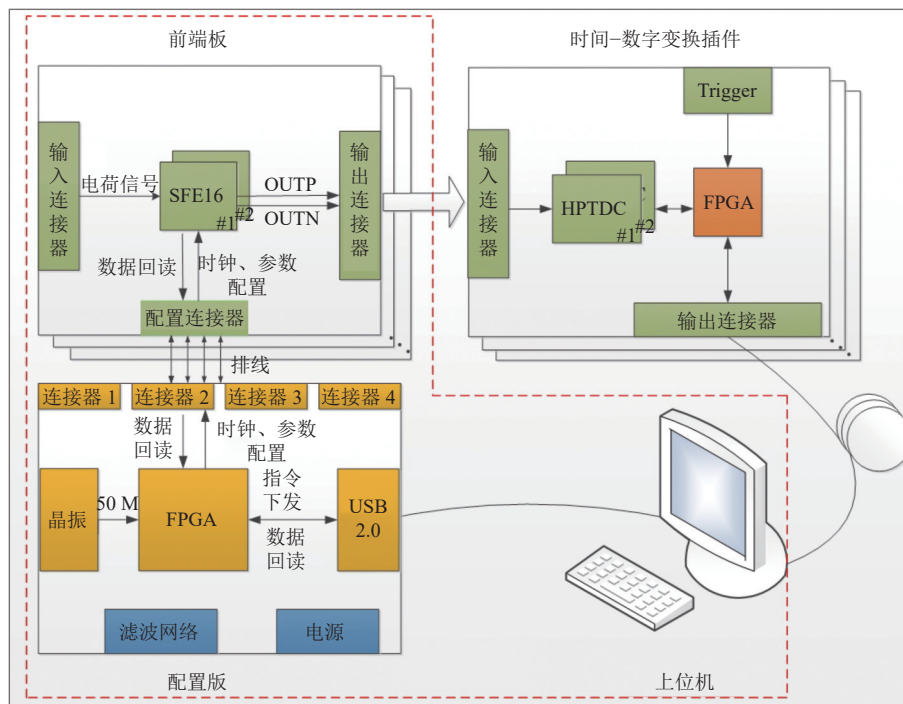


图 2 前端电子学系统

1.2 前端板设计

前端板主要包括 2 片 SFE16 芯片、过压保护电路、电源模块、适配网络、地址配置、去耦滤波网络、接口总线驱动电路和一些测试点，其结构框图如图 3 所示。过压保护电路的芯片采用 BAV99S，用来防止因探测器打火而产生的大信号对前端处理电路造成破坏。电源模块由 LDO 及其

外围配置电路组成，可提供前端板上各电路模块所需的低噪声供电电压和参考电压。地址模块通过拨码开关的方式控制电平，可以实现对芯片硬件地址的绑定。去耦滤波网络由采用大容量与小容值搭配的方式组成，靠近管脚放置实现对电源纹波抑制以及芯片各管脚的滤波，降低噪声干扰，提高信噪比。

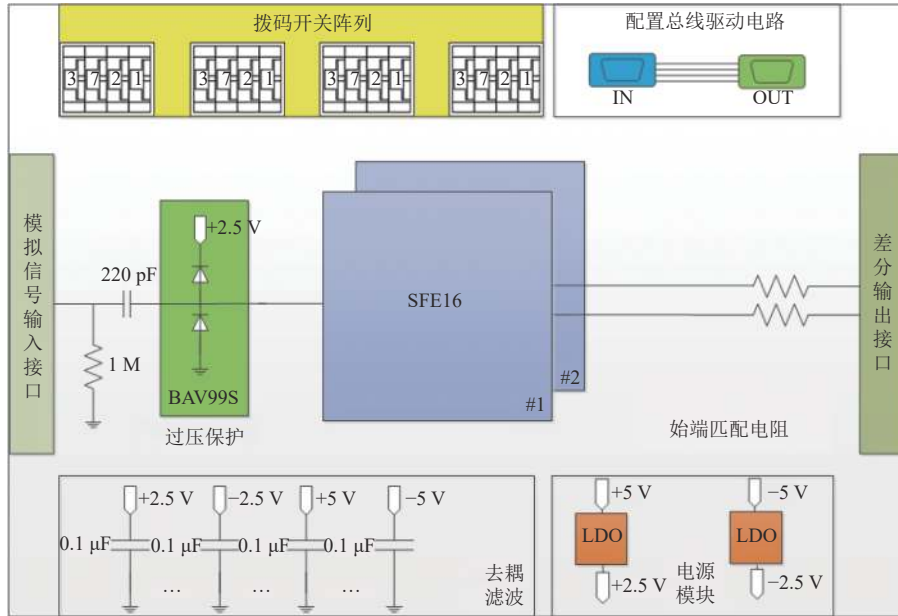


图 3 前端 (front-end electronics, FEE) 板结构框图

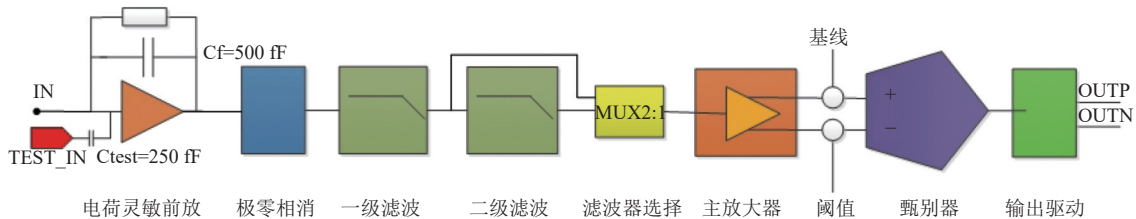


图 4 SFE16 结构框图

SFE16 芯片有 16 个输入通道，其单通道结构如图 4 所示。SFE16 输入采用交流耦合，输出伪 LVDS 信号，通过外部的上拉电阻得到一个能被 LVDS 接收器接收的差分信号。SFE16 芯片的配置通过 4 线串行接口，芯片具有 3 个测试管脚，可用示波器监视测试管脚的输出信号来确认芯片的配置状态是否正确。

SFE16 的工作流程如下。输入的电荷信号在电荷灵敏前放电路中进行积分后进入极零相消电路，将缓慢后沿带来的基线堆积和基线漂移进行消除。

后面的两级滤波成形电路将前放信号转化为准高斯信号，再经过主放大器饱和放大后进入甄别器中进行甄别，甄别器的阈值通过一个片内 8 bit 的 DAC 来实现，甄别后的 TOT 信号进入输出驱动电路后以伪 LVDS 的形式输出。

1.3 配置板设计

配置板主要包括 FPGA 芯片、电源模块、时钟模块、USB 通信模块、复位电路、配置接口和测试点，其结构如图 5 所示。

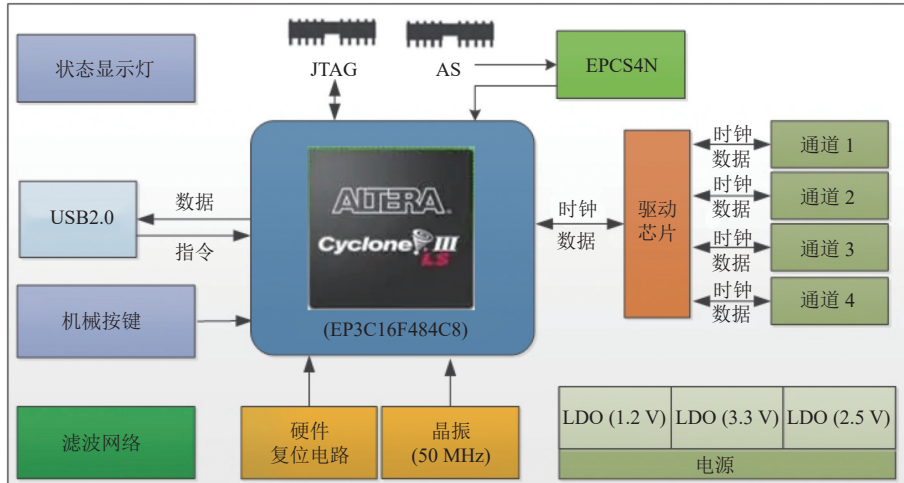


图 5 配置板结构框图

FPGA 芯片选用 ALTERA 公司的高性价比器件 CYCLONE3^[7]。该器件成本低廉、资源丰富,是实现少量逻辑功能的理想器件。电源模块由多个线性稳压器及其外围电路组成,可提供配置板上各电路模块所需的低噪声供电电压和参考电压,其中 FPGA 内核电压使用 LT3021_1.2^[8] 这款 LDO 来提供, IOBANK 的供电采用 TPS79625^[9] 与 LT1764AEQ^[10] 这两款 LDO; 时钟模块由片外 50 MHz 有源晶振产生,通过 33 Ω 阻抗匹配后注入 FPGA 时钟管脚处。通信模块基于 USB2.0 协议,通过 USB 桥接芯片 (CY7C80613A^[11]) 来实现与上位机通信。复位电路采用 ADM706^[12] 这款监控电路芯片,实现低抖动的复位信号输出。FPGA 配置采用 AS 与 JTAG 两种模式实现,其中 AS 模式所用的 EEROM 芯

片采用 EPCS4N^[13] 进行代码固化实现上电配置逻辑。

配置板与 FEE 板的连接通过排线实现,由于 FPGA 的 IO 端口驱动能力较小,无法驱动多片 SFE16 芯片,所以增加驱动芯片 (SN74LVC244^[14]) 来增大驱动电流,该芯片具有使能端,低电平有效,从而可以实现对通道信号传输通断的控制,实现对多片 SFE16 芯片的配置。

1.4 控制与数据处理单元设计

控制与数据处理单元基于 Quartus II 平台开发,主要分为两个单元:指令控制单元和数据上传单元,如图 6 所示。其中指令控制单元包含 3 个子模块:解码模块、配置模块和串行总线驱动,数据上传单元包括校验模块、USB 通信模块。

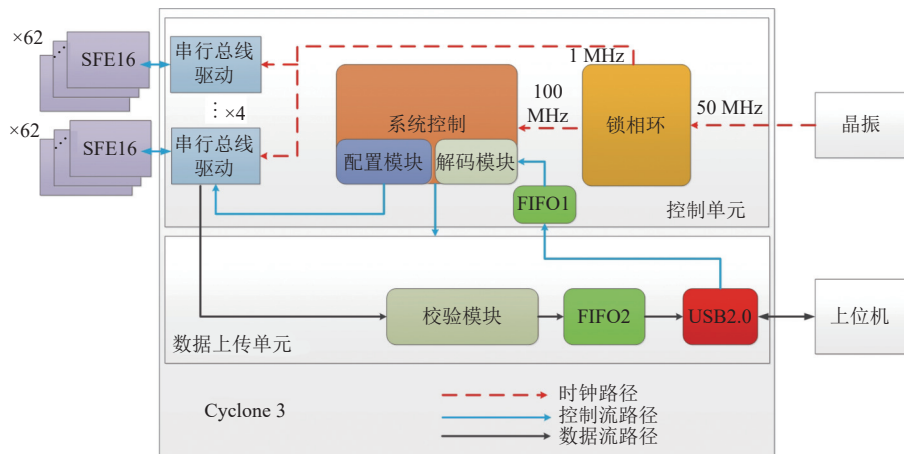


图 6 控制与数据处理单元设计结构框图

上位机下发的寄存器配置数据通过 USB 通信模块到达配置板后,设计读写两个 FIFO,实现指令与数据的下发与上传时的跨时钟处理。解码模块用于将 USB 下发存到 FIFO 中的数据或指令进行解析,根据下发数据中的标志位,实现指令判选与数

据的分发。

分发后的配置寄存器数据进入串行总线收发模块,与 SFE16 芯片进行通信,实现芯片的配置,主要包括配置数据的分发、物理地址的轮询、数据组包与上传等功能,将 SFE16 芯片的反馈数据回

读到 FPGA 中等待校验模块处理。校验模块用于完成回读数据与下发数据的一致性校验, 根据校验结果从而产生不同的标志位, 实现指令下发的准确性校验, 将回读数据与下发数据在下次下发前进行比较, 根据结果添加不同的标志位, 并将标志位加到回传数据包中, 此时回传数据包里包括标志位、通道数和芯片的编码 ID, 通过 USB 接口回传到上位机, 上位机根据标志位在线进行解析。

1.5 上位机软件设计

上位机软件基于 Lab Windows CVI 这款虚拟仪器软件开发, 具有友好的 UI 设计窗口, 在航天、国防、物理探测等诸多方面都有很广的用途^[15]。

本次设计的主机系统主要包括 USB 通信模块、数据采集模块、实时显示模块和指令下发模块, 上位机系统工作流程如图 7 所示。

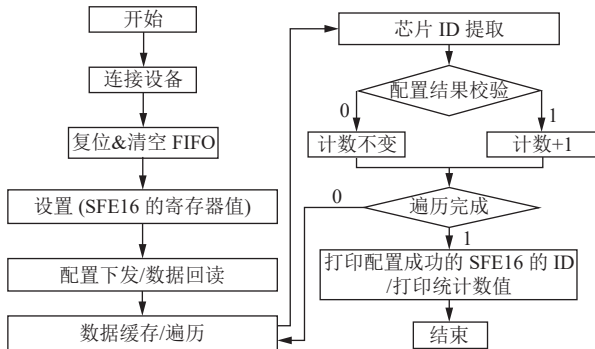


图 7 上位机软件的流程图

上位机接收到通过 USB 上传回来的数据后, 先进行缓存, 然后在缓存区内按照设定的格式遍历

所有数据, 通过提取对应标志位的值, 从而实现对 SFE16 芯片 ID(地址 ID+通道 ID)、芯片配置状态统计的监测。最后将配置成功的芯片 ID 进行输出, 并打印统计值在桌面上。

2 测试与验证

2.1 功能验证

通过上位机配置主放大增益为 20 倍、极零相消测试点正常输出, 配置完成后在前端挑选对应的测试点, 通过示波器测量发现输出波形的信息与配置指令相符合, 表示芯片配置成功。

2.2 实验室测试

实验室测试框图如图 8 所示。测试使用的信号源为 Tektronix 公司的 AFG3252C^[16], AFG3252C 通过编辑使其输出前沿 20 ns、后沿 1 ms 的指数衰减信号, 经过电荷注入板转化为电荷信号后送入 FEE 板信号注入端。SFE16 芯片参数设置为: 两级滤波成形后的信号的达峰时间是 60 ns, 主放大倍数是 20, DAC 输出阈值为 7.9 fC, 输入电荷量范围为 14~400 fC, 过阈时间 (TOT) 与输入电荷量的关系如图 9 所示, 可以看到 TOT 随着电荷量的增加而增大, 但增加速率逐渐变慢, 在电荷量大于 100 fC 时, 输出的 TOT 与输入电荷量近似线性相关。输出的 TOT 的 RMS 值与输入电荷量的关系如图 10 所示, 在 14~400 fC 的范围内, TOT 的 RMS 值优于 1.14 ns。单板通道间一致性结果如表 1、表 2 所示, 芯片内一致性优于芯片间。前端板单通道功耗为 53 mW。

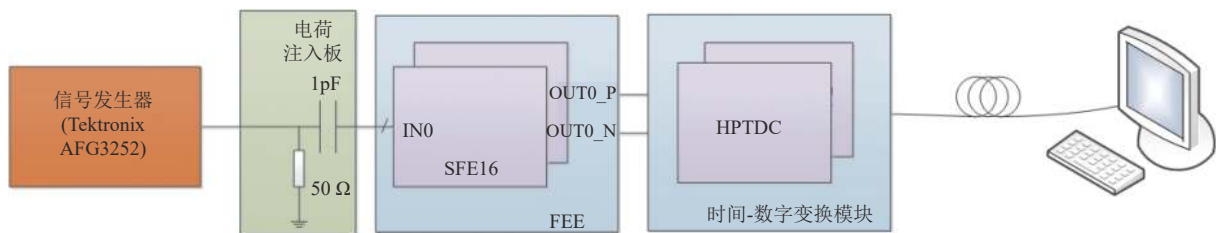


图 8 实验室测试框图

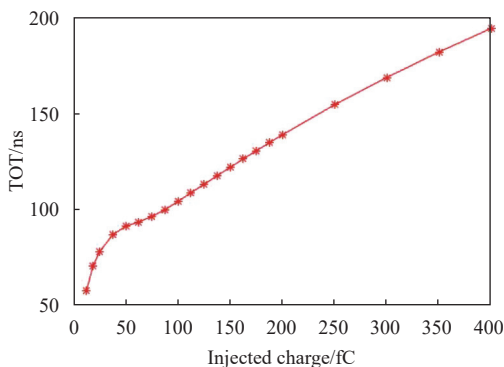


图 9 TOT 与输入电荷量的关系

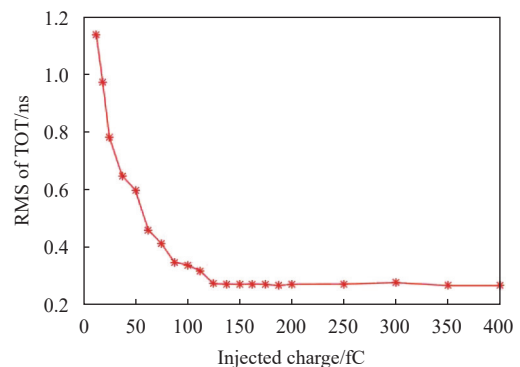


图 10 TOT 的 RMS 值与输入电荷量的关系

表1 同一片 SFE16 的一致性测试结果

注入电荷量/fC	最大TOT误差/ns
100	2.2
400	1.0

表2 不同片 SFE16 的一致性测试结果

注入电荷量/fC	最大TOT误差/ns
100	3.0
400	1.3

3 结束语

本文设计并实现了 CSR 外靶终端上 MWDC 前端读出电子学的升级, 提高了前端电子学系统的集成度, 并且实现了基于 FPGA 的配置板设计, 能够完成新设备多片 SFE16 芯片级联时的快速正确配置。利用构建的实验室测试系统对其性能进行了测试, 结果表明升级后的电子学系统工作稳定, 性能良好, 满足工程需求。下一步将继续完成和探测器的联试并进行物理实验。

参 考 文 献

- [1] 夏佳文, 詹文龙, 魏宝文, 等. 兰州重离子加速器研究装置 HIRFL[J]. 科学通报, 2016, 61(Z1): 467-477.
XIA J W, ZHAN W L, WEI B W, et al. Heavy ions research facility in Lanzhou (HIRFL)[J]. Chinese Science Bulletin, 2016, 61(Z1): 467-477.
- [2] 周家稳. CSR 外靶实验读出电子学预研系统研究设计[D]. 合肥: 中国科学技术大学, 2012.
ZHOU J W. The research and design on the pre-research readout electronics system of the external target experiment in CSR[D]. Hefei: University of Science and Technology of China, 2012.
- [3] DELAGNES E, ABBON P. SFE16, a low noise front-end integrated circuit dedicated to the read-out of large micromegas detectors[J]. *IEEE Transactions on Nuclear Science*, 2000, 47(4): 1447-1453.
- [4] 王世陶, 胡强, 孙亚洲, 等. CSR 能区的高重子密度核物质研究进展[J]. 中国科学:物理学 力学 天文学, 2019, 49(10): 68-83.
WANG S T, HU Q, SUN Y Z, et al. Progress of study on the properties of nuclear matter with high baryon density at CSR energy region[J]. *Science China Physics, Mechanics & Astronomy*, 2019, 49(10): 68-83.
- [5] SUN Y Z, SUN Z Y, WANG S T, et al. The drift chamber array at the external target facility in HIRFL-CSR[J]. *Nuclear Instruments and Methods in Physics Research Section A*, 2018, 894: 72-80.
- [6] CHRISTIANSEN J. HPTDC user manual(ver. 2.2) [EB/OL]. [2022-06-10]. <https://cds.cern.ch/record/1067476/files/cer-002723234.pdf>.
- [7] ALTERA Corporation. Cyclone III device datasheet[EB/OL]. [2022-06-10]. <https://www.intel.com/content/www/us/en/content-details/655197/cyclone-iii-device-handbook-volume-2-chapter-1-cyclone-iii-device-datasheet.html>.
- [8] ADI Corporation. LT3021 datasheet[EB/OL]. [2022-07-13]. https://www.mouser.cn/datasheet/2/609/LT3021_3021_1_2_3021_1_5_3021_1_8-1504118.pdf.
- [9] TI Corporation. TPS796 datasheet[EB/OL]. [2022-08-10]. <https://www.ti.com.cn/cn/lit/ds/symlink/tps796.pdf>.
- [10] ADI Corporation. LT1764 datasheet[EB/OL]. [2022-06-15]. <https://www.analog.com/media/en/technical-documentation/data-sheets/1764afb.pdf>.
- [11] ADI Corporation. CY7C80613A-7 datasheet[EB/OL]. [2022-06-19]. <https://www.analog.com/media/en/technical-documentation/data-sheets/66057f.pdf>.
- [12] ADI Corporation. ADM706RAR datasheet[EB/OL]. [2022-07-20]. https://www.analog.com/media/en/technical-documentation/data-sheets/ADM705_706_707_708.pdf.
- [13] ALTERA Corporation. EPCS4SI8N datasheet[EB/OL]. [2022-07-17]. https://www.mouser.cn/datasheet/2/612/cyc_c51014-1098983.pdf.
- [14] ADI Corporation. SN74LVC244-7 datasheet[EB/OL]. [2022-07-10]. <https://www.analog.com/media/en/technical-documentation/data-sheets/66057f.pdf>.
- [15] NI Corporation. Labwindows-CVI datasheet[EB/OL]. [2022-04-10]. <https://www.ni.com/zh-cn/support/downloads/software-products/download.labwindows-cvi.html#35360>.
- [16] Tektronix Corporation. TektronixAFG3252C user manual [EB/OL]. [2022-06-28]. <https://www.manualslib.com/products/TektronixAfg3252c-8897967.html>.

编辑 叶 芳