



一种 16 位 110 dB 无杂散动态范围的 低功耗 SAR ADC

邢向龙^{1*}, 王倩², 康成², 彭姜灵², 李清¹, 俞军¹

(1. 复旦大学微电子学院, 上海 200433; 2. 上海复旦微电子集团股份有限公司, 上海 200438)

摘要 该文设计了一款 16 位、转换速率为 625 kS/s 的逐次逼近寄存器型模数转换器 (SAR ADC)。改进的采样保持电路结构, 优化了采样线性度和噪声性能。采用分段结构设计电容型数模转换器并使用混合方式的电容切换方案, 减小面积和能耗。利用扰动注入技术提升 ADC 的线性度。比较器采用两级积分型预放大器减小噪声, 利用输出失调存储技术及优化的电路设计减小了比较器失调电压和失调校准引入的噪声, 优化并提升了比较器速度。芯片采用 CMOS 0.18 μm 工艺设计和流片, ADC 核心面积为 1.15 mm^2 。测试结果表明, 在 1 kHz 正弦信号输入下, ADC 差分输入峰峰值幅度达 8.8 V, 信纳比为 85.9 dB, 无杂散动态范围为 110 dB, 微分非线性为 $-0.27/+0.32$ LSB, 积分非线性为 $-0.58/+0.53$ LSB, 功耗为 4.31 mW。

关键词 模数转换器; 数模转换器; 低噪声比较器; 失调校准; 采样保持; 逐次逼近寄存器
中图分类号 TN432 **文献标志码** A **DOI** 10.12178/1001-0548.2023272

A 16-Bit Low Power SAR ADC with 110 dB Spurious Free Dynamic Range

XING Xianglong^{1*}, WANG Qian², KANG Cheng², PENG Jiangling², LI Qing¹, and YU Jun¹

(1. School of Microelectronics, Fudan University, Shanghai 200433, China;

2. Shanghai Fudan Microelectronics Group Company Limited, Shanghai 200438, China)

Abstract A 16-bit 625 kS/s Successive Approximation Register Analog-to-Digital Converter (SAR ADC) is presented. An improved sampling and hold circuit is proposed to optimize sampling linearity and noise performance. Segmented Capacitor Digital-to-Analog Converter (CDAC) is designed and hybrid capacitor switching method is adopted to reduce layout area and switching energy. Dither injection technique is used to improve ADC's linearity. Two-stage integrating preamplifier is adopted to reduce comparator's noise. Output offset storage and optimized circuit design techniques reduce comparator's offset and noise induced by offset calibration. Comparator speed is also improved by circuit design. The prototype is fabricated using CMOS 0.18 μm process and occupies an active area of 1.15 mm^2 . With 1 kHz sinusoid input, the measured differential input peak-to-peak amplitude is 8.8 V. Signal to Noise and Distortion (SINAD) and Spurious Free Dynamic Range (SFDR) are 85.9 dB and 110 dB respectively. Differential Nonlinearity (DNL) and Integral Nonlinearity (INL) are $-0.27/+0.32$ LSB and $-0.58/+0.53$ LSB respectively with a power consumption of 4.31 mW.

Key words analog-to-digital converter (ADC); digital-to-analog converter (DAC); low noise comparator; offset calibration; sample and hold; successive approximation register (SAR)

低速至中速采样率、高分辨率 (14 位以上) 模数转换器 (Analog-to-Digital Converter, ADC) 在电力测量与保护、电机控制、自动测试设备、多路数据采集系统等场景中有广泛应用。逐次逼近寄存器型 (Successive Approximation Register, SAR) ADC 转换延迟小、功耗低, 非常适合上述应用。然而, 采样保持电路、数模转换器 (Digital-to-

Analog Converter, DAC) 和比较器等关键电路的性能是制约 SAR ADC 获得高动态范围、高线性度以及低功耗的瓶颈, 相关的电路设计得到持续关注和广泛研究^[1-6]。

文献 [1] 设计了一种混合结构的电容型数模转换器 (Capacitor Digital-to-Analog converter, CDAC), 通过灵活编程方式补偿增益误差以及电容失配误

收稿日期: 2023-10-31; 修回日期: 2023-11-28

作者简介: 邢向龙, 博士生, 主要从事高精度模数转换器、开关电源等方面的研究。

*通信作者 E-mail: xingxianglong@fmsu.com.cn

差。文献 [2] 针对电容失配影响 ADC 线性度的问题提出了二进制窗口 DAC 切换以及电容随机交换方案, 在无需校准时获得 100 dB 的 SFDR, 但该方法需要增加额外的译码电路和复杂的 DAC 控制逻辑。针对 CDAC 切换能耗的问题, 文献 [3] 采用了混合电容切换方法设计了一款 10 位 SAR ADC, 文献 [4] 基于 GND 采样的单调电容切换方法设计了一款 12 位 ADC, 有效降低了功耗。针对比较器噪声, 文献 [5] 采用基于压控振荡器的比较器自适应地根据输入电压大小调整积分时间, 在功耗和噪声性能之间进行折中。文献 [6] 在逐次逼近过程的前若干周期使用低功耗但噪声大的比较器, 剩余若干周期使用高功耗但噪声小的比较器, 并增加一位冗余电容消除大噪声比较器进行转换引入的误差, 减少了由比较器产生的总功耗。

本文设计了一款 16 位 SAR ADC, 针对线性度、功耗以及噪声方面的设计挑战, 提出了改进的采样保持电路结构, 优化采样线性度和噪声性能。采用分段电容阵列及分段式基准源驱动方案改善 CDAC 输出稳定速度, 并采用混合电容切换方案降低能耗。比较器采用了两级预放大加锁存器的结构以及输出失调存储, 显著降低了噪声和失调电压。ADC 采用异步时序控制, 在 0.18 μm 工艺上进行了流片验证, 测试结果表明, 采用上述改进的技术有效提升了 ADC 的线性度, 并获得了良好的功耗

和噪声性能。

1 ADC 结构

图 1 为本文提出的 SAR ADC 架构框图, 整体为差分结构, 包括采样保持电路、CDAC、比较器、基准电压、异步逐次逼近逻辑、比较器时序控制以及数字校准等部分。片上驱动器用于将单端输入信号转换为差分输出并驱动采样电容 C_S 。异步逻辑省去不必要的转换等待时间, 提升了转换速度。片上数字校准完成 CDAC 的电容实际权重计算、失调和增益校准以及非线性校准, 其中校准所需的参数通过在校准模式下将测试数据在片外进行计算后得到, 然后再写入片上存储器中。

将采样保持电容 C_S 和 CDAC 分开设计有两个考虑: 1) 本 ADC 的目标应用为多通道数据采集系统, ADC 前端有多个采样保持器分别将各路输入信号采样并保持在各通道对应的 C_S 上, 在转换阶段由 S_{conv} 信号分时复用 CDAC 依次进行模数转换, 其好处是可保证各通道转换性能的一致性并减少功耗; 2) SAR ADC 的比较器采用 1.8 V 低压管设计以提升速度和噪声性能, 为了满足比较器输入电压处于器件安全耐压范围内, C_S 和 CDAC 在转换期间通过电荷分享, 对采样到的信号幅度进行衰减, 使 CDAC 输出的共模电平满足比较器输入要求。

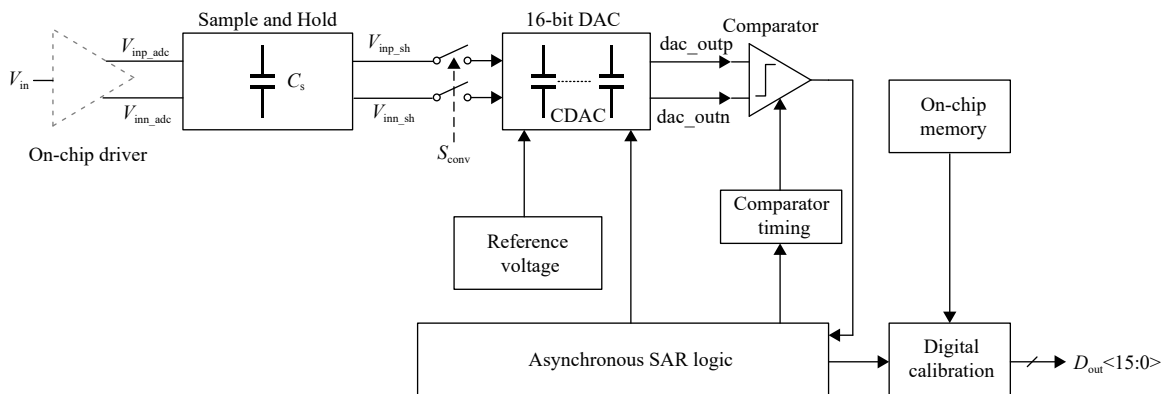


图 1 SAR ADC 架构框图

2 关键电路设计

2.1 改进的采样保持电路设计

高精度 ADC 常使用下极板采样以降低金属氧化物半导体 (MOS) 开关管电荷注入产生的非线性。图 2a 为传统的下极板采样电路, 开关 S_1 和 S_2 闭合时, 差分输入信号 $V_{\text{inp_adc}}$ 和 $V_{\text{inn_adc}}$ 分别接

入采样电容 C_S 的下极板, 上极板连接至电源 VDD5V。采样结束后, S_2 和 S_1 依次断开, 当 S_3 闭合时 ADC 开始转换。根据理论分析的近似, S_2 断开时, 在电容 C_S 上极板注入的电荷量为:

$$\Delta Q_2 \cong \alpha WLCox(\phi_H - V_I) \quad (1)$$

式中, α 为工艺相关的系数; WL 为 MOS 开关栅极

面积 (W 和 L 分别为沟道宽度和长度); C_{ox} 为单
 位面积的栅极电容; ϕ_H 为控制 S_2 的栅源电压;
 V_t 为开关的阈值电压。

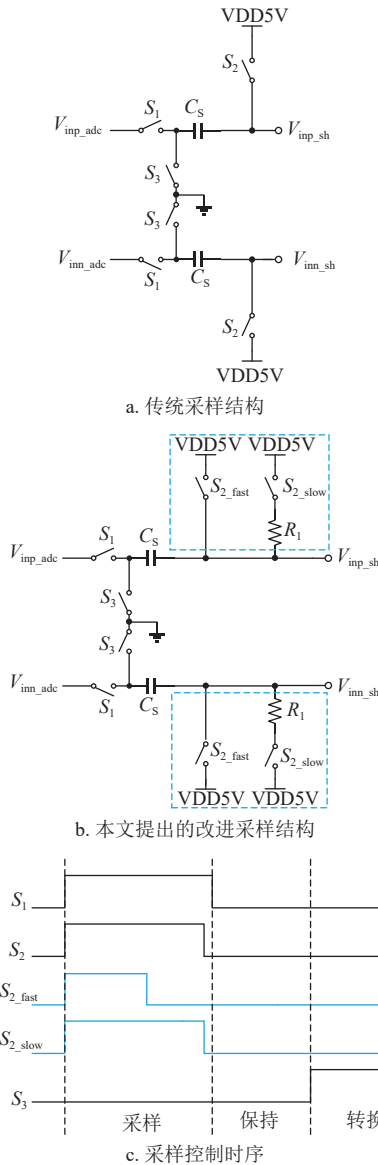


图 2 采样保持电路

根据式 (1), S_2 关断时注入电荷量与输入信号
 无关, 因此不产生非线性, 其在上极板引入的失调
 也可通过差分结构消除。对于较低精度 ADC 的采
 样需求而言上述近似是合理的。然而, 实际电路中
 控制开关关断的信号速度总是有限的, S_2 关断时其
 沟道内的电荷会根据晶体管源漏两端的阻抗差异重
 新分配。当 S_1 采用互补金属氧化物半导体 (CMOS)
 开关实现时, 其导通阻抗与输入信号幅度呈现非线
 性相关, 因此 S_2 关断时在 C_S 注入的电荷也和输
 入信号相关, 表现出非线性, 对高精度 ADC 的影响

不可忽略。图 3 显示了 S_1 的导通阻抗和 S_2 断开时
 在 C_S 注入的电荷随输入信号幅度变化的仿真结
 果。当输入信号幅度从 0.3 V 增加到 4.7 V 时,
 S_1 的阻抗从 6.1Ω 非线性增加至 65.6Ω , 注入的电
 荷从 $-152 \times 10^{-15} \text{ C}$ 非线性增加至 $-134 \times 10^{-15} \text{ C}$, 其趋
 势和 S_1 阻抗的非线性一致。而当 S_1 的导通阻抗恒
 定时, 注入电荷的变化量小于 $0.05 \times 10^{-15} \text{ C}$, 非线
 性可忽略。

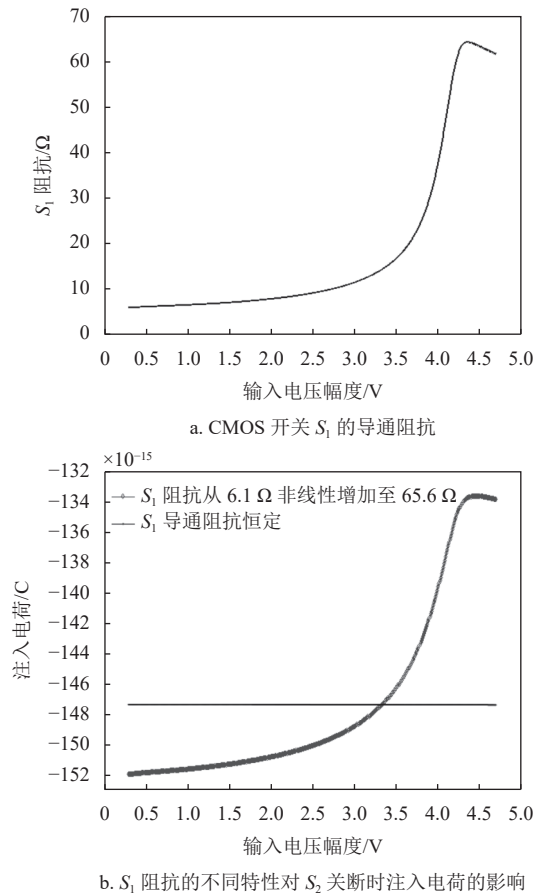


图 3 S_1 的阻抗及 S_2 注入电荷随输入信号幅度的变化

采用自举开关可以提升采样线性度, 但是自举
 电路增加了电路设计复杂度。本文基于非自举采
 样方式, 在传统下极板采样电路基础上, 提出了如
 图 2b 所示的改进电路结构。将上极板开关 S_2 分为
 S_{2_fast} 和 S_{2_slow} 两路, S_{2_fast} 用于加速采样电容上极
 板电压的建立。在 S_{2_slow} 和 C_S 上极板之间引入电
 阻 R_1 , 其目的是当开关 S_{2_slow} 断开时向 C_S 上极板
 看到的阻抗更加趋于线性, 从而降低 S_{2_slow} 电荷注
 入的非线性。采样控制时序如图 2c 所示, 其中
 S_{2_slow} 的控制时序与传统方案中的 S_2 时序相同,
 S_{2_fast} 先于 S_{2_slow} 断开, S_{2_fast} 注入的非线性电荷可

由 S_{2_slow} 通路消除。图 4 为不同 R_1 阻值条件下, S_{2_slow} 的注入电荷随输入幅度变化的仿真结果。可以看到, R_1 减小了电荷注入的非线性, 且 R_1 阻值越大, 非线性越小。当 R_1 大于 $1\text{ k}\Omega$ 时, 注入电荷变化量小于 $0.4 \times 10^{-15}\text{ C}$ 。此外, R_1 还与 C_S 构成了一阶低通滤波器, 可滤除片上信号驱动器和采样开关的带外噪声, 提升 ADC 的信噪比 (SNR)。实际设计中, R_1 的取值需在 C_S 上极板稳定速度 (影响采样精度)、电荷注入量以及噪声滤波性能之间折中考虑。此外, 为了减小电阻失配影响差分两端采样精度, 电阻版图面积取值相对较大, 且进行了交叉匹配设计。仿真结果表明, 采用改进后的采样电路, ADC 的 SNR 从 90.3 dB 提升至 94.7 dB , SFDR 从 93.5 dB 提升至 111.6 dB 。

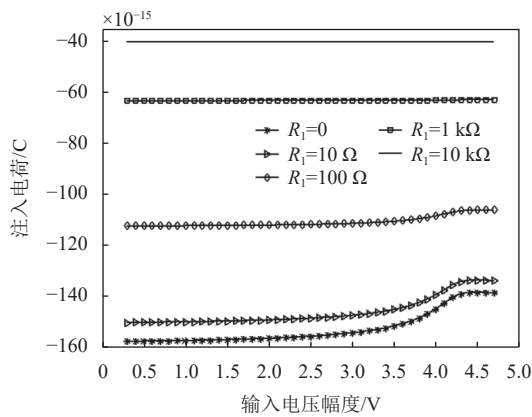


图 4 R_1 阻值对开关 S_{2_slow} 注入电荷非线性的影响

2.2 CDAC 设计

传统二进制电容阵列的结构所需单位电容的数目随 ADC 分辨率增加而指数增长, 耗费巨大的面积, 且增加基准电压源的驱动功耗和版图匹配难度, 不适用于高精度 ADC 设计。采用分段式 CDAC 设计可有效降低电容面积及芯片功耗^[5,7]。本文提出的 CDAC 采用图 5a 所示的三段式结构 (图中所示电容下极板的连接方式为采样状态), 其中 $C_{14} \sim C_0$ 为二进制权重常规电容, C_{10r} 、 C_{6r} 、 C_{2r} 、 C_{0r1} 和 C_{0r2} 为二进制权重冗余电容, 用于纠正转换过程中 DAC 输出电压建立误差、电容权重误差等导致的转换错误, 保证转换结束时 DAC 输出电压收敛至 0.5 LSB 以内。 C_{b1} 和 C_{b2} 为桥接电容, C_{d1} 和 C_{d2} 为辅助电容, 下极板接地, 在转换过程中不进行切换。 C_{d1} 和 C_{d2} 的值经过合理设计后可保证桥接电容取值为单位电容的整数倍, 有利于在版图上实现桥接电容和其他电容之间较好的匹

配。 C_{d1} 和 C_{d2} 的取值依据是要保证参与切换的二进制电容在 DAC 输出端的等效权重符合理论值。以两段式电容结构为例, 假设 C_u 为单位电容, C_b 为桥接电容, C_{LT} 为低位分段电容总和, C_d 为辅助电容, C_{MT} 为高位分段电容总和, C_{MLSB} 为高位分段电容中参与切换的最低权重电容, $C_{MLSB} = kC_u$ (k 为整数), C_{LMSB} 为低位分段电容中参与切换的最高权重电容, $C_{LMSB} = (L-1)C_u$ (L 为整数)。从 CDAC 输出端看, C_{MLSB} 切换产生的输出电压变化量 dVO_1 应为 C_{LMSB} 切换产生的输出电压变化量 dVO_2 的两倍, 据此, 可以推导出式 (2), 在已知 C_b 、 L 和 k 时, 可以求得 C_{LT} , 减去低位分段电容中参与切换的二进制权重电容即为 C_d 的值。

$$\frac{C_{LT}}{C_u} = \frac{2^L - k}{k} \frac{C_b}{C_u} \quad (2)$$

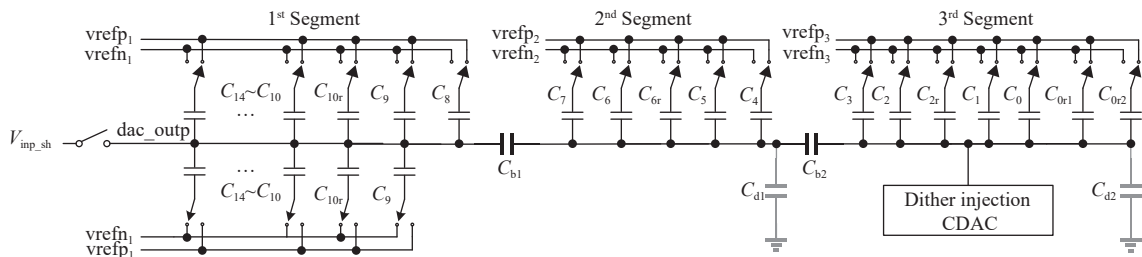
扰动注入 (Dither Injection) CDAC 为总权重为 3.5 LSB 的电容阵列, 其作用是采样阶段通过在该 DAC 下极板注入 3 位随机扰动信号, 实现在输入信号上叠加一个小幅度随机扰动信号, 改善因电容失配导致的 ADC 微分非线性 (DNL) 性能下降。由于注入扰动信号的电容权重非常小, 其对输入信号的动态范围影响可以忽略。

三段电容阵列采用同一幅度的基准电压源进行驱动, 以减少基准电压数量。图 5b 为产生驱动 CDAC 的基准电压方案。 $vref_int$ 为芯片内部产生的低噪声基准电压, 经过片上缓冲器驱动片外电容 C_{out} , C_{out} 两端的电压差 $vrefp-vrefn$ 作为驱动内部 CDAC 的基准电压源。与 CDAC 结构相对应, 本设计在内部产生 3 组基准电压 ($vrefp_1|vrefn_1$ 、 $vrefp_2|vrefn_2$ 和 $vrefp_3|vrefn_3$) 分别驱动 3 段 CDAC 的电容下极板。考虑到封装引线寄生电感的影响, 分别使用去耦电容 $C_1 \sim C_3$ 增加内部基准源的瞬时驱动能力, 加速 CDAC 切换时基准源的稳定速度, 减少基准电压波动带来的 CDAC 建立误差。电阻 $R_1 \sim R_6$ 用于消除电感和电容产生的谐振。由于第二段和第三段 CDAC 中高权重电容的容值较大, 采用本设计的基准电压驱动方案有利于加快这些电容下极板切换时 CDAC 输出电压的稳定速度。

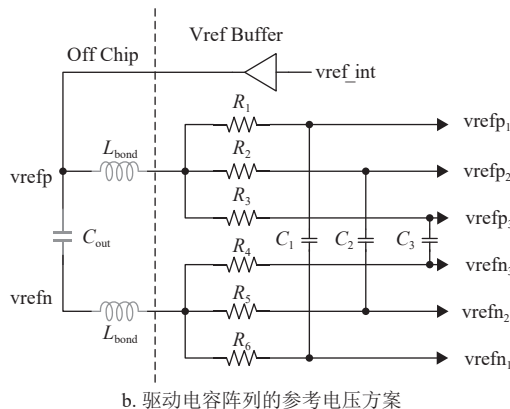
电容阵列切换时的能量消耗影响 ADC 功耗和驱动 CDAC 的基准电压源的稳定性。文献 [8] 提出的单调开关切换方式相对于传统切换方式可减小

81% 的能量消耗, 但是在转换过程中 DAC 输出共模电平不断减小, 对于本设计采用 1.8 V 低压管的比较器 (见 2.3 节), 共模电平降低会压缩第一级预放大器中差分输入对管的电压裕度, 导致输入失调电压随共模电平发生变化, 降低失调校准的精度和 ADC 性能。采用分裂式结构设计的 CDAC (如图 5a 中 $C_{14} \sim C_9$, 一半电容下极板接 $vrefp_1$, 另一半电容下极板接 $vrefn_1$) 在电容切换过程中可保证输出共模电压保持稳定, 与基于共模电平的开关切

换方式类似^[9-10], 且相对传统方式也降低了开关切换能耗。图 6 以 10 位 ADC 为例, 显示了非分段电容在传统切换方式、分裂式切换、单调切换以及分段电容结构结合单调切换方式所消耗的能量仿真结果对比 (基于相同的单位电容), 可以看到分裂式切换、单调切换相比传统切换方式均可以大幅缩减切换能耗, 而分段电容结合单调切换方式可以获得最低的能耗, 相比传统 CDAC 切换方式的总能耗减小了 98.3%。



a. 单端电容阵列结构 (实际电路为差分结构)



b. 驱动电容阵列的参考电压方案

图 5 电容阵列结构及其参考电压驱动方案

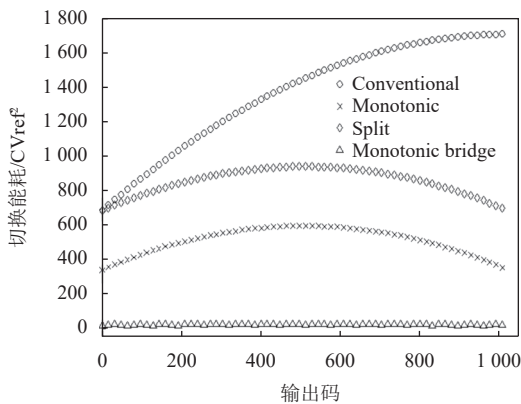


图 6 不同 CDAC 切换方式的能耗对比 (以 10 位 ADC 为例)

综合考虑电容面积、CDAC 输出共模电平稳定

性以及开关能耗等因素, 本文提出的分段 CDAC 结构及混合电容切换方式 ($C_{14} \sim C_9$ 电容采用分裂式切换, 其余电容采用单调切换) 既兼顾了比较器输入共模电压的稳定性, 又大幅减小了 CDAC 切换功耗, 降低了对基准电压源驱动力的要求。其中, 电容采用寄生效应较小的金属-绝缘层-金属 (MIM) 电容设计, 同时在分裂电容上还采用了背靠背的物理连接方式, 消除了电容的一阶电压效应影响。

2.3 低失调、低噪声比较器设计

图 7 是本设计中的比较器结构框图, 包含两级预放大器、动态锁存器和时序控制模块。得益于前述采样保持结构设计, 比较器输入共模电平较低, 两级预放大器均采用了文献 [7] 第二级的结构, 简

化了第一级设计复杂度，减少了噪声贡献源，有助于实现更低的等效输入噪声。

比较器可工作在失调校准模式和正常比较模式，由图 8 所示的工作时序决定。当开关 S_{az} 、 S_{az_1} 闭合，其余开关断开时，两级预放大器均工作在失调校准模式，放大器的差分输入端分别连接至共模电压 V_{cm_az1} 和 V_{cm_az2} ，此时放大器处于闭环工作状态。当 S_{az} 、 S_{az_1} 断开时，输出失调电压以及 $1/f$ 噪声分别存储于电容 C_{az1} 和 C_{az2} 上。以第一级为例，存储于 C_{az1} 上的失调电压为：

$$V_{off1_o} = -V_{off1_i} \frac{gm_1}{gm_{az1}} \quad (3)$$

式中， V_{off1_i} 和 gm_1 分别为输入对管失调电压和跨导； gm_{az1} 为失调消除对管跨导。当比较器切换到正常比较模式时，放大器处于开环放大状态，输入等效失调电压为：

$$V_{off1_eq} = \frac{-V_{off1_o} gm_{az1} R_{out}}{-gm_1 R_{out}} + V_{off1_i} = 0 \quad (4)$$

式中， R_{out} 为放大器在开环状态下的输出阻抗。从式 (4) 可以看到，比较器的输入失调被抵消。

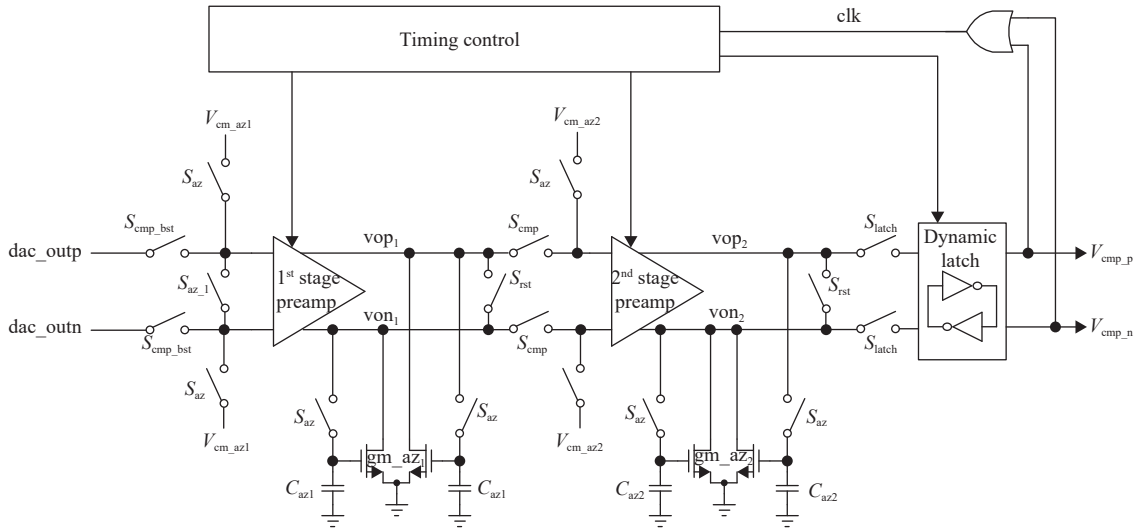


图 7 本设计中的比较器结构

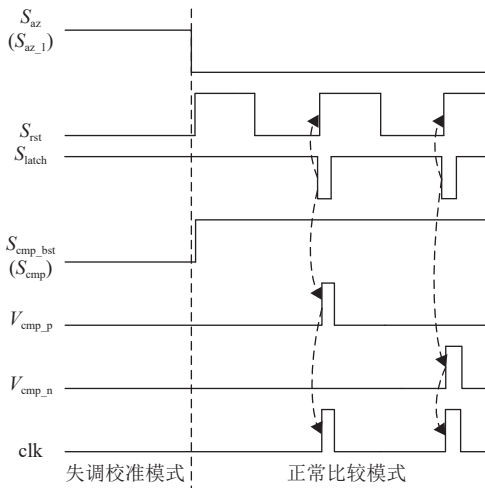


图 8 比较器工作时序

预放大级在失调校准结束时刻将失调电压存储于电容上时，还同时会采样预放大级的输出噪声以及输入开关 S_{az} 引入的热噪声。放大器的输出噪声等效到输入端时会被自身增益衰减，而 S_{az} 的噪声

不会被衰减。为进一步降低 S_{az} 在比较器输入端引入的噪声，本设计在传统设计基础上加入了低导通电阻的 S_{az_1} 开关，对 S_{az} 开关的噪声进行抑制，从而减小存储于 C_{az1} 上的失调电压噪声。由于 S_{az} 、 S_{az_1} 开关噪声的非相关性，其在比较器输入端产生的噪声为：

$$V_{n,off_cal} = \sqrt{V_{n,s_az_1}^2 + 2V_{n,s_az}^2 \left(\frac{R_{s_az_1}}{2R_{s_az} + R_{s_az_1}} \right)^2} \quad (5)$$

式中， V_{n,s_az} 和 V_{n,s_az_1} 分别为 S_{az} 和 S_{az_1} 开关的噪声； R_{s_az} 和 $R_{s_az_1}$ 分别为 S_{az} 和 S_{az_1} 的导通电阻。当 $R_{s_az_1}$ 远小于 R_{s_az} 时， S_{az} 的噪声被衰减，且 S_{az_1} 的噪声很小，因此失调校准开关附加的噪声被抑制。第二级放大器的失调和噪声在等效到比较器输入时会被第一级放大器的增益衰减，因此第二级输入端的失调校准开关采用传统设计结构，节省面积。图 9 为校准前后比较器输入失调电压的蒙特卡洛仿真结果，经过校准，比较器的输入失调电压从

校准前的 $\pm 1.2\text{ mV}$ 减小到了 $\pm 70\ \mu\text{V}$ 。

在正常比较模式, 两级预放大器均工作在积分器状态, 通过最大化设计输入差分对管跨导, 在放大器电路中采用 Cascode 以及交叉反馈负载管技术提升稳态放大增益, 克服了动态锁存器失调和噪声的影响。积分时间由时序电路控制。图 7 中开关 $S_{\text{cmp_bst}}$ 由自举电压控制, 降低导通电阻和寄生电容, 加快 CDAC 输出稳定速度。采用周期性地预放大器输出短路的方法 (由图 7 中的 S_{rst} 信号控制) 在 CDAC 建立稳定后再开始输出信号放大, 避免了 CDAC 输出稳定过程中的波动造成锁存器误翻转。基于以上改进并对电路进行优化设计, 仿真得到比较器的输入等效噪声最大为 $30\ \mu\text{V}_{\text{rms}}$, 满足 16 位 ADC 的要求。

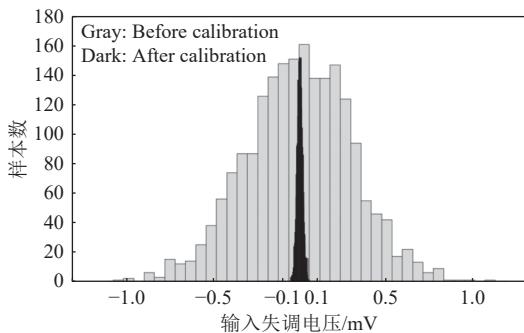


图 9 校准前后比较器输入失调电压的蒙特卡洛仿真结果

3 测试结果

本文设计的 ADC 在 CMOS $0.18\ \mu\text{m}$ 工艺上进行了流片验证, 图 10 为测试芯片中 ADC 核心的照片, 面积为 $1.15\ \text{mm}^2$, 芯片由外部 $5\ \text{V}$ 电源和片上 $1.8\ \text{V}$ LDO 供电。测试芯片包含 8 个 ADC 通道, 各通道均以 $200\ \text{ks/s}$ 采样率工作, ADC 内核对 8 个通道信号依次进行转换, 完成一次转换需要 $500\ \text{ns}$, 因此内部 ADC 实际转换速率可达 $625\ \text{ks/s}$ 。

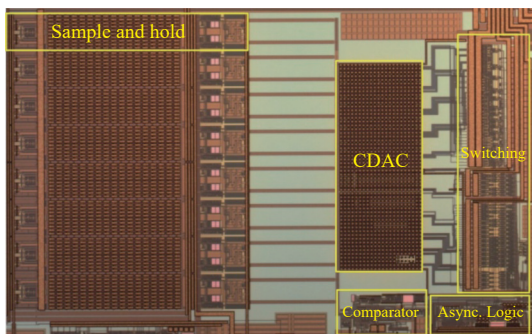


图 10 ADC 核心照片

图 11 为 27°C 下 ADC 各部分功耗占比, ADC 转换期间总消耗功率为 $4.31\ \text{mW}$, 其中比较器占比最大, 主要是因为第一级预放大器需要消耗较多的电流以满足噪声和失调需求。逻辑部分需要完成数据锁存、计算和非线性校准, 功耗占比次之。得益于本设计优化的 CDAC 架构, 其开关切换所需的能量占比较小。

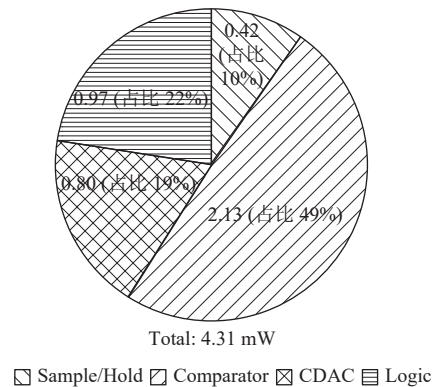
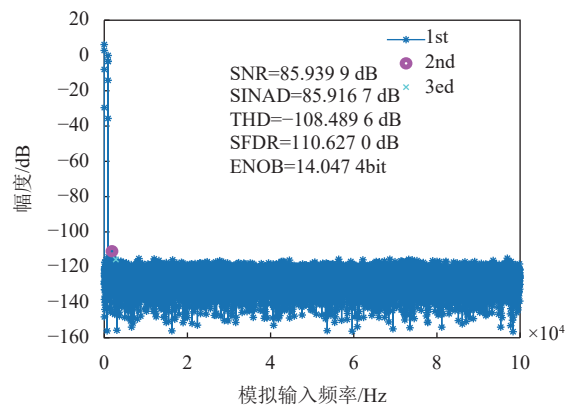


图 11 ADC 功耗分布

ADC 动态性能测试通过外部信号源产生正弦波, 经过片上驱动器输入 ADC 采样电路, 转换后的数据在片外通过 MATLAB 程序进行快速傅里叶变换 (FFT) 分析计算。直流线性度测试通过输入正弦波, 采集足够的转换数据点, 利用码密度法计算微分非线性 (DNL) 和积分非线性 (INL)。图 12a 为输入信号频率为 $1\ \text{kHz}$ 时, 采集 $30\ 000$ 个输出数据点得到的 FFT 频谱, 信纳比 (SINAD) 为 $85.9\ \text{dB}$, 有效位数 (ENOB) 为 14 位, SFDR 为 $110.6\ \text{dB}$ 。图 12b 和图 12c 分别为输入信号频率为 $30\ \text{Hz}$ 时, 采样 $2\ 160$ 万个数据点分析得到的 DNL 和 INL 随转换码的分布, 得到的 DNL 最大值为 $-0.27/+0.32\ \text{LSB}$, INL 最大值为 $-0.58/+0.53\ \text{LSB}$ 。



a. 输出 FFT 频谱

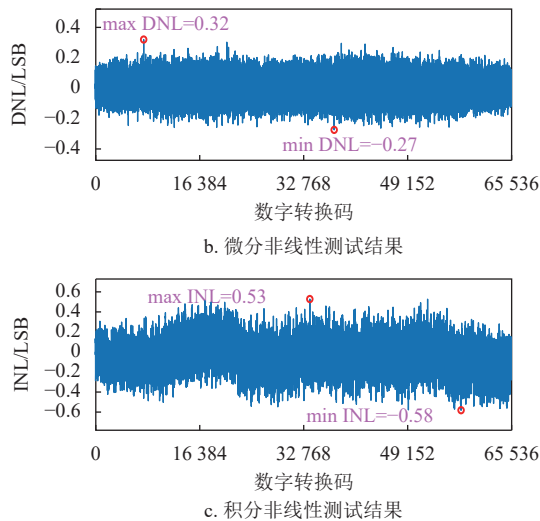


图 12 ADC 动态性能及直线性度

图 13 为 ADC 动态性能在 $-55\text{ }^{\circ}\text{C}\sim 105\text{ }^{\circ}\text{C}$ 范围内的测试结果，可以看到，SINAD 在全温区内变化不大于 0.3 dB ，SFDR 在全温区内变化不超过

5.2 dB ，线性度和噪声性能具有良好的温度稳定性。

表 1 为本文的 ADC 与近几年发表的文献中 SAR ADC 性能的比较，可以看到，本设计的 ADC 具有较大的输入范围，最大的无杂散动态范围和优良的直线性度。同时也看到，在转换速率和噪声性能方面，本设计还有一定的提升空间。

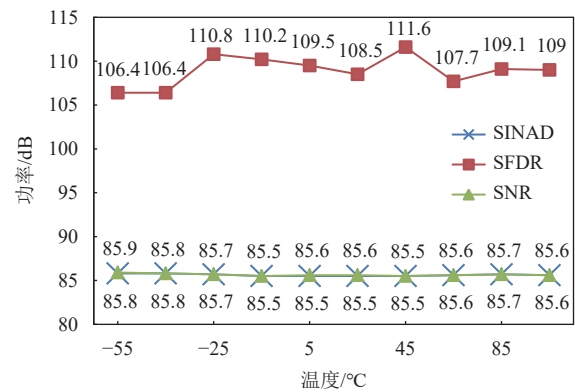


图 13 DC 动态性能随温度变化

表 1 ADC 性能对比

参数	架构	工艺/ μm	电源/V	分辨率/bit	采样率/($\text{ks}\cdot\text{s}^{-1}$)	输入范围/Vpp	SINAD/dB	SFDR/dB	DNL/LSB	INL/LSB	面积/ mm^2	功耗/mW	FOMs/dB*
本文	SAR	0.18	5/1.8	16	625	8.8	85.9	110	-0.27/+0.32	-0.58/+0.53	1.15	4.31	164.5
文献[2]	BW-SAR	0.18	3.3/1.8	16	1000	1.8	83	100	-0.65/+0.45	-2.2/+2.1	0.53	1.05	169.8
文献[4]	SAR	0.18	1.8	12	250	/	65.0	77.8	/	/	0.36	0.025 7	161.9
文献[11]	SAR	0.5	5	16	200	20**	88.19	103.33	-0.52/+0.57	-0.67/+0.69	5.95	20	155.2
文献[12]	SAR	0.6	12 V/5 V	16	250	10	80	/	3.2	7.3	1.8	6.36	152.9

*FOMs=SINAD+10log(Fs/2/Power)

**经过内部电阻网络衰减前的输入信号幅度

4 结束语

SAR ADC 具有低延迟、结构相对简单、对工艺节点缩减友好以及低功耗等特点，也是众多新型混合架构高性能 ADC 中常用的子 ADC 结构。低噪声、大动态范围以及高线性度等指标对工业、医疗等应用中的高精度 ADC 至关重要。就 SAR ADC 而言，采样保持电路的线性度、CDAC 的匹配及切换能耗、比较器的失调和噪声等因素都是制约其实现高精度的瓶颈。

本文基于 CMOS $0.18\text{ }\mu\text{m}$ 工艺设计了一种较大输入范围、16 位分辨率的 SAR ADC，提出了改进的采样保持电路结构优化采样线性度和噪声性能，采用分段结构设计的 CDAC 结合扰动注入以及混合型电容切换方式等技术优化了电路面积、噪声、

线性度以及功耗。在比较器中采用两级积分型预放大器设计优化噪声，采用输出失调存储技术及优化的电路设计减小比较器失调电压和失调校准引入的噪声，采用自举开关及优化的时序控制提升比较器速度。测试结果表明，以上技术提升了 ADC 的动态和静态性能，设计的低功耗 ADC 具有优良的线性度和较低的噪声，适合工业场景等高性能数据采集系统应用。

参考文献

- [1] CHOO K, AN H, SYLVESTER D, et al. 14.1-ENOB 184.9 dB-FoM capacitor-array-assisted cascaded charge-injection SAR ADC[C]//IEEE International Solid-State Circuits Conference. San Francisco: IEEE, 2021: 372-374.
- [2] CHUNG Y H, TIEN C H, ZENG Q F. A 16-bit calibration-

- free SAR ADC with binary-window and capacitor-swapping DAC switching schemes[J]. *IEEE Transactions on Circuits and Systems-I: Regular Papers*, 2022, 69(1): 88-99.
- [3] 葛彬杰, 李琰, 俞航, 等. 一个采用新颖的混合电容切换模式的 SAR ADC 设计[J]. *北京大学学报: 自然科学版*, 2018, 54(5): 927-934.
GE B J, LI Y, YU H, et al. A design of 10b SAR ADC with novel mixed-monotonic capacitor switching scheme[J]. *Acta Scientiarum Naturalium Universitatis Pekinensis*, 2018, 54(5): 927-934.
- [4] 叶茂, 楚银英, 赵毅强. 基于 GND 采样技术的逐次逼近型模数转换器设计[J]. *湖南大学学报*, 2023, 50(2): 129-137.
YE M, CHU Y Y, ZHAO Y Q. Design of successive approximation ADC based on ground sampling technique[J]. *Journal of Hunan University*, 2023, 50(2): 129-137.
- [5] YOSHIOKA K. VCO-based comparator: A fully adaptive noise scaling comparator for high-precision and low-power SAR ADCs[J]. *IEEE Transactions on Very Large Scale Integration Systems*, 2021, 29(12): 2143-2152.
- [6] 高俊枫, 李梁, 李广军, 等. SAR ADC 中一种比较器失调和噪声容忍的模型[J]. *电子科技大学学报*, 2014, 43(5): 669-673.
GAO J F, LI L, LI G J, et al. Low power offset and noise tolerant model for comparators of SAR ADC[J]. *Journal of University of Electronic Science and Technology of China*, 2014, 43(5): 669-673.
- [7] SHEN J H, SHIKATA A, FERNANDO L D, et al. A 16-bit 16-MS/s SAR ADC with on-chip calibration in 55-nm CMOS[J]. *IEEE Journal of Solid-State Circuits*, 2018, 53(4): 1149-1160.
- [8] LIU C C, CHANG S J, HUANG G Y, et al. A 10-bit 50-MS/s SAR ADC with a monotonic capacitor switching procedure[J]. *IEEE Journal of Solid-State Circuits*, 2010, 45(4): 731-740.
- [9] ZHU Y, CHAN C H, CHIO U F, et al. A 10-bit 100-MS/s reference-free SAR ADC in 90 nm CMOS[J]. *IEEE Journal of Solid-State Circuits*, 2010, 45(6): 1111-1121.
- [10] WU Y, CHENG X, ZENG X Y. A split-capacitor vcm-based capacitor-switching scheme for low-power SAR ADCs[C]//*IEEE International Symposium on Circuits and Systems*. Beijing: IEEE, 2013: 2014-2017.
- [11] LUO H R, ZHAO X L, JIAO Z H, et al. A 16-bit, ± 10 -V input range SAR ADC with a 5-V supply voltage and mixed-signal nonlinearity calibration[J]. *Chinese Journal of Electronics*, 2022, 31(4): 690-697.
- [12] CEN Y J, FENG W, YANG P, et al. Design of capacitor array in 16-bit ultra high precision SAR ADC for the wearable electronics application[J]. *IEEE Access*, 2020, 8: 175230-175243.

编辑 张莉