



数字示波器中 FPGA 间高速信号传输同步方法

高媛¹, 赵禹², 王厚军^{2*}, 叶芑²

(1. 军委装备发展部, 北京 100034; 2. 电子科技大学(深圳)高等研究院, 深圳 518110)

摘要 数据采集系统是数字示波器(DSO)的核心组成单元,随着示波器带宽采样率的逐步提升,单片模数转换器(ADC)+现场可编程门控阵列(FPGA)的架构难以满足超高速以及多通道的应用场景,因此,高端示波器中数据采集系统普遍采用“主从”FPGA控制架构。在该架构下,多个FPGA之间信号的同步传输是实现采集系统的同步和精确采集的重要前提。针对多FPGA板卡之间的信号同步传输问题,提出了一种FPGA之间高速信号同步传输的方法,借助FPGA的IODELAY单元,通过测试数据训练找到最稳定的同步传输区间,实现多FPGA之间的同步传输。在自研的数字示波器上的实验表明,该方法能够有效实现FPGA之间高速信号的同步传输。

关键词 超高速数据采集系统; 现场可编程门控阵列; 传输同步; 数字存储示波器

中图分类号 TH85 文献标志码 A DOI 10.12178/1001-0548.2023320

High-Speed Signal Transmission Synchronization Method Between FPGAs in Digital Oscilloscopes

GAO Yuan¹, ZHAO Yu², WANG Houjun^{2*}, and YE Peng²

(1. Center of Military Commission Equipment Development Department, Beijing 100034, China;

2. Shenzhen Institute for Advanced Study, University of Electronic Science and Technology of China, Shenzhen 518110, China)

Abstract The data acquisition system is the core component of Digital Storage Oscilloscopes (DSO). With the gradual increase in the bandwidth and sampling rate of oscilloscopes, the single-chip Analog to Digital Converter (ADC) + Field Programmable Gate Array (FPGA) architecture is difficult to meet ultra-high-speed and multi-channel application scenarios. Therefore, data acquisition systems in high-end oscilloscopes generally adopt a 'Master-Slave' FPGA control architecture. Under this architecture, the synchronous transmission of signals between multiple FPGAs is an important prerequisite for achieving synchronization and accurate acquisition of the acquisition system. This paper proposes a method for high-speed signal synchronous transmission between FPGAs to solve the problem of signal synchronization transmission between multiple FPGA boards. With help of FPGA's IODELAY unit, the most stable synchronization transmission interval is found through test data training, and synchronization transmission between multiple FPGAs is realized. Experiments on a domestic digital oscilloscope shows that this method can effectively achieve synchronous transmission of high-speed signals between FPGAs.

Key words ultra-high-speed data acquisition system; field programmable gate array; transmission synchronization; digital storage oscilloscope

超高速数据采集系统是电子仪器、雷达等电子设备的基础。以高速数字存储示波器(Digital Storage Oscilloscope, DSO)为例,待测信号首先经过信号调理电路将待测信号电压调节到合适范围,随后,模数转换器(Analog to Digital Converter, ADC)将模拟信号进行量化后处理,量化后的信号

送到现场可编程门阵列(Field Programmable Gate Array, FPGA)进行同步接收、触发、存储和后端处理。随着DSO功能的日益复杂,单片FPGA很难实现上述功能,往往需要将示波器的许多功能进行划分,并分配到不同的FPGA上,形成“主从”采集控制体系结构。在这种架构下,FPGA之间异

收稿日期: 2023-12-18; 修回日期: 2024-01-17

基金项目: 国家自然科学基金青年基金(62201125)

作者简介: 高媛, 博士生, 高级工程师, 主要从事电子测试仪器、自动测试系统和相关元器件领域技术与发展战略方面的研究。

*通信作者 E-mail: hjwang@uestc.edu.cn

步控制信号和数据的传输会在信号采集时产生相位偏差甚至故障, 从而影响采集系统的功能。因此, 解决 FPGA 间同步传输问题成为超高速采集系统的一个重点研究方向^[1-2]。

FPGA 之间的传输方式有很多, 包括单数据速率 (Single Data Rate, SDR)、双倍速率 (Double Data Rate, DDR)、串行/解串器 (SERIALIZER/DESERIALIZER, SERDES) 和高速收发器 (Gigabit Transceiver, GT)^[3-6]。其中, GT 的传输同步是基于嵌入式时钟的自同步方式, 主要用于板间数据传输。然而, GT 不同于其他传输方式, 其资源有限, 难以满足多 FPGA 系统的要求^[7]。其余的则是基于源同步的方式进行传输, 即发送一个同步的伴随时钟来实现发送和接收之间的同步。在源同步传输模式下, 时钟与数据的时延是否一致成为源同步的关键点。此外, 在源同步中, 由跨板传输延迟引入的亚稳态问题也是源同步成功的一个障碍, 特别是随着数据传输速率的提高, 时钟的同步裕量进一步减小, 这增加了源同步实现的难度^[8]。

围绕这一问题, 文献 [9-10] 通过调节 IODELAY 单元的延迟, 并且配合 FPGA 的 BITSLLIP 功能, 实现了数据传输的同步, 但其对于多 bit 同步间的参考选择较为敏感, 并未选取最稳定的延迟区间。另外一种方法则是通过增加数据帧头或者增加校验位的方式进行同步, 但这类方法的缺点在于传输中存在大量的冗余信息^[11]。

基于以上问题, 本文对 DSO 中数据采集系统的多 FPGA 间源同步技术进行了研究。借助 FPGA 的 IODELAY 单元, 通过测试数据训练, 找到最稳定的同步传输延时, 配合移位寄存器实现 DSO 中多 FPGA 之间控制信号以及数据信号的同步稳定传输。

1 “主从”采样架构

1.1 “主从”数据采集架构

典型的“主从”数据采集系统如图 1 所示, 其中从 FPGA 用于接收 ADC 采样数据和 DDR 存储, 系统采集控制主控单元位于主 FPGA, 通过产生主控信号控制从 FPGA 中的从控单元, 实现对多片 FPGA 的同步控制。同时, 主 FPGA 负责接收来自多个从 FPGA 的数据, 并专注于后续的信号处理过程。处理后的数据经过 PCIe 接口传输到工业个人计算机 (Industry Personal Computer, IPC) 进行测量和显示。

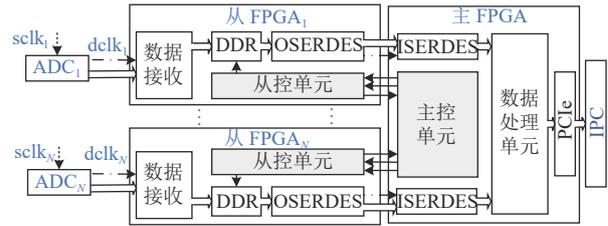


图 1 “主从”数据采集架构

在图 1 中, 从 FPGA 和主 FPGA 之间的信号传输主要包括数据信号和控制信号两类。所有的信号基于 ADC 的随路时钟 $dclk_N$ 作为同步时钟以源同步方式传输。由于传输速率以及位宽的要求, 数据通常采用 SERDES 进行传输, 而控制信号采用 SDR 的方式直接传输。

1.2 时钟树

对于“主从”架构采集系统, 首先要确保多个 FPGA 之间时钟的同源性, 本系统同步时钟设计的时钟树结构如图 2 所示。

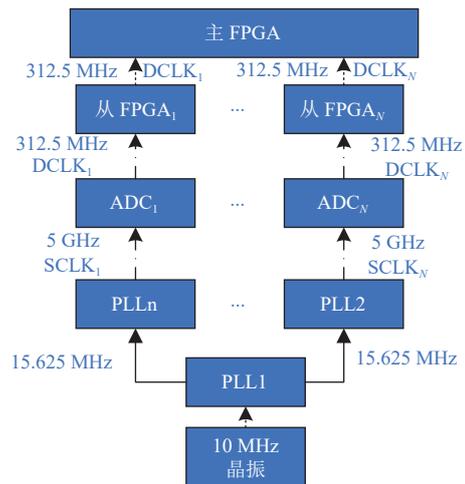


图 2 “主从”数据采集架构时钟树

在图 2 中, 所有时钟都来自一个 10 MHz 的晶体振荡器。在锁相到 10 MHz 振荡器后, 锁相环 1 (PLL) 产生 15.625 MHz 时钟信号并将其发送给锁相环 PLL2~PLLn, PLL2~PLLn 锁相环产生 5 GHz 采样时钟并将其发送给 ADC。每个 ADC 根据 5 GHz 采样时钟进行分频, 生成一个 312.5 MHz 的数据相关的同步时钟, 发送到相应的从 FPGA 进行同步数据接收。同时, 采用 312.5 MHz 时钟作为 FPGA 的主系统时钟, 用于 DDR 存储控制和后端数据传输。该时钟也作为伴随时钟发送到主 FPGA 进行数据传输和控制。

在主 FPGA 中, 通常选择第一个从 FPGA 的关联时钟作为主 FPGA 的主时钟, 完成多个从 FPGA

的数据接收和同步控制。

这种时钟结构保证了多个从 FPGA 与主 FPGA 之间时钟的一致性, 为后续的控制信号和数据传输同步提供了前提。

2 源同步传输模型

在上述的采样架构中, “主从” FPGA 完成了时钟同源的设计, 所有的 FPGA 均工作在同源的模式下, 多片 FPGA 之间的源同步传输如图 3 所示。

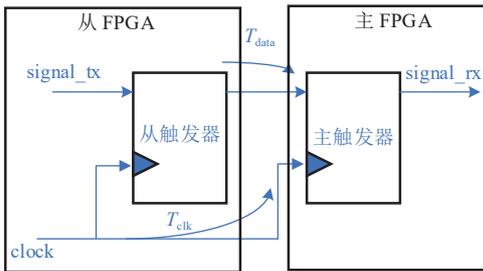


图 3 “主从” FPGA 中的源同步模型

其中, T_{clk} 为从 FPGA 触发器时钟到主 FPGA 触发器的时钟延时, T_{data} 为从 FPGA 触发器时钟到

主 FPGA 触发器的数据延时。当 $T_{clk} = T_{data}$ 时, 自然会建立源同步。但由于 PCB 加工精度、信号跨 bank 传输、温度变化等原因, 两者之间可能存在一定程度的偏差, 可能导致多根线之间接收亚稳态和时序偏差, 如图 4 所示。

对于这种异步现象, 影响最大的是亚稳态的接收问题。亚稳态的存在会在信号前后产生一个时钟 clk 的随机误差, 这对控制信号和数据信号是致命的。固定偏差主要影响数据信号的传输, 特别是在并行多比特传输的情况下, 某一比特的错位会导致封装数据出现错误。如在图 4 中, 发送端与接收端符合严格的时序关系, 但接收端由于传输延时导致接收端的 $Ctrl_Lane_{1k}$ 信号跳变发生在时钟的亚稳态区间, 从而导致控制信号时序关系存在 $\pm 1clk$ 的随机误差。对于数据传输线, $Data_Lane_{2k}$, $Data_Lane_{3k}$ 发送端发送的是稳定的“00-11-00-11”, 而传输延时导致接收端虽然没有落在亚稳态区间, 但接收的数据序列是“10-01-10-01”发生了数据的错位。

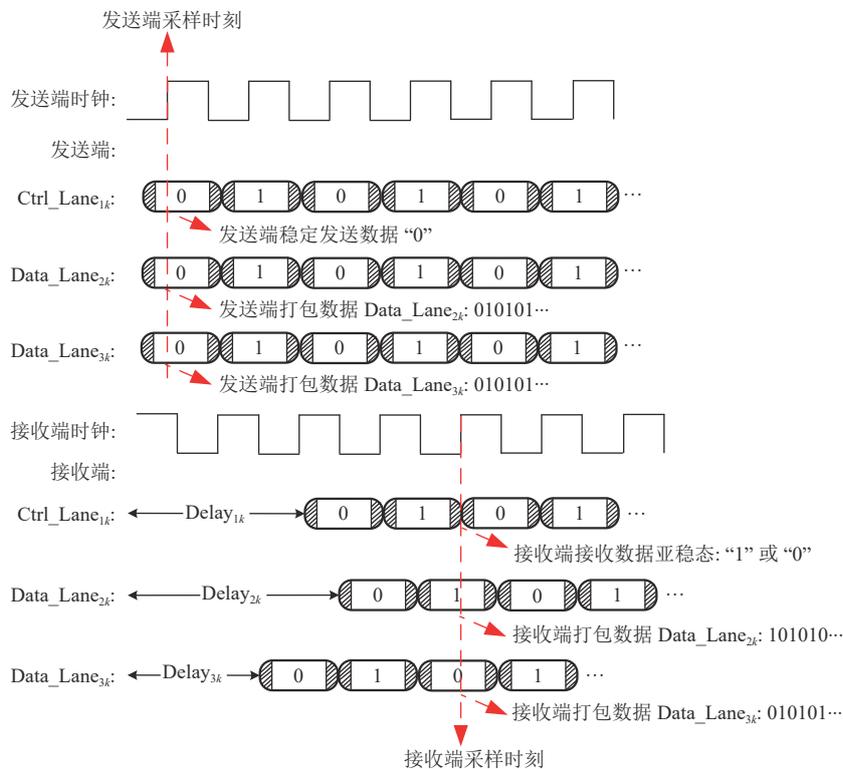


图 4 信号传输实际情况

因此, 解决 FPGA 之间同步传输的关键在于消除传输的亚稳态, 并且实现多比特之间的固定延时传输。

3 高速信号同步传输设计

3.1 系统架构

基于以上分析, 本文提出一种基于同步窗口扫

描的 FPGA 间传输同步方法。本方法针对亚稳态以及传输延时导致的不同步的问题,借助 FPGA 中的 IODELAY 单元,通过调节图 3 中的 T_{data} 消除亚稳态并且实现多比特数据的同步传输。在系统初始化阶段,发送端产生 01 翻转的序列,接收端对该序列进行接收并且完成组包,遍历不同 IDELAY 单元的 TAP 值,寻找最稳定的 TAP 值区间,消除亚稳态的影响。并在此基础上引入并行移位寄存器来实现多比特位之间的同步以及 FPGA 之间传输的同步。

在该方法中, FPGA 负责自动调整 IDELAY 单元的 TAP 值并存储窗口扫描结果。IPC 软件端负责根据 FPGA 窗口扫描的结果计算稳定的 TAP 值区间以及多比特位之间对齐的并行移位值,系统框架如图 5 所示。

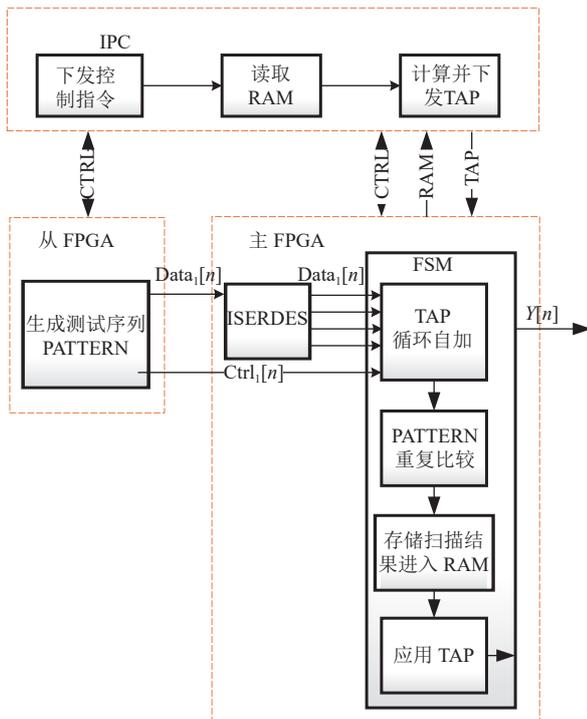


图 5 软硬件配合方案

在图 5 中, FPGA 硬件电路运转速度快,主要完成状态机的运转和测试数据的重复比较;软件运行灵活度高,主要完成稳定 TAP 值的计算分析。

软件下发控制信号,使主从 FPGA 配置为同步测试模式,在测试模式下,硬件端的同步传输模块会通过状态机运转,生成一个包含有效延迟值 (TAP) 信息的 RAM 回传至软件端,软件算法计算最稳定的 TAP 作用于 IDELAY 单元,使信号能够稳定传输。

3.2 FPGA 方案设计

FPGA 状态机状态跳转流程图如图 6 所示。

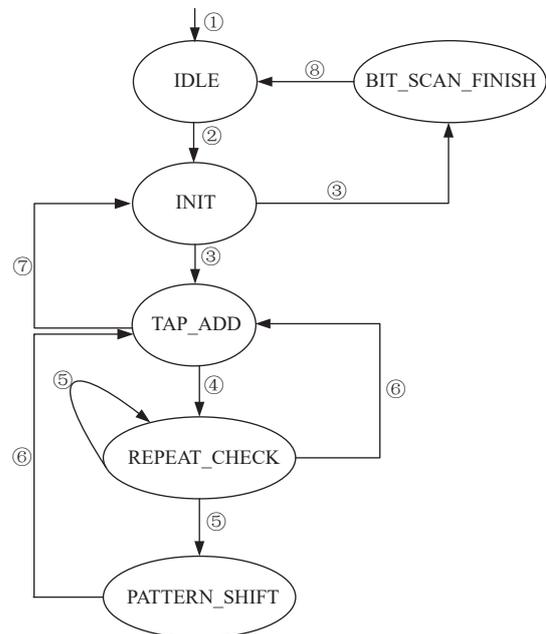


图 6 FPGA 状态机状态跳转流程图

有限状态机各状态说明:

IDLE: 硬件上电后默认状态,进行有限状态机复位,配置测试模式等操作;

INIT: 初始状态,进行扫窗起始 TAP 值 (TAP_START)、扫窗结束 TAP 值 (TAP_END) 以及扫窗 TAP 间隔 (TAP_GAP) 的赋值,以及传输线线号 (Lane_num) 的判断等操作;

TAP_ADD: 对 TAP 值进行自加,遍历 512 级 TAP 值;

REPEAT_CHECK: 对正确的 PATTERN 进行 64 次比较,以消除亚稳态对比较过程正确性的影响;

PATTERN_SHIFT: 对错误的 PATTERN 进行移位等操作;

BIT_SCAN_FINISH: 所有的 Lane 扫描结束。

状态转移条件说明:

① 软件下发配置 TAP_START、TAP_STOP、TAP_GAP 等参数,将主从 FPGA 配置成测试模式,主从 FPGA 收到 RESET 信号对系统进行复位;

② 复位完成后,状态机开始工作,从 FPGA 向主 FPGA 发送固定码流 PATTERN (“0101010 110101010”,即 0x55AA,该序列周期=16 T_{clk} ,可以覆盖较大的 Delay 值,并且“01”“10”翻转频繁,易检测亚稳态);

③ n 为主从 FPGA 之间的物理连线数, 若 $\text{Lane_num} < n$, 则跳转至 TAP_ADD 状态; 若 $\text{Lane_num} = n$, 则跳转至 BIT_SCAN_FINISH 状态, 工作结束;

④ 对 DATA_IN 施加 TAP_START 的延迟值, 将延迟后的信号分别和初始码流 PATTERN 进行比较;

⑤ 若比较成功, 则跳转至 REPEAT_CHECK 状态进行多次比较; 多次比较成功则认为 PATTERN_CORRECT, 为稳定的 TAP, 记录 PATTERN 的移位值到 RAM 中。若比较失败, 则跳转至 PATTERN_SHIFT 状态, 对码流 PATTERN 进行移位; 若多次比较失败或移位比较失败, 则认为 PATTERN_ERROR, 则为亚稳态区间的 TAP, 记录“FF”到 RAM 中;

⑥ 若 PATTERN_CORRECT 或者 PATTERN_ERROR, 则对一根 Lane 进行 $\text{TAP} = \text{TAP} + \text{TAP_GAP}$, 跳转至 TAP_ADD 状态, 重复操作;

⑦ 若 $\text{TAP} = \text{TAP_END}$, 则表示一根 Lane 的 TAP 遍历完了, $\text{Lane_num} = \text{Lane_num} + 1$, 重复③~⑥的操作;

⑧ 在所有 Lane 扫描结束后, 进入 BIT_SCAN_ALLFINISH 状态后, FPGA 硬件模块将生成一个 RAM, 提交给 PC 端软件进行算法处理, 并跳转至 IDLE 状态, 等待下一次状态机运转。

3.3 软件方案设计

软件配置流程如图 7 所示。

软件为 FPGA 配置测试模式, 下发终止 TAP 值 TAP_STOP, 起始 TAP 值 TAP_START, TAP 步进 TAP_GAP 等相关控制字 (流程图①), 在复位完成后, 给 FPGA 下发开始指令 (流程图②), 等待 FPGA 的 SCAN_ALLFINISH 结束标志 (流程图③), 读取 RAM 中的扫描结果, 根据算法计算出稳定的 TAP 值, 并下发至 FPGA (流程图④)。

FPGA 同步传输模块会根据软件下发的配置字, 生成一个包含稳定 TAP 信息的 RAM, 如表 1 所示。表中每个地址与 IODELAY 中 TAP 的映射关系为:

$$\text{TAP} = (\text{ADDR} - (\text{TAP_STOP} - \text{TAP_START} + 1) \times \text{Lane_num} - 1) \times \text{TAP_GAP} \quad (1)$$

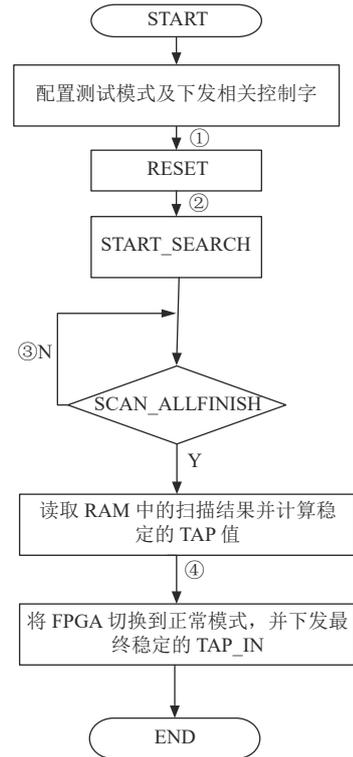


图 7 软件配置流程图

表 1 RAM 存储的扫描结果

Lane 编号	TAP 值								
	1	2	3	4	...	10	11	12	...
Lane_0	a	a	FF	FF	...	b	b	FF	...
Lane_1	a	a	a	FF	...	b	b	FF	...
Lane_2	a	a	a	a	...	b	FF	FF	...
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮

表 1 中 Lane_num 为 Lane 的编号, 内容表示每根 Lane 的扫描情况, 有具体数值的表示接收信号处于稳定区间, 否则置为 FF。以数值为 a 举例, 作用该地址下对应的 TAP 值后, 主 FPGA 接收的信号能和初始码流 (55AA) 左移位 a 次后对齐。并且 a 和 b 满足以下关系:

$$a + 2 = b + 1 \quad a < b < \text{PATTERN_LENGTH} \quad (2)$$

式中, PATTERN_LENGTH 表示初始码流的周期数。根据以上结果, 软件经过算法计算出每根 Lane 对应的最长稳定区间 (即最长的稳定“窗”), 假设最长稳定区间的起始地址为 ADDR_MIN, 所对应的 TAP 值为 TAP_MIN; 终止地址为 ADDR_MAX, 所对应的 TAP 值为 TAP_MAX, 则有:

$$\begin{aligned} \text{TAP_num} &= \text{TAP_STOP} - \text{TAP_START} + 1 \\ \text{TAP_MIN} &= ((\text{ADDR_MIN} - \text{TAP_num}) \times \\ &\quad \text{Lane_num} - 1) \times \text{TAP_GAP} \\ \text{TAP_MAX} &= ((\text{ADDR_MAX} - \text{TAP_num}) \times \\ &\quad \text{Lane_num} - 1) \times \text{TAP_GAP} \end{aligned} \quad (3)$$

由图 3 分析可知, TAP_MIN 和 TAP_MAX 为两个边界条件, 取二者的中间值即为最稳定的 TAP_IN 值:

$$TAP_IN = (TAP_MAX - TAP_MIN) / 2 \quad (4)$$

在完成高速信号稳定传输设计后, 延时信号可能出现如图 8 情况, 即不同 Lane 的信号采样虽然没有出现亚稳态, 但是 Lane_1 相对于 Lane_0 滞后一个时钟周期, Lane_2 相对于 Lane_1 滞后一个时钟周期, 因此需要提出一种校正方法对不同 Lane 进行同步。

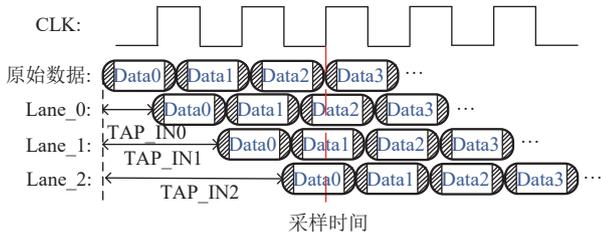


图 8 高速信号稳定传输

对于主 FPGA 和从 FPGA 之间的信号传输, 主 FPGA 接收的数据必须与从 FPGA 发送的数据一致, 并且它们的相对位置不能被打破。即在测试模式下, 从 FPGA 发送测试序列 (55AA), 主 FPGA 接收的数据也应该是测试序列 (55AA)。

假设主 FPGA 接收的信号能和测试序列 (55AA) 移位 a 次后对齐, 此 Lane 则需要延迟的时钟周期数为:

$$T_{data} = (PATTERN_LENGTH - a) T_{clk} \quad (5)$$

对于主从 FPGA 间控制信号传输而言, 处理方法同数据信号即可。

最后完成高速信号同步传输设计, 如图 9 所示。

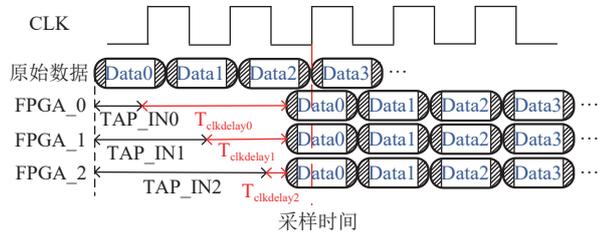


图 9 高速信号稳定同步传输

4 实验结果分析

为了验证本文提出的 FPGA 间高速信号同步传输方法的有效性, 将本方法在自制 DSO 中进行实现。在本次验证中, 信号发生器为 UNI-T UTG7122B, 用于产生正弦信号; DSO 使用双通道 5GSPS 采样

模式, 验证平台如图 10 所示。

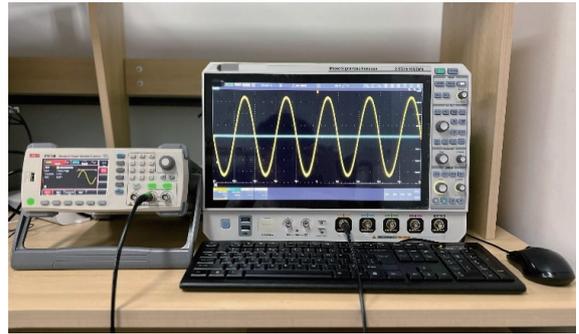


图 10 自制 DSO 验证平台

4.1 数据信号同步传输实验

自制 DSO 通道 1 输入频率为 500 kHz 的正弦波信号, 如果不进行数据信号同步传输设计, 在自制 DSO 中的反映现象如图 11 所示。数据在传输过程中会有某个比特位出现亚稳态, 波形显示会有毛刺; 且波形显示不平滑, 呈现阶梯状。

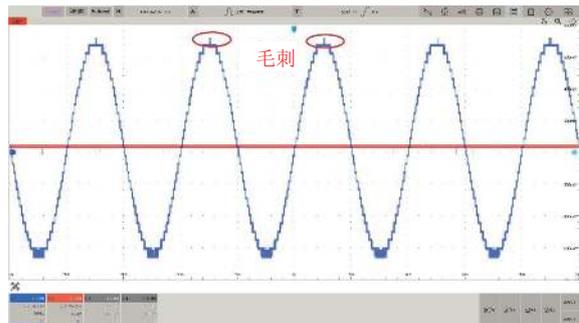


图 11 采集信号毛刺

将 FPGA 配置为测试模式 (即发送 55AA 测试序列), 使用 VIVADO 的 ILA 工具抓取接收端测试数据。

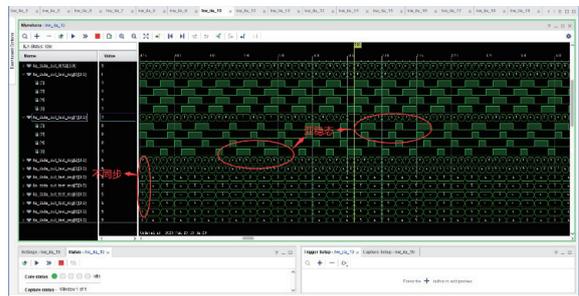


图 12 数据线测试数据存在亚稳态和不同步

图 12 所示接收端测试数据会出现亚稳态, 同时不同数据 Lane 之间会有不同步的现象。

在进行数据信号同步传输设计后, 测试模式下使用 Vivado 的 ILA 工具抓取测试数据, 接收端测试数据无亚稳态, 不同数据 Lane 之间均同步, 接

收的数据为 55AA, 如图 13 所示。

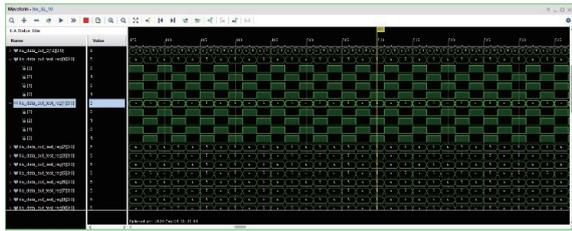


图 13 数据线测试数据稳定且同步

切换为正常工作模式, 500 kHz 频率的正弦波波形的显示正常且光滑无毛刺, 如图 14 所示, 这和 ILA 的抓取结果一致。

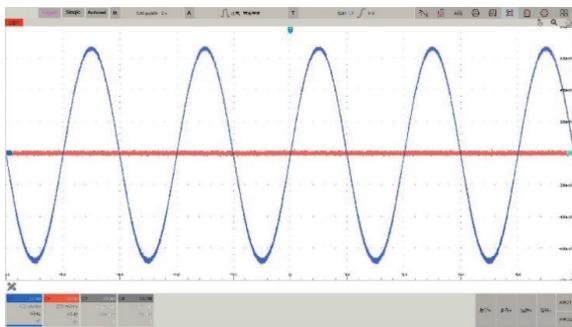


图 14 500 kHz 正弦信号采集无毛刺

为了进一步验证数据传输的同步性, 示波器输入 1 MHz 的正弦波, 波形仍然是光滑无毛刺, 如图 15 所示, 因此实现了数据信号的同步传输。

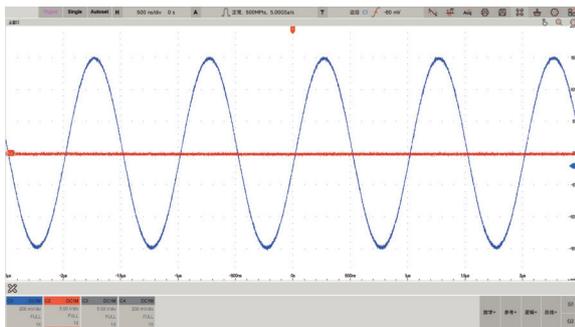


图 15 1 MHz 正弦信号采集无毛刺

4.2 控制信号同步传输实验

在自制 DSO 中, 控制信号决定着 DSO 触发的稳定性。自制 DSO 通道 1 输入频率为 10 MHz 的正弦波信号, 如果不进行控制信号同步传输设计, 在自制 DSO 中的反映现象如图 16 所示。打开 DSO 无限余辉显示模式, 多次重复捕捉波形, 波形不能稳定触发, 会有剧烈的晃动。

同 4.1 节方法, 将 FPGA 配置为测试模式, 使用 VIVADO 的 ILA 工具抓取接收端测试数据。

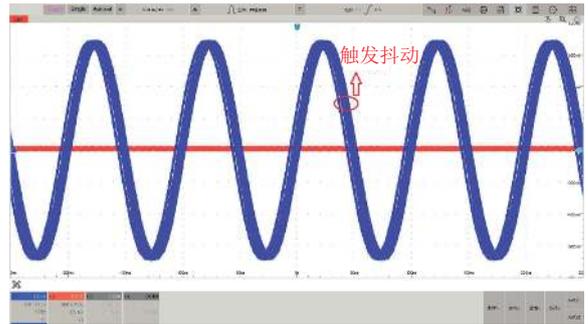


图 16 波形触发不稳定

如图 17 所示接收端测试数据也会出现亚稳态, 同时不同控制 Lane 之间会有不同步的现象。在进行控制信号同步传输设计后, 每条控制 Lane 传输稳定, 且多条 Lane 之间同步, 如图 18 所示。



图 17 控制线测试数据存在亚稳态和不同步

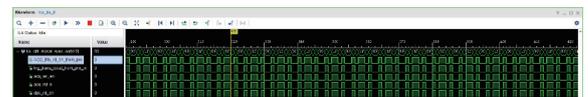


图 18 控制线测试数据稳定且同步

切换为工作正常模式, 打开 DSO 无限余辉显示模式, 波形稳定触发, 如图 19 所示。

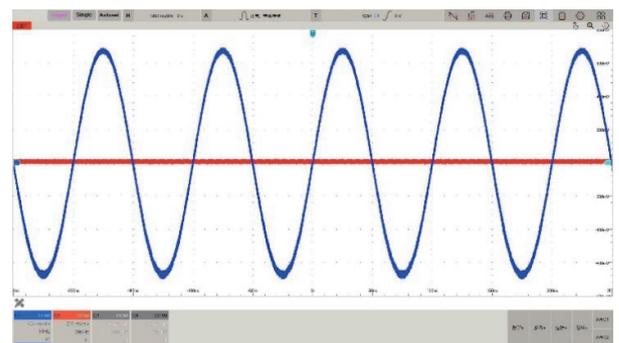


图 19 波形触发稳定

5 结束语

论文针对 FPGA 间高速信号传输不同步的问题, 提出一种基于 FPGA 信号传输同步自校正的方法, 利用 IDELAYE 单元实现从 FPGA 与主 FPGA 之间的高速信号同步传输, 补偿算法实现多 FPGA 间的高速信号同步传输。

参考文献

- [1] 姜子威. 超高速数据采集系统中多器件同步自校正方法研究与实现[D]. 成都: 电子科技大学, 2019.
JIANG Z W. Research and implementation of synchronous self-tuning method for multi-device in ultra-high speed data acquisition system[D]. Chengdu: University of Electronic Science and Technology of China, 2019.
- [2] 孙凯. 20GSPS 数字示波器的数据采集模块硬件设计[D]. 成都: 电子科技大学, 2018.
SUN K. Hardware design of data acquisition system for 20GSPS digital oscilloscope[D]. Chengdu: University of Electronic Science and Technology of China, 2018.
- [3] 张华高, 陈岚. DDR 源同步接口的设计与时序约束方法[J]. 计算机工程与设计, 2008(7): 1600-1602.
ZHANG H G, CHEN L. Design and constraint method of DDR source synchronous interface[J]. Computer Engineering and Design, 2008(7): 1600-1602.
- [4] 李海涛, 李斌康, 阮林波, 等. 高速 ADC 采样数据接收缓存系统研究[J]. 自动化仪表, 2020, 41(8): 42-45.
LI H T, LI B K, RUAN L B, et al. Research on highspeed ADC sampling data receiving and buffer system[J]. Process Automation Instrumentation, 2020, 41(8): 42-45.
- [5] 文科, 朱正, 马敏舒. 低成本 SerDes 在数据采集中的方案设计与应用[J]. 电子技术应用, 2020, 46(8): 88-91.
WEN K, ZHU Z, MA M S. Design and application of low-cost SerDes in data acquisition[J]. Application of Electronic Technique, 2020, 46(8): 88-91.
- [6] IAN B. Synchronize multiple ADCs With JESD204B[M]. [S.l.]: Analog Devices Inc., 2013.
- [7] 张清亮. 基于 FPGA 高速通用串行接口的设计与应用[D]. 西安: 西安电子科技大学, 2017.
ZHANG Q L. Design and application of high-speed general serial interface based on FPGA[D]. Xi'an: Xidian University, 2017.
- [8] 于晖, 肇云波. 基于 FPGA 高速数据采集的解决方案[J]. 现代电子技术, 2007(5): 145-148.
YU X, ZHAO Y B. High-speed data acquisition based on FPGA[J]. Modern Electronics Technique, 2007(5): 145-148.
- [9] 张静宇, 楼大年. 一种基于 FPGA 的多通道数据传输自动同步的方法[C]//第十八届卫星通信学术年会. 北京: [s.n.], 2022: 171-176.
ZHANG J Y, LOU D N. An automatic synchronization method of multi-channel data transmission for FPGA [C]//Proceedings of the 18th Annual Conference on Satellite Communication. Beijing: [s.n.], 2022: 171-176.
- [10] 刘丽格, 李天保, 石鑫刚. 一种板间高速传输系统的设计与实现[J]. 无线电通信技术, 2011, 37(4): 53-55.
LIU L G, LI T B, SHI X G. Design and implementation of a high-speed board-to-board transmission system[J]. Radio Communications Technology, 2011, 37(4): 53-55.
- [11] 李优杏, 周先敏, 吕红军. 基于 FPGA 的 SERDES 接口设计与实现[J]. 中国通信学会第五届学术年会. 北京: [s.n.], 2008: 11-14.
LI Y X, ZHOU X M, LYU H J. Design and realization of serdes interface base on FPGA[J]. Proceedings of the fifth Annual Conference of the Chinese Society of Communications. Beijing: [s.n.], 2008: 11-14.

编辑 税红